

UNIVERSIDAD SAN FRANCISCO DE QUITO

**CARACTERIZACIÓN ELÉCTRICA DE
NANO-MOSFETS EN TECNOLOGÍA SOI**

John Poul Artieda Romero

Tesis de grado presentada como requisito para la
obtención del título de:
Ingeniero Eléctrico/Electrónico

Quito, 27 de Abril de 2012

UNIVERSIDAD SAN FRANCISCO DE QUITO

Colegio Politécnico

HOJA DE APROBACIÓN DE TESIS

**CARACTERIZACIÓN ELÉCTRICA DE
NANO-MOSFETS EN TECNOLOGÍA SOI**

John Poul Artieda Romero

Lionel Trojman, Ph.D.

Director de Tesis

Felice Crupi, Ph.D.

Miembro del Comité de Tesis

Luis Miguel Prócel, M.S.

Miembro del Comité de Tesis

Omar Aguirre, M.S.

Director Dep. de Ingeniería Eléctrica

Santiago Gangotena, Ph.D.

Decano del Colegio Politécnico

Quito, 27 de Abril de 2012

© DERECHOS DE AUTOR

John Poul Artieda Romero

2012

Según la actual Ley de Propiedad Intelectual, Art. 5: “el derecho de autor nace y se protege por el solo hecho de la creación de la obra, independientemente de su mérito, destino o modo de expresión... El reconocimiento de los derechos de autor y de los derechos conexos no está sometido a registro, depósito, ni al cumplimiento de formalidad alguna.” (Ecuador. Ley de Propiedad Intelectual, Art. 5)

AGRADECIMIENTOS

Por sobre todo, a mi Magnífico Creador, porque “toda dádiva buena y todo don perfecto es de arriba.” (Snt 1:17.) Porque lo más apropiado es que los dones recibidos de Dios se usen para el beneficio del prójimo y para la gloria de Jehová quien los ha concedido.

A mi familia, por todo el amor, ánimo y apoyo incondicional que siempre me ha sostenido para llegar a ser un buen ser humano y un buen profesional.

A mis profesores e instructores en la Universidad San Francisco de Quito, por sus valiosos aportes, conocimiento y experiencia que han contribuido para mi desenvolvimiento académico dentro de un ambiente de confianza y cooperación. Y a mi director de tesis, Dr. Lionel Trojman, por el apoyo que me dio para emprender en el área de la nanotecnología y la investigación académica en Ecuador.

RESUMEN

La tecnología MOS ha causado un enorme impacto económico y una gran expansión de diferentes áreas de la tecnología a nivel mundial (por ejemplo los teléfonos inteligentes, tabletas, laptops, memorias, entre otros), todo ello la ha posicionado como la más importante en el campo de la micro y nanoelectrónica. Esta tecnología ha mejorado en diseño y desempeño con el paso de los años y progresivamente ha disminuido las dimensiones de los dispositivos. Estos avances han implicado grandes esfuerzos de investigación para mantener una alta calidad y un bajo costo de fabricación. En el Capítulo 1 de esta tesis se examinan los fundamentos de la tecnología MOS, su clasificación, estructura y principios de funcionamiento.

Las mejoras en los dispositivos y la reducción de sus dimensiones, aunque muy beneficiosos, también presentan nuevos retos para los diseñadores. Estos retos se deben a efectos, antes despreciados, que se vuelven relevantes a las nuevas escalas nanométricas de trabajo como el efecto de canal corto y el aumento de la corriente de fuga de la compuerta. Estos efectos son explicados juntamente con las soluciones que se han planteado para compensarlos, por ejemplo la tecnología SOI y el reemplazo del dieléctrico aislante.

A continuación, se aborda el tema de la caracterización eléctrica y en el Capítulo 2 una descripción sobre la metodología utilizada para identificar los parámetros importantes de los dispositivos. El objetivo es realizar una extensa caracterización eléctrica, con poca distorsión y mayor fiabilidad, de dispositivos MOSFET con arquitectura ultra delgada para aplicaciones de alta velocidad y bajo consumo de potencia.

Consecutivamente, esta tesis presenta en el Capítulo 3 los resultados experimentales obtenidos para dispositivos MOSFET SOI FD y la comparación de los parámetros eléctricos hallados entre los distintos dieléctricos utilizados. Posteriormente, se presenta una discusión de los resultados en el Capítulo 4 y se analiza si su comportamiento se encuentra en conformidad con la teoría y literatura científica.

Finalmente, en el Capítulo 5 se sintetizan las conclusiones alcanzadas a través de la caracterización y análisis de los parámetros eléctricos extraídos, al mismo tiempo que se evocan ciertos retos y dificultades que deberán considerarse en investigaciones futuras.

ABSTRACT

MOS technology has made a huge economic impact and has caused a major expansion in different areas of technology worldwide (e.g. smart phones, tablets, laptops, memories, etc.), all of which have positioned this technology as the most important in the micro and nanoelectronics field. Over the years, MOS technology has improved in design and performance and has progressively decreased the size of the devices. All these achievements involved extensive research efforts to maintain high quality and low manufacturing costs. Chapter 1 of this thesis examines the fundamentals of MOS technology, classification, structure and operating principles.

The improvements in the devices and the reduction of its dimensions, although very beneficial, also present new challenges for designers. These challenges are due to effects, previously neglected, that become relevant at the new working nanometric scales such as the short channel effect and the increase of the gate leakage current. These effects are explained along with the solutions that have been proposed to solve them, e.g. SOI technology and the replacement of the insulator dielectric.

Subsequently, the issue of electrical characterization is addressed and in Chapter 2 a description of the methodology used to identify the important parameters of the devices is presented. The goal is to perform an extensive electrical characterization, with little distortion and greater reliability, of MOSFET devices with ultra thin architecture for high speed and low power consumption applications.

Furthermore, this thesis presents in Chapter 3 the experimental results obtained for FD SOI MOSFET devices and the comparison of electrical parameters of the different dielectrics utilized. Later, a discussion of the results is presented in Chapter 4 and an analysis of whether or not their behavior is in accordance with the theory and scientific literature.

Finally, Chapter 5 summarizes the conclusions reached through the characterization and analysis of the electrical parameters and at the same time it evokes certain challenges and difficulties to be considered in future research.

TABLA DE CONTENIDOS

© DERECHOS DE AUTOR.....	iii
AGRADECIMIENTOS.....	iv
RESUMEN	v
ABSTRACT.....	vi
TABLA DE CONTENIDOS.....	vii
LISTA DE ECUACIONES.....	ix
LISTA DE TABLAS.....	ix
LISTA DE FIGURAS.....	x
LISTA DE GRÁFICOS	xii
REGLAS Y CONVENCIONES.....	xiii
CAPÍTULO 1: MOSFET	1
Introducción	1
La tecnología MOS.....	3
Clasificación	3
Estructura y principios de funcionamiento	5
Acumulación.....	6
Agotamiento	6
Inversión.....	7
Campos eléctricos	7
Regiones de operación	7
Escalamiento y Efectos de Canal Corto	8
La tecnología SOI	10
Fabricación.....	11
Caracterización eléctrica.....	13
I_D - V_{DS}	13
I_D - V_{GS}	13
Voltaje umbral V_T	14
Capacitancia del óxido de la compuerta C_{OX}	15
Espesor Equivalente de Óxido EOT	16
Esquema de la tesis.....	17
Capítulo 2	17
Capítulo 3	17
Capítulo 4	18
Capítulo 5	18

CAPÍTULO 2: METODOLOGÍA	19
Muestras	19
Equipos.....	19
Mediciones	21
C_G - V_G - Capacitancia y espesor de óxido (C_{OX} , t_{OX} , C_{inv} , t_{inv}).....	21
EOT – Experimental y por Simulación.....	23
I_D - V_G - Voltaje umbral (V_T) y transconductancia (g_m)	24
I_G - V_G – Corriente de Fuga y Método $J_{gate-derivative}$	25
CAPÍTULO 3: RESULTADOS	28
Muestras	28
C_G - V_G - Capacitancia y espesor de óxido (C_{OX} , t_{OX} , C_{inv} , t_{inv} , EOT).....	29
Condiciones de medición	29
Resumen comparativo.....	29
$10 \times 10 \mu m^2$ – SiON.....	30
$10 \times 1 \mu m^2$ – SiON	31
$10 \times 10 \mu m^2$ – Alto k	32
$10 \times 1 \mu m^2$ – Alto k.....	33
I_D - V_G - Voltaje umbral (V_T) y transconductancia (g_m)	34
Condiciones de medición	34
nMOS – $10 \times 10 \mu m^2$	35
pMOS – $10 \times 10 \mu m^2$	36
nMOS – $10 \times 1 \mu m^2$	37
pMOS – $10 \times 1 \mu m^2$	38
I_G - V_G – Corriente de Fuga – Método $J_{gate-derivative}$	39
Condiciones de medición	39
SiON	40
Alto k.....	41
CAPÍTULO 4: DISCUSIÓN	42
Muestras	42
C_G - V_G - Capacitancia y espesor de óxido (C_{OX} , t_{OX} , C_{inv} , t_{inv} , EOT).....	42
I_D - V_G - Voltaje umbral (V_T) y transconductancia (g_m)	43
I_G - V_G – Corriente de Fuga – Método $J_{gate-derivative}$	45
CAPÍTULO 5: CONCLUSIONES	46
BIBLIOGRAFÍA	48
GLOSARIO	49
ANEXOS	51

LISTA DE ECUACIONES

Ecuación 1: Ajuste para encontrar V_T por el método de extrapolación lineal [12].	51
Ecuación 2: Dependencia de la velocidad del dispositivo en tres características eléctricas [10].	51
Ecuación 3: C_{OX} y su relación con t_{OX} .	51
Ecuación 4: EOT	51
Ecuación 5: Capacitancia total de compuerta en acumulación para MOSFET tipo SOI	51
Ecuación 6: Capacitancia de la compuerta y su relación con el espesor del óxido.	52
Ecuación 7: Capacitancia y espesor de inversión.	52
Ecuación 8: Transconductancia.	52

LISTA DE TABLAS

Tabla 1: C_{inv} , t_{inv} , EOT – SiON	29
Tabla 2: C_{inv} , t_{inv} , EOT – Alto k	29
Tabla 3: $g_{m,max}$ - nMOS – $10 \times 10 \mu m^2$	35
Tabla 4: V_T - nMOS – $10 \times 10 \mu m^2$	35
Tabla 5: $g_{m,max}$ - pMOS – $10 \times 10 \mu m^2$	36
Tabla 6: V_T - pMOS – $10 \times 10 \mu m^2$	36
Tabla 7: $g_{m,max}$ - nMOS – $10 \times 1 \mu m^2$	37
Tabla 8: V_T - nMOS – $10 \times 1 \mu m^2$	37
Tabla 9: $g_{m,max}$ - pMOS – $10 \times 1 \mu m^2$	38
Tabla 10: V_T - pMOS – $10 \times 1 \mu m^2$	38
Tabla 11: V_T con el método $J_{gate-derivative}$ – SiON	40
Tabla 12: V_T con el método $J_{gate-derivative}$ – Alto k	41

LISTA DE FIGURAS

Figura 1: Mercado total de Circuitos Integrados – 2006: \$259.7 mil millones USD [10].....	53
Figura 2: Estructura básica de los D-MOSFET [7].....	53
Figura 3: Construcción básica y operación de los E-MOSFET [7].....	53
Figura 4: a) LD MOSFET, b) VMOSFET y c) TMOSFET [7].....	54
Figura 5: Diagrama esquemático de un MOSFET [6].....	54
Figura 6: Acumulación[13].	55
Figura 7: Agotamiento [13].....	55
Figura 8: Inversión [13].....	55
Figura 9: A: Pinch-off; B: Región de saturación.[9].....	56
Figura 10: Evolución actual y predicha de la densidad de transistores en los circuitos integrados: Memoria y Microprocesador [5].	56
Figura 11: Longitud mínima de compuerta en circuitos integrados comerciales en función del año de producción [6].	56
Figura 12: Reducción del tamaño de compuerta y sus años de producción [10]. ..	57
Figura 13: Efecto de canal corto en MOSFETs con distintas longitudes de compuerta [5]......	57
Figura 14: A: Fully depleted SOI MOSFET; B: Partially depleted SOI MOSFET [5].	57
Figura 15: Beneficios de la tecnología SOI	58
Figura 16: Tamaño de wafers y sus años de producción [10].	58
Figura 17: Característica I_D-V_{DS} [13].	59
Figura 18: Característica I_D-V_{GS} . [9].....	59
Figura 19: Obtención de V_T : Método del pico de transconductancia y extrapolación lineal [12].	60
Figura 20: Caracterización de la capacitancia del óxido de compuerta [13].	60
Figura 21: Reemplazo del dieléctrico aislante [10].	60
Figura 22: Wafer de trabajo (SALSA 3) de 300 mm de diámetro con tecnología de 32nm.....	61
Figura 23: Laboratorio de nanoelectrónica de la USFQ	61

Figura 24: Sistema de Caracterización de Semiconductores Keithley Modelo 4200-SCS.....	62
Figura 25: Microscopio, plataforma, puntas de medición y base con control térmico del sistema de caracterización de la USFQ.....	62
Figura 26: Curva C-V característica de un capacitor MOS en inversión a baja frecuencia.....	63
Figura 27: Concentración de electrones en corte transversal de una estructura MOS a un voltaje de compuerta= V_{FB} para dos niveles distintos de dopaje en Poly-Si.	63
Figura 28: EOT (Equivalent Oxide Thickness) [13].	63
Figura 29: Espesor Eléctrico Efectivo > Espesor Físico del Óxido.....	64
Figura 30: Corriente de Fuga y sus contribuciones principales [15].	64
Figura 31: Diagrama de bandas de la corriente de fuga de un nMOS [15].	64
Figura 32: Diagrama de bandas de la corriente de fuga de un pMOS [15].	65
Figura 33: Método $J_{gate-derivative}$ y separación de contribuciones a la corriente de fuga [15].....	65
Figura 34: Estructura de a) MOSFET SOI FD de esta tesis y b) MOSFET de Bulto	65
Figura 35: Relación de dependencia entre $V_{T front gate}$ y $V_{G back gate}$ [17].	66
Figura 36: Dependencia de la movilidad a tres mecanismos de colisión [16].	66

LISTA DE GRÁFICOS

Gráfico 1: C-V - nMOS – 10x10 μm^2 – SiON.....	30
Gráfico 2: C-V - pMOS – 10x10 μm^2 – SiON.....	30
Gráfico 3: C-V - nMOS – 10x1 μm^2 – SiON	31
Gráfico 4: C-V - pMOS – 10x1 μm^2 – SiON	31
Gráfico 5: C-V - nMOS – 10x10 μm^2 – Alto k	32
Gráfico 6: C-V - pMOS – 10x10 μm^2 – Alto k	32
Gráfico 7: C-V - nMOS – 10x1 μm^2 – Alto k.....	33
Gráfico 8: C-V - pMOS – 10x1 μm^2 – Alto k.....	33
Gráfico 9: g_m - V_G - nMOS – 10x10 μm^2 – SiON.....	35
Gráfico 10: g_m - V_G - nMOS – 10x10 μm^2 – Alto k.....	35
Gráfico 11: $g_{m,max}$ - V_B - nMOS – 10x10 μm^2	35
Gráfico 12: V_T - V_B - nMOS – 10x10 μm^2	35
Gráfico 13: g_m - V_G - pMOS – 10x10 μm^2 – SiON.....	36
Gráfico 14: g_m - V_G - pMOS – 10x10 μm^2 – Alto k.....	36
Gráfico 15: $g_{m,max}$ - V_B - pMOS – 10x10 μm^2	36
Gráfico 16: V_T - V_B - pMOS – 10x10 μm^2	36
Gráfico 17: g_m - V_G - nMOS – 10x1 μm^2 – SiON.....	37
Gráfico 18: g_m - V_G - nMOS – 10x1 μm^2 – Alto k.....	37
Gráfico 19: $g_{m,max}$ - V_B - nMOS – 10x1 μm^2	37
Gráfico 20: V_T - V_B - nMOS – 10x1 μm^2	37
Gráfico 21: g_m - V_G - pMOS – 10x1 μm^2 – SiON.....	38
Gráfico 22: g_m - V_G - pMOS – 10x1 μm^2 – Alto k.....	38
Gráfico 23: $g_{m,max}$ - V_B - pMOS – 10x1 μm^2	38
Gráfico 24: V_T - V_B - pMOS – 10x1 μm^2	38
Gráfico 25: $J_{\text{gate-derivative}}$ - nMOS – 10x10 μm^2 – SiON.....	40
Gráfico 26: $J_{\text{gate-derivative}}$ - pMOS – 10x10 μm^2 – SiON.....	40
Gráfico 27: $J_{\text{gate-derivative}}$ - nMOS – 10x1 μm^2 – SiON	40
Gráfico 28: $J_{\text{gate-derivative}}$ - pMOS – 10x1 μm^2 – SiON	40
Gráfico 29: $J_{\text{gate-derivative}}$ - nMOS – 10x10 μm^2 – Alto k	41
Gráfico 30: $J_{\text{gate-derivative}}$ - pMOS – 10x10 μm^2 – Alto k	41
Gráfico 31: $J_{\text{gate-derivative}}$ - nMOS – 10x1 μm^2 – Alto k.....	41
Gráfico 32: $J_{\text{gate-derivative}}$ - pMOS – 10x1 μm^2 – Alto k.....	41

REGLAS Y CONVENCIONES

Todas las **Ecuaciones** y **Figuras** a las cuales se hacen mención en el cuerpo de la tesis se encuentran en la sección de **Anexos** en la parte final de este documento.

Las **Tablas** y **Gráficos** correspondientes a los datos experimentales extraídos y los resultados obtenidos en base a ellos se encuentran en el **Capítulo 3: Resultados** dentro del cuerpo de la tesis.

CAPÍTULO 1: MOSFET

Introducción

Si nos trasladamos mentalmente a los años 80 y pensamos en la tecnología de aquellos años y la comparamos con la tecnología presente, notaremos que el mundo ha cambiado por el desarrollo y producción a gran escala de dispositivos que en aquella época eran solo parte de la ciencia ficción. Para nombrar tan solo dos ejemplos representativos de tales avances que han llegado a ser parte integral de nuestra vida diaria podemos mencionar los teléfonos inteligentes y las tabletas.

Hace años, la designación “teléfono móvil” resultaba un tanto irónica, pues, a causa del peso de las baterías, solo podían moverlo los fortachones o quienes lo tuvieran instalado en su vehículo. De hecho, era más grande que una caja de zapatos y costaba miles de dólares.

Sin embargo, en la actualidad existen más de 2.000 millones de teléfonos celulares, y en algunos países los posee la mayoría de la población, dado que caben en la palma de la mano e incluso llegan a distribuirse sin cargo alguno. El diario australiano *The Bulletin* asegura que “el número de estos aparatos casi iguala al de televisores y computadoras personales juntos”. Y según el informe 2011 de la International Data Corporation (IDC), la venta de teléfonos inteligentes ascendió a 157.8 millones en los últimos tres meses del año, llegando a un total anual de 491.4 millones de unidades [1].

La creciente difusión del celular constituye un negocio redondo para muchas compañías. Una de las principales indicó que “la telefonía móvil es el mayor segmento del mercado de la electrónica de toda la historia”. Es decir, ningún otro instrumento electrónico ha movido nunca tanto dinero [2] y esto no parece detenerse, pues según la empresa JP Morgan se predice que para el año 2012 se venderán unos 657 millones de unidades más [1].

A nivel mundial, la industria de las telecomunicaciones mueve anualmente miles de millones de dólares en el apartado de la telefonía móvil. Se comprende, por tanto, que el mundo de los negocios considere al celular una bendición.

Ahora consideremos otro dispositivo que está cambiando la manera en que el mundo se conecta y comparte información, hablamos sobre las tabletas. Se considera que las tabletas cambiarán la manera en que se lee información escrita. Desde revistas digitales a libros electrónicos (ebooks), las empresas dedicadas a la publicación deberán ir más allá de la simple impresión sino a la innovación de aplicaciones y capacidades audiovisuales.

Estos dispositivos están ingresando fuertemente al mercado de las telecomunicaciones y ya están causando un gran impacto en las estadísticas comerciales. Por ejemplo, de acuerdo a la empresa JP Morgan en el año 2010 se vendieron 18 millones de unidades y en el año 2011 las tabletas alcanzaron un volumen de venta de 53 millones de unidades, casi igual al de las computadoras personales. Pero lo sorprendente de estos dispositivos es el crecimiento exponencial que tienen y tendrán. Las predicciones de JP Morgan para el 2012 son 99 millones y para el año 2013 son 132.6 millones de tabletas que ingresarán al mercado [3]. Este gran aumento en ventas representa miles de millones de dólares directos y cientos de millones más de una manera menos directa, a través de las aplicaciones que los usuarios de cada tableta compran, que en promedio alcanza unos 34 USD por usuario [4].

Todos estos cambios tecnológicos y comerciales gracias a dispositivos avanzados como los teléfonos inteligente y las tabletas, cambios de los que hemos sido testigos en un corto espacio de tiempo de menos de 20 años, han sido posibles gracias al desarrollo de una tecnología importante en particular, la tecnología MOS en circuitos integrados, IC.

Como ya se pudo comprender con el ejemplo de los teléfonos inteligentes y las tabletas, la tecnología MOS en IC tiene una gran relevancia económica en el mundo. Una

relevancia muy alta pues incluye muchas áreas tecnológicas y un impacto total de miles de millones de dólares al año en el mercado global, como se observa en la **Figura 1**.

Ahora que se comprende la importancia e impacto de la tecnología MOS, se considerará más a fondo las implicaciones, caracterización y retos de esta tecnología.

La tecnología MOS

La tecnología MOS es la base para el diseño de circuitos digitales actualmente y el transistor MOS, *transistor de efecto de campo de semiconductor de óxido metálico*, también llamado MOSFET (**M**etal-**O**xide-**S**emiconductor **F**ield-**E**ffect **T**ransistor por sus siglas en inglés) o IGFET (**I**nsulated-**G**ate **F**ield-**E**ffect **T**ransistor) es el dispositivo semiconductor más utilizado y constituye el elemento esencial para todo circuito digital moderno. Sin el MOSFET no existiría la industria de las computadoras, ni los sistemas digitales de telecomunicaciones, ni video juegos, ni tampoco celulares, dispositivos portátiles o relojes digitales de pulsera. Además, los transistores MOS son cada vez más utilizados en aplicaciones analógicas como convertidores análogo-digitales, filtros y circuitos conmutadores capacitivos [5].

Clasificación

Aunque los MOSFET pueden ser hechos de varios semiconductores como el Ge, Si, y GaAs, y usar distintos tipos de óxidos y aislantes como SiO_2 , Si_3N_4 , y Al_2O_3 ; el sistema más común hasta hace unos años es la combinación SiO_2 -Si [6].

Además pueden haber 2 variaciones: el de canal n, en los cuales la corriente que fluye se debe al transporte de electrones, y el de canal p en los cuales la corriente que fluye se debe al transporte de huecos.

Un circuito que contiene solo dispositivos de canal n es producido por un proceso nMOS. De manera similar, un proceso pMOS fabrica circuitos que contienen solo transistores de canal p. Actualmente la tecnología CMOS (Complementary MOS) es la más utilizada y con ella se fabrican ambos transistores, de canal n y p en el mismo IC [5].

Además de esta diferenciación de acuerdo al tipo de canal, existen varios tipos de MOSFET de acuerdo a la forma en que están contruidos. Entre estos podemos encontrar los D-MOSFET, los E-MOSFET, los MOSFET de Potencia y los MOSFET de múltiples compuertas.

Los D-MOSFET (Depletion MOSFET) o MOSFET de agotamiento, ilustrados en la **Figura 2**, tienen la fuente y el drenaje difundidos dentro del material substrato y conectados entre sí por un canal adyacente a la compuerta aislada [7]. Estos D-MOSFET pueden operar en uno de dos modos: 1) de agotamiento y 2) de enriquecimiento. Dado que la compuerta está aislada del canal, se puede aplicar un voltaje de compuerta tanto positivo como negativo.

Los E-MOSFET (Enhancement MOSFET) o MOSFET de enriquecimiento, ilustrados en la **Figura 3**, son los MOSFET más ampliamente utilizados y en base a los cuales se realiza el análisis de estructura y operación física, las curvas características y demás investigación, en esta tesis.

Estos E-MOSFET solo operan en el modo de enriquecimiento y no tienen un canal estructural, sino que el substrato se extiende completamente hasta la capa asilante de SiO_2 . Para un E-MOSFET de canal n, un voltaje de compuerta positivo, que sea superior a un voltaje umbral (threshold), induce un canal creando una fina capa de cargas negativas en la región del substrato adyacente a la capa aislante (ej: SiO_2). La conductividad del canal es enriquecida al incrementar el voltaje de compuerta-fuente y por tanto atrayendo más electrones al área del canal. Para cualquier voltaje por debajo del umbral, no existe canal. De aquí la importancia de hallar el valor del Voltaje Umbral.

Dado que los E-MOSFET convencionales tienen un canal lateral largo y delgado, la resistencia de drenaje a fuente resulta bastante alta y por tanto los limita para aplicaciones de baja potencia. Por ello, los MOSFET de potencia presentan varios diseños con el objetivo de lograr una mayor potencia creando un canal más corto y más ancho y lograr reducir la resistencia de drenaje a fuente [7].

Algunos de estos diseños son los LD MOSFET (Lateral Double Diffused MOSFET), VMOSFET y TMOSFET, que reciben su nombre de su forma física estructural como se puede apreciar en la **Figura 4**.

Y para terminar con esta clasificación, los MOSFET de múltiples compuertas. Estos pueden ser de tipo agotamiento o enriquecimiento. La única diferencia es que poseen dos o más compuertas, lo cual hace que la inherente alta capacitancia de los FET se reduzca y permita utilizar estos dispositivos para aplicaciones RF de alta frecuencia. Otra ventaja que presentan estos MOSFET, como el de doble compuerta, es que permiten una entrada para control automático de ganancia en ciertos amplificadores RF [7].

Estructura y principios de funcionamiento

Como se muestra en la **Figura 5**, la estructura física del MOSFET de canal n del tipo de enriquecimiento se fabrica en un sustrato tipo p , que es una oblea de un solo cristal de silicio que proporciona apoyo físico para el dispositivo (y para todo el circuito en el caso de un circuito integrado). Dos regiones tipo n fuertemente dopadas o contaminadas, indicadas en la **Figura 5** como $n+$ *Source* y $n+$ *Drain*, se crean en el sustrato. Una delgada capa de un aislante, hasta años atrás el más común era el dióxido de silicio (SiO_2), que es un excelente aislante eléctrico, crecen en la superficie del sustrato, cubriendo el área entre las regiones de la fuente y el drenaje. Se deposita metal en la parte superior de la capa de óxido para formar el electrodo de la compuerta del dispositivo. También se hacen contactos metálicos para las regiones de la fuente, el drenaje y el sustrato, también conocido como cuerpo. De esta forma aparecen 4 terminales: G, S, D, B.

Se debe notar que el sustrato forma uniones pn (como un diodo) con las regiones de la fuente y el drenaje. En operación normal, estas uniones pn se mantienen polarizadas inversamente en todo momento. Como el drenaje estará en un voltaje positivo con respecto a la fuente, las dos uniones pn pueden ser cortadas con sólo conectar el terminal del

sustrato al terminal de la fuente, por ello el sustrato será considerado como sin efecto en la operación del dispositivo y el MOSFET se tratará como un dispositivo de 3 terminales, al menos para el análisis básico [8].

De acuerdo a la polarización que se dé a la compuerta, la estructura MOS puede entrar en 3 regiones: Acumulación, Agotamiento e Inversión.

A continuación se explica la operación de un MOSFET tipo n, pero los conceptos son aplicables para MOSFET tipo p considerando el cambio de polaridad.

Acumulación

Al aplicar un voltaje negativo en la compuerta y el sustrato a tierra entonces el dispositivo se comporta como un capacitor de placas paralelas siendo el aislante la capa de óxido entre las placas compuerta y sustrato, como se puede ver en la **Figura 6**. El voltaje aplicado produce cargas negativas en la superficie metálica de la compuerta que está en contacto con el aislante. Una carga de igual magnitud pero signo opuesto aparece en la superficie de la región entre el sustrato y el aislante y tiene un espesor aproximado de 10 nanómetros. Esta delgada capa con muchas cargas de huecos se llama capa de acumulación y la capacitancia entre las placas paralelas del MOSFET se conoce como capacitancia del óxido de compuerta C_{ox} [5].

Agotamiento

Si ahora se aplica un voltaje positivo en la compuerta y el sustrato a tierra, se produce un campo eléctrico ϵ que penetra en el sustrato. En el caso de un sustrato tipo p, el campo ϵ repele a la mayoría de huecos de la superficie creando así una región de agotamiento como se muestra en la **Figura 7**. Si el voltaje aplicado a la compuerta está por debajo de un voltaje crítico o umbral V_T , muy pocos electrones son atraídos a la región de la superficie entre el aislante y el sustrato, y por tanto no producen mayor efecto [9].

Inversión

En el caso que el voltaje aplicado a la compuerta sea mayor al voltaje crítico o umbral V_T , una densa capa de inversión de electrones se forma debajo de la superficie que domina al comportamiento del sustrato como se puede observar en la **Figura 8**. Al aumentar el voltaje, la densidad de la capa de inversión también aumentará. Es esta capa de inversión la que formará el canal entre la fuente y el drenaje del MOSFET.

Campos eléctricos

Existen 2 campos eléctricos distintos en la estructura MOSFET.

1. El campo transversal que es causado por la diferencia de potencial entre la compuerta y el sustrato. Este es el campo presente en la región de agotamiento y la capa de inversión.
2. El campo lateral aparece cuando una diferencia de potencial distinta de 0 aparece entre la fuente y el drenaje, y es el principal mecanismo para que hay un flujo de corriente en el MOSFET.

Regiones de operación

Se distinguen 3 regiones de operación:

1. Región de corte o sub-umbral: Cuando $V_{GS} < V_T$, no se genera ningún canal de conducción e $I_D = 0$.
2. Región de tróodo o lineal: Cuando $V_{GS} > V_T$ y $V_{DS} < V_{DS,sat}$. Donde $V_{DS,sat}$ es el valor de V_{DS} al que ocurre el "pinch-off" o punto en que la densidad de la capa de inversión entre el final del drenaje y el canal se vuelve casi 0 debido a la polarización inversa del drenaje, como se puede notar en la **Figura 9A**. Si se aumenta V_{DS} también aumenta el campo lateral en el canal y se tiene mayor corriente. Si se aumenta V_{GS} , aumenta el campo transversal y crece la densidad de la capa de inversión, lo que hará que también aumente la corriente.

3. Región de saturación: Cuando $V_{GS} > V_T$ y $V_{DS} > V_{DS,sat}$. En esta condición, la región del canal en el borde con el drenaje se ha hecho pequeña y por tanto la corriente depende mucho menos de V_{DS} , porque cualquier aumento en el campo lateral es absorbido por la creación de una estrecha región de alto campo con baja densidad de portadores, como se puede notar en la **Figura 9B**. Pero la corriente todavía depende de V_{GS} , si este voltaje aumenta también lo hará la densidad de la capa de inversión.

Escalamiento y Efectos de Canal Corto

Entre las características que han hecho tan útil al MOSFET está el hecho de que pueden ser muy pequeños, en comparación con el BJT, y requieren un área muy pequeña en el chip de silicio del circuito integrado (IC). También, su proceso de fabricación es relativamente simple y su operación requiere relativamente poca energía. Además, diseñadores de circuitos han encontrado maneras ingeniosas de implementar funciones analógicas y digitales utilizando, casi de forma exclusiva, los MOSFETs, con pocos o casi ningún resistor. Todas estas propiedades han hecho posible que se puedan empaquetar enormes cantidades de MOSFETs, más de 200 millones, en un solo chip para implementar circuitos integrados a muy grande escala VLSI (very large scale integrated). Ejemplos de esto incluyen chips microprocesadores y de memoria. [8]. Y es a través de la evolución del número de MOSFETs integrados en estos chips que se puede ilustrar el progreso exponencial de la tecnología MOS. Cada celda de memoria de una DRAM (dynamic random-access memory) contiene un transistor MOS.

En la **Figura 10** se puede notar que el número de transistores en una DRAM se cuadruplica ($\times 4$) cada 3 años. Este crecimiento exponencial de la densidad de integración con respecto al tiempo es conocido como la Ley de Moore.

La densidad de integración de los circuitos memoria es aproximadamente 5 a 10 veces mayor que en los circuitos lógicos como microprocesadores debido al posicionamiento

repetitivo de los transistores en los chips de memoria. El incremento en la densidad de integración se debe, esencialmente, a la reducción en el tamaño de los transistores [5].

La **Figura 11** muestra la reducción en la longitud de la compuerta en la producción de ICs desde 1970. Esta longitud ha ido disminuyendo de manera continua y seguirá achicándose en el futuro próximo. La reducción en las dimensiones de los dispositivos se produce por los requerimientos tanto de mejor desempeño como de mayor densidad. Sin embargo, la tasa de crecimiento del número de componentes por chip se cree que disminuirá debido a las dificultades tecnológicas y al costo de fabricación. Pero a pesar de ello, la complejidad de mil millones o más dispositivos por chip ha estado disponible desde los años 2000 y en la actualidad el circuito integrado con mayor densidad contiene decenas de miles de millones de transistores y ocupa un área de tan sólo 2 a 3 cm² [6]. Si se intentase realizar un circuito de este tipo con tubos al vacío (tecnología de los años 50) se requeriría un espacio de 500 canchas de fútbol.

En la **Figura 12** se puede ver la reducción del tamaño de compuerta real y los años de producción correspondiente. Todo este gran escalamiento presenta nuevos desafíos para los diseñadores pues aunque las medidas del MOSFET disminuyan, los diseños deben conservar en lo que más puedan el comportamiento de canal largo, un comportamiento cercano al descrito anteriormente. Sin embargo, cuando la longitud de la compuerta es pequeña y el voltaje del drenaje es lo suficientemente alto, las regiones de agotamiento de la fuente y el drenaje se hacen comparables a la longitud del canal y ambas llegan a encontrarse. Bajo esta circunstancia se pierde el control que ejerce la compuerta sobre el potencial del canal y una corriente indeseable fluye entre la fuente y el drenaje. A este fenómeno se le llama “punchthrough” [6].

Otro reto que presenta el efecto de canal corto es el que se muestra en la **Figura 13**. Se puede observar que a longitudes pequeñas de compuerta un pequeño cambio estadística en su producción, puede causar un gran cambio en el valor del voltaje umbral V_T lo que sin duda complica mucho la reproducibilidad para circuitos integrados a gran escala [5].

Algunas soluciones propuestas para estos efectos son utilizar junturas más angostas y aumentar el dopaje del canal, lo que aumentará el V_T , y para controlar un V_T razonable se requiere un óxido más delgado. Todo lo propuesto ha demostrado que los parámetros de los dispositivos están muy interrelacionados y por tanto se usan ciertas reglas para el escalamiento para optimizar el desempeño de los dispositivos [6].

Pero a pesar de todos los esfuerzos para tener reglas de escalamiento, el comportamiento de canal corto es inevitable.

Para brindar una solución a este efecto se han realizado investigaciones sobre variaciones en la estructura de los dispositivos MOSFET estándar. Una de estas variaciones son los MOSFET SOI.

La tecnología SOI

Los MOSFET SOI o Silicon Over Insulator, ilustrados en la **Figura 14**, son dispositivos que se construyen en una capa fina de Silicio que se asienta sobre un aislante, usualmente SiO_2 , al que se le llama óxido enterrado. Si la capa de silicio es lo suficientemente delgada, la zona de agotamiento se extiende desde debajo de la compuerta hasta el óxido enterrado y el dispositivo se llama "Fully Depleted" o de agotamiento completo (FD). En caso contrario se llama "Partially Depleted" o de agotamiento parcial (PD).

El funcionamiento básico de los MOSFET SOI PD es muy similar a los transistores con contacto de bulbo regular, en especial si la parte neutra del silicio se conecta a tierra. En el caso de los SOI FD se obtienen varios beneficios para solventar los retos de diseño. Por ejemplo la corriente de saturación del drenaje es mayor para los MOSFET SOI que para los de bulbo. Y con ellos se reducen considerablemente los efectos de canal corto [5].

En general, los MOSFET SOI ayudan considerablemente a mejorar el escalamiento y el desempeño de los dispositivos debido a lo delgado del cuerpo para el canal. Esta característica hace que casi no suceda el "punchthrough" y que el canal se mantenga ligeramente dopado.

La capa de óxido enterrado (BOX), en contacto con la Fuente (S) y el Drenaje (D), sirve como buen aislante para reducir la capacitancia del substrato y por ende mejorar la velocidad del transistor. También, mejora el consumo de potencia debido a que reduce la corriente de fuga que existían entre uniones p-n (tipo diodo) entre S o D con el substrato.

Además, este tipo de aislamiento del dispositivo utiliza una tecnología plana fácil de implementar y permite acoplar un óxido de campo (FOX) entre los transistores. El tener un FOX a continuación del BOX ayuda a incrementar la densidad en los circuitos integrados ya que elimina efectos indeseados en circuitos CMOS como las corrientes parásitas entre transistores. En la **Figura 15** se pueden observar claramente estos beneficios.

Entre las desventajas de esta tecnología está el hecho de que utiliza una oblea (wafer) mono cristalina de alta calidad adecuada para aplicaciones de alto desempeño y para circuitos integrados de gran densidad lo que lo vuelve más costoso. También se empeora la conducción de calor debido a la capa de óxido enterrada [6].

Fabricación

Aunque no se va a dar una explicación del proceso de deposición y formación de la oblea y las diferentes regiones de los transistores, es importante conocer quienes diseñan y fabrican los transistores, cuál es la tendencia en cuanto a tamaños y sus años de producción.

La fabricación de los wafer y transistores a escala nanométrica se puede realizar solamente en laboratorios de ambiente completamente limpio de alta tecnología que cuestan cientos de millones de dólares. Muy pocas compañías en el mundo tienen la capacidad de contar con su propia planta de fabricación. A tales compañías que diseñan, fabrican y comercializan sus propios circuitos integrados se las llama IDM (Integrated device manufacturer semiconductor companies) y en esta categoría están: Intel, Samsung, AMD, STMicroelectronics, NXP, IBM, Toshiba, NEC, Texas Instruments. También existen compañías especializadas solamente en la fabricación de ICs y no en su diseño, estas

trabajan bajo contrato con otras compañías que proveen los diagramas y se les llama Foundries. En esta categoría están: TSMC, SMIC, UMC, Global Foundries, Vanguard, X-Fab, etc. Y por último están las compañías de semiconductores sin fábrica, que se dedican al diseño de productos e investigación de productos y que utilizan Foundries para su fabricación [10].

También existen centros especializados de investigación en el área de la micro y nanoelectrónica, que aunque no se dedican a la comercialización de productos, cuentan con el patrocinio de importantes empresas dedicadas a la producción de semiconductores. Ese es el caso de IMEC (Interuniversity Microelectronics Centre), el mayor centro de investigación europeo en micro y nanoelectrónica ubicado en Leuven, Bélgica. Este centro de investigación cuenta con el patrocinio tecnológico de casi todos los líderes mundiales en la fabricación de semiconductores como por ejemplo: Intel, Samsung, Panasonic, NVIDIA, STMicroelectronics, NXP, Global Foundries, TSMC, Hynix, ASML, Altera, Cadence, Qualcomm, entre otros. Posee alrededor de 1900 investigadores y tuvo un ingreso de 285 millones de euros en el año 2010 [11].

El objetivo en la construcción de transistores ha sido cada vez disminuir el tamaño de modo que estos puedan mejorar su desempeño y aumentar su velocidad, como ya se ha explicado anteriormente. Paralelamente a estos avances también se ha procurado mejorar el diseño de los circuitos integrados de tal modo que, aunque los transistores son más pequeños, los IC sean más grandes y se incorporen varias funciones en un solo chip. Esto resulta en un menor costo de empaquetamiento e integración. También logra mejorar el desempeño y la seguridad de los circuitos así como garantizar una mayor fiabilidad ya que se tienen menos conexiones.

Pero no solo los chips se han procurado hacer más grandes. También se ha mejorado la tecnología de fabricación de modo que las obleas (wafers) sean más grandes también, lo que resulta en beneficios de tener más chips en cada wafer.

Aunque cuesta más procesar un wafer más grande, el incremento en número de transistores por wafer lo compensa. En la **Figura 16** se pueden observar los distintos tamaños de wafers y sus años de producción.

Caracterización eléctrica

En el ámbito de la investigación, una vez que se producen los wafers es necesario hacer la caracterización eléctrica de los dispositivos FET a escala nanométrica para comprobar si su comportamiento se apega a la teoría y validar los procesos de producción.

I_D - V_{DS}

Una de las características importantes que se deben analizar es la curva I_D - V_{DS} en la que se pueden observar las regiones de operación del MOSFET y además el valor de $V_{DS,sat}$. Como se observa en la **Figura 17**, si $V_{GS} < V_T$, entonces $I_D = 0$. Si ahora fijamos $V_{GS} > V_T$ y se aumenta V_{DS} , I_D aumenta en la región lineal debido a un incremento en el campo lateral, pero a una tasa que va disminuyendo debido a la disminución de la densidad de la capa de inversión en el borde con el drenaje. Cuando se alcanza el pinch-off, I_D crece muy poco con el aumento de V_{DS} debido a la formación de la región de alto campo donde se ha replegado la capa de inversión. Y se puede obtener una familia de curvas al ir variando V_{GS} y de ese modo se puede observar la curva de tendencia de $I_{DS,sat}$.

I_D - V_{GS}

Otra caracterización importante es la correspondiente a I_D - V_{GS} , cuya curva presenta una característica no lineal. Si se aumenta I_D a un valor de V_{DS} fijo, la corriente no fluirá hasta que la capa de inversión se haya formado. Para un V_{GS} apenas mayor a V_T , el dispositivo se encuentra en saturación ya que existe una capa de inversión con muy poca densidad y el borde con el drenaje se encuentra en pinch-off. Si se aumenta V_{GS} , el dispositivo entra en la región lineal porque la capa de inversión crece y se pierde el pinch-off. Para valores

mayores de V_{DS} , se necesitará un mayor V_{GS} para llegar al punto de transición entre saturación y trípodo, como se puede ver en la **Figura 18**.

Voltaje umbral V_T

La curva I_D - V_{GS} , además de aportar información directa sobre el dispositivo permite realizar una extrapolación para obtener V_T . Esto es importante porque el voltaje umbral es uno de los parámetros más útiles para monitorear una tecnología. Este V_T es el voltaje de compuerta mínimo necesario para inducir la creación de un canal formando una fina capa de cargas negativas (nMOS) o positivas (pMOS) en la región del substrato adyacente a la capa aislante. Para cualquier voltaje por debajo del umbral (absoluto), no existe canal.

Existen varios métodos de caracterización utilizados para determinar el voltaje umbral, pero uno que ha sido muy popular para realizarlo, y el que se utiliza en esta tesis, es el método del pico de la transconductancia, $g_{m,max}$ y una extrapolación lineal. Este método constituye una aproximación de primer orden en la que los efectos de resistencias en serie son despreciados, ya que el método es sensible a tales efectos y a la degradación de la movilidad. Afortunadamente, para valores bajos de corriente de drenaje, condición en la que se mide V_T , la resistencia en serie es usualmente despreciable.

A través de este método se obtiene un valor extrapolado (V_{GSi}) en la intersección de la curva I_D - V_{GS} y a partir de este se halla el valor de V_T de acuerdo a la **Ecuación 1** [12]. En la **Figura 19** se pueden observar las curvas correspondientes a este método que posteriormente será explicado más profundamente en el capítulo 2 correspondiente a la metodología utilizada en esta tesis.

Capacitancia del óxido de la compuerta C_{OX}

Es importante conocer el valor de la capacitancia del óxido porque este influye directamente en la velocidad final de funcionamiento del transistor. Al observar la **Ecuación 2** se puede notar la proporcionalidad directa de la corriente de saturación del dispositivo con la capacitancia del óxido, mientras más alta sea la corriente más veloz será la respuesta del transistor.

La caracterización de la capacitancia del óxido C_{OX} se la obtiene como en la **Figura 20**. Esta capacitancia está directamente relacionada con el espesor del óxido. Este espesor, al igual que la longitud de la compuerta, se ha venido reduciendo significativamente acorde a la tecnología del transistor.

Existen 2 motivos para reducir el espesor del óxido. La primera es la que ya se mencionó, obtener un C_{OX} mayor y por tanto un I_{ON} mayor para maximizar la velocidad del circuito. La segunda razón es para controlar efectos de fuga en la región sub-umbral. De ahí la importancia de conocer el valor de C_{OX} , que nos permite también relacionarlo con el espesor del óxido t_{OX} conociendo su permitividad eléctrica (ϵ) acorde a la **Ecuación 3**.

Lamentablemente, no es posible obtener capas de óxido tan delgadas como se quisiera. Uno de los factores es la dificultad de producción de capas muy delgadas. Otro factor es que en capas muy delgadas el campo eléctrico en el óxido puede ser muy alto y causar rupturas destructivas. Incluso en el caso de que no se cause ruptura, trabajar por largo tiempo bajo un campo muy alto y con temperaturas elevadas puede romper los enlaces atómicos de la interface Si-SiO₂. Esto aumentaría la carga del óxido y produciría un desplazamiento en el valor de V_T lo que cambiaría el comportamiento del circuito y generaría problemas de fiabilidad [13].

A espesores menores a 1.5 nm el mayor limitante es la corriente de fuga que crece rápidamente por el efecto túnel. Por ejemplo para una capa de 1.2 nm de espesor la fuga puede ser de 10^3 A/cm², lo que en un chip de 1 mm² de área representa una corriente total

de fuga de 10 A. Tal corriente es demasiado alta para dispositivos portátiles y las baterías no podrían soportar más allá de unos cuantos minutos [5].

Espesor Equivalente de Óxido EOT

EOT (Equivalent Oxide Thickness) es una métrica definida para realizar una comparación entre SiO_2 y diferentes dieléctricos de alto-k (constante dieléctrica relativa). Representa el espesor de SiO_2 que sería requerido para lograr la misma capacitancia de óxido que la del material de alto-k considerado.

En vista de las limitaciones en la reducción de la capa de óxido, los investigadores han reemplazado al SiO_2 por otros dieléctricos de alto k. De modo que al usar un material con alto k, mucho mayor que en el caso del SiO_2 , el espesor de la capa del aislante con el nuevo material resulta ser más alto y produce el mismo C_{OX} , que asegura el mismo control de canal, con capas más gruesas, lo que suprime la corriente de fuga.

Por ejemplo, una capa de 6nm de espesor de HfO_2 es equivalente a una capa de 1nm de espesor de SiO_2 en el sentido que ambas producen el mismo C_{OX} y el mismo control de canal. Entonces se dice que la capa de HfO_2 tiene un EOT de 1nm. La ventaja de tal reemplazo es que la capa de aislante es más gruesa y también la barrera para el efecto túnel de electrones y huecos, lo que conlleva a una gran reducción en la corriente de fuga [12]. Esto se puede apreciar en la **Figura 21**.

Las dificultades de utilizar otros materiales de alto k son las reacciones químicas que se producen al momento de procesarlos junto con el silicio del sustrato y la compuerta. Tales reacciones son minimizadas utilizando una compuerta metálica y una fina capa de SiO_2 entre el material de alto k y el sustrato.

Este valor de EOT es importante porque nos provee información útil sobre el transistor como se muestra en la **Ecuación 4** y cuya aproximación será justificada en el próximo capítulo bajo la sección correspondiente a EOT.

Esquema de la tesis

Esta tesis se enfoca en la caracterización eléctrica de dispositivos MOSFET (tipo nMOS y pMOS) de tamaño nanométrico construidos en una tecnología SOI. En estos dispositivos se han utilizado distintos dieléctricos como aislante entre la compuerta y el sustrato, específicamente SiON y HfO₂ como material de alto k.

El objetivo es encontrar métodos que permitan obtener las características deseadas superando los retos y dificultades físicas que impone la tecnología de construcción SOI. Además se desea realizar una evaluación comparativa de los parámetros de desempeño entre los distintos aislantes utilizados.

Los capítulos siguientes de esta tesis se dividen de la siguiente manera:

Capítulo 2

En este capítulo se expone la Metodología de la tesis. Se dará una explicación detallada del tipo de muestras y dispositivos a utilizarse así como del funcionamiento de los MOSFET tipo SOI utilizando un modelo de diagramas de banda. Se expondrán los tipos de mediciones a realizarse y el por qué son adecuados para este tipo de tecnología. Se presentarán los equipos utilizados en las mediciones y el proceso de extracción de los parámetros deseados. Adicionalmente se hablará de una simulación que dé comprobación a los datos experimentales.

Capítulo 3

El capítulo 3 es dedicado a los Resultados experimentales obtenidos bajo la metodología del capítulo anterior. Se incluirán tablas y gráficos que muestren claramente las características eléctricas de los distintos dispositivos y que también permitan efectuar una comparación entre ellas.

Capítulo 4

En este capítulo se realiza la Discusión de los resultados. Se dará una interpretación enfocada a la tecnología MOSFET SOI y se derivarán comentarios cualitativos sobre las diferencia en las características eléctricas de los distintos tipos de dispositivos utilizados en este tesis.

Capítulo 5

En este capítulo se resumen las principales conclusiones extraídas en esta tesis así como también sugerencias y comentarios sobre futuras investigaciones y posibles desarrollos en el análisis de dispositivos MOSFET SOI con dieléctricos SiON y de alto k.

CAPÍTULO 2: METODOLOGÍA

Muestras

Las muestras que se utilizaron para la elaboración de esta tesis se obtuvieron gracias a la colaboración de IMEC con la USFQ.

Dado que la fabricación de los wafer y transistores a escala nanométrica se puede realizar solamente en laboratorios de ambiente completamente limpio de alta tecnología que cuestan cientos de millones de dólares, es importante agradecer a IMEC por darnos acceso a estas obleas con estructuras de última tecnología.

Específicamente se trabajó con un wafer de nombre técnico SALSA 3 de 300 mm de diámetro en el que se incluían distintos tamaños de transistores, pues son muestras de investigación y diseño. Esencialmente la tecnología presente en el wafer en cuanto a tamaño mínimo de compuerta de los transistores se puede ubicar en los 32 nm. Una fotografía del wafer de trabajo se encuentra en la **Figura 22**.

Equipos

Como los dispositivos bajo estudio requirieron de alta tecnología para su fabricación, también se requieren equipos especializados de alta tecnología para poder realizar su caracterización eléctrica.

En Latinoamérica, en general, hay muy pocos equipos de este tipo por varias razones. Una de ellas es que no existe una industria dedicada al desarrollo e investigación de nanotecnología. Otro limitante son los altos costos de adquisición de estos equipos y la poca cantidad de profesionales especializados en esta área.

Afortunadamente, en la Universidad San Francisco de Quito se ha empezado a impulsar el campo de la micro y nanoelectrónica y para ello se está equipando un laboratorio dedicado a esta área con equipos que permiten realizar la caracterización eléctrica de dispositivos semiconductores (**Figura 23**). Gracias a ello, se ha podido desarrollar esta tesis, la primera tesis de nanoelectrónica en la historia de la USFQ.

El principal equipo utilizado es el Sistema de Caracterización de Semiconductores Keithley Modelo 4200-SCS (**Figura 24**). Este equipo es capaz de realizar caracterizaciones de tipo DC I-V, C-V, y por Pulsos con un alto grado de fidelidad. Además, es posible elaborar gráficas en tiempo real y obtener análisis de alta precisión y con una resolución menor a los femto amperios.

El sistema 4200-SCS ofrece las capacidades más avanzadas de caracterización disponibles actualmente en el mundo en un sistema completamente integrado de caracterización. El mismo tipo de equipo es utilizado en IMEC y en Universidades de Europa y EEUU con departamentos de investigación de nanotecnología. Este equipo incluye una PC incorporada con sistema operativo Windows y un sistema de almacenamiento masivo.

El proceso de adquisición de datos es simplificado y acelerado gracias a la interface point-and-click que auto-documenta el proceso. De esta manera, los usuarios pueden estar analizando sus resultados más prontamente. Las componentes de medición de este equipo se llaman SMU (source measure unit) y su característica particular es que pueden realizar medidas simultáneas de voltaje y corriente, así como de capacitancia y resistencia acorde a la programación que se le asigne.

Este sistema se lo puede integrar a un sistema más grande sin ninguna dificultad y puede trabajar en conjunto con otros equipos para aumentar el rango de análisis que se desee realizar. Ese es el caso en la USFQ, donde este sistema de caracterización trabaja junto a un microscopio de alta resolución Cascade Microtech con salida a un monitor LCD externo y montado sobre una plataforma alessi REL-4800, con una bomba al vacío para succión de la puntas de medición y una bomba de presión para la plataforma de suspensión del microscopio.

Además cuenta con una base para obleas (wafers) con control térmico para mediciones a alta temperatura. A los equipos se los puede ver en la **Figura 23** y la **Figura 25**.

Mediciones

Como se explicó en el capítulo 1, existen varias características eléctricas de un MOSFET que son importantes para la investigación y desarrollo del dispositivo.

Entre los parámetros que se desean conocer para realizar una evaluación y comparación entre transistores están: C_{OX} , t_{OX} , EOT, $g_{m,max}$, V_T y también las tendencias de I_D e I_G con respecto a V_G .

C_G-V_G - Capacitancia y espesor de óxido (C_{OX} , t_{OX} , C_{inv} , t_{inv})

Como los dispositivos analizándose son de tipo SOI, se presenta un reto en la medición de la capacitancia del óxido porque la capacitancia de la compuerta no presenta ninguna característica de acumulación adecuada. La capacitancia de la compuerta de dispositivos SOI es despreciable en el régimen de acumulación debido a que no existe un contacto de bulbo, como se muestra en la **Ecuación 5** y en la **Figura 26**.

Por esta razón, la manera de obtener la capacitancia es en polarización de compuerta positiva (nMOS) y en negativa (pMOS). Para conocer el valor de C_{OX} y por ende t_{OX} es necesaria la obtención de una curva característica de la compuerta como en la **Figura 20**.

Al obtener la curva característica C-V de la compuerta se utiliza una señal de baja frecuencia en una polarización en inversión de modo que las cargas en inversión respondan de manera correspondiente a la señal aplicada como en la **Figura 26**.

Una vez obtenidos los datos experimentales para la curva característica C-V de la compuerta nos enfrentamos ante dos problemas que afectan la exactitud en la extracción de la capacitancia y espesor del óxido:

1. Capacitancias parásitas que se pueden dividir en dos grupos principales: a) el efecto capacitivo de la compuerta y b) capacitancias debidas a las juntas.

Estas capacitancias parásitas influyen en las mediciones C-V causando un aumento en la capacitancia real de la compuerta pues se presentan como capacitancias paralelas a la que se encuentra en medición. En el caso de los dispositivos SOI estas

capacitancias parásitas se mantienen a pesar del aumento del voltaje de compuerta. Tal característica hace fácil el poder determinarlas y retirarlas de la curva C-V de modo que no afecten de mayor forma los resultados, pues lo que causarían es un desplazamiento en el eje vertical de la curva C-V. Lo que se debe hacer es hallar el valor promedio del desplazamiento vertical de la curva en la parte inferior (que debería estar sobre el eje x, cerca a $C=0$) y retirarlo de toda la curva.

2. El efecto “dark space” cuando dispositivos con aislante ultra delgado son considerados. Este efecto se produce cuando la barrera aislante en la interfaz de la compuerta de Poly-Si - SiO₂ y las imperfecciones del material inducen una concentración de casi cero portadores mayoritarios en la interfaz lo que conduce a la formación de un dipolo eléctrico y por tanto una distribución de campo eléctrico distinta de cero para poder alcanzar la condición de flat band (voltaje necesario para obtener neutralidad de cargas en el semiconductor $Q_{Si} = 0$), $Q_{poly}=0$, como se puede ver en la **Figura 27**.

La presencia de una barrera potencial abrupta en la interface Poly-Si/SiO₂ y las imperfecciones del material, causan la caída de la concentración de electrones por unos cuantos nanómetros desde la interface incluso si los portadores no están confinados espacialmente. Este efecto “dark space” es el responsable de la inexactitud en la extracción del espesor del óxido cuando dispositivos con aislante ultra delgado son considerados debido al fuerte impacto en la capacitancia de la compuerta.

En otras palabras, la disminución en la capacitancia debido al “dark space” se puede expresar como un incremento en el espesor efectivo del óxido y por tanto una reducción en la corriente de drenaje y la transconductancia del dispositivo. Esto se puede ver claramente cuando revisamos la **Ecuación 6** correspondientes a la capacitancia de la compuerta y su relación con el espesor del óxido.

De modo que la Capacitancia máxima que se halla en la curva C-V corresponde a un valor un tanto menor que C_{OX} , un valor conocido como C_{inv} y que responde a la **Ecuación 7**. Este valor también nos es de interés pues la reducción de capacitancia afecta a la velocidad de trabajo del dispositivo. Además, para un MOSFET convencional C_{OX} es muy cercano a C_{inv} .

Y en el caso de los dispositivos que se utilizan en esta tesis, la compuerta de Poly-Si ha sido reemplazada por una compuerta metálica con el objetivo de suprimir este efecto de agotamiento cerca de la región de unión. Esto se consigue gracias a la alta concentración de portadores del metal, lo que se traduce en que el valor de C_{inv} es aproximadamente C_{OX} y t_{inv} es básicamente igual que t_{OX} [10].

EOT – Experimental y por Simulación

Para obtener el valor de EOT se requiere un conocimiento exacto de la permitividad del dieléctrico así como de la capacitancia del óxido como se muestra en la **Figura 28**. Una vez encontrados los valores de C_{inv} y t_{inv} acorde a la **Ecuación 7**, y considerando la **Ecuación 4**, se puede obtener un valor aproximado de EOT del dispositivo bajo análisis al restar 0.4 nm de t_{inv} , aproximación que ha sido demostrada en otros trabajos de investigación.

La razón de este ajuste se debe a que el espesor eléctrico efectivo es mayor que el espesor físico del óxido, como se puede observar en la **Figura 29**. El aumento en el espesor eléctrico se debe a dos efectos: 1) el efecto “dark space” en el Poly-Si de la compuerta y 2) efectos de mecánica cuántica en el canal que hacen que las cargas se encuentren ligeramente por debajo de la superficie de la interfaz. Cada efecto contribuye a un crecimiento de aproximadamente 0.4 nm del espesor eléctrico efectivo con respecto al físico. Esta corrección se vuelve más importante cuando se disminuye el espesor de t_{OX} .

En el caso de las muestras utilizadas en esta tesis, no se presenta el primer efecto “dark space” ya que la compuerta es de tipo metálico, por tanto solo se debe compensar por los efectos mecánico cuánticos y por ello se justifica la aproximación de la **Ecuación 4**.

Es en la obtención de este parámetro que se puede utilizar un software de simulación para comprobar la aproximación de EOT que proveen los resultados experimentales.

El software a utilizarse es el presentado por J.R. Hauser y K. Ahmed, del Departamento de Ingeniería Eléctrica y de Computación de la Universidad de Carolina del Norte en EEUU, en su publicación para la IEEE sobre Caracterización de Óxidos ultra delgados utilizando mediciones C-V e I-V [14]. Este programa toma como datos de entrada la curva C-V y la curva I-V del MOSFET a analizar y realiza cálculos con consideraciones de efectos físicos de mecánica cuántica para realizar una estimación de los parámetros del transistor, entre ellos EOT utilizando un algoritmo no lineal de mínimos cuadrados. Una vez obtenido el resultado de la simulación se puede comparar con el resultado experimental de t_{inv} y la aproximación hecha para EOT [14].

I_D - V_G - Voltaje umbral (V_T) y transconductancia (g_m)

Se inicia la caracterización obteniendo la curva I_D - V_{GS} , que para el caso de los MOSFET SOI FD utilizados en esta tesis presenta el beneficio de no sufrir de pinch-off ya que el canal formado ocupa toda la capa del sustrato y el óxido enterrado impide que se produzcan las regiones de agotamiento con el drenaje y la fuente que son causantes de tal efecto.

Aprovechando tal hecho podemos obtener, a partir de la misma curva, la característica de transconductancia del transistor para el mismo rango de voltaje. La transconductancia, g_m , se define como una propiedad de ciertos dispositivos eléctricos. Es la relación, que se muestra en la **Ecuación 8**, entre la variación de corriente a la salida del dispositivo con respecto a la variación de voltaje a su entrada y que en el caso de un MOSFET, partiendo de la curva I_D - V_{GS} se obtiene como dI_D/dV_{GS} .

Con esta información se puede proseguir para aplicar el método del pico de la transconductancia, $g_{m,max}$ y una extrapolación lineal, mencionado en el capítulo 1, para obtener el valor del voltaje umbral V_T . Dado que para esta caracterización se utiliza un

valor bajo de corriente de drenaje, la resistencia en serie es usualmente despreciable y se puede aplicar el método con tranquilidad.

En este método $g_{m,max}$ es el valor máximo de la curva dI_D/dV_{GS} y se lo utiliza para hallar el punto de inflexión de la curva I_D-V_{GS} para la región trío de operación (es decir con V_D bajo), que es cuando se obtiene el valor máximo de transconductancia. En este punto se grafica una tangente a la curva I_D-V_{GS} , y el lugar de intersección de la tangente con el eje x, es decir $I_D=0$, indica el valor extrapolado del voltaje umbral V_T . Para mejorar la exactitud de este método se recomienda repetir las mediciones para varios valores de V_D .

Sin embargo, hay que introducir una corrección ya que la corriente del drenaje no es exactamente cero por debajo de V_T y se acerca al eje x sólo de manera asintótica. Por tanto, el valor extrapolado en la intersección de la curva I_D-V_{GS} es V_{GSi} y permite hallar el valor de V_T de acuerdo a la **Ecuación 1** [12]. En la **Figura 19** se pueden observar las curvas correspondientes a este método.

I_G-V_G – Corriente de Fuga y Método $J_{gate-derivative}$

Aunque no se mencionó en la sección de caracterización eléctrica del capítulo 1, la curva I_G-V_G y la separación de la contribución a esta corriente por parte del drenaje y la fuente, muestra el efecto de la corriente de fuga que se mencionó al considerar espesores pequeños del óxido de la compuerta. Dado que esta corriente de fuga tiene una repercusión en el desempeño del dispositivo es importante conocerla. La utilización de tecnología SOI tiene como objetivo reducir esta corriente de fuga, al igual que el utilizar dieléctricos de alto k.

Esta corriente de fuga está compuesta de 3 contribuciones principales, que se pueden apreciar en la **Figura 30** [15]:

1. I_{gc} (Compuerta-Canal)
2. $I_{g,ov} = I_{gs} + I_{gd}$ (Compuerta-Fuente/Drenaje - Sobreposición)
3. $I_{g,sub}$ (Compuerta-Substrato)

En el caso de un nMOS, con polarización $V_G > 0V$, $V_D = V_S = V_B = 0V$, se forma una capa de inversión debajo de la compuerta y una corriente de electrones fluye desde la banda de conducción (ECB) del Si hacia la compuerta ($I_{g,c}$). Los electrones acumulados en las regiones de traslape (ECB) de la fuente y el drenaje atraviesan en túnel hacia la compuerta ($I_{g,ov}$). Cuando el voltaje de la compuerta aumenta, una corriente de electrones fluye desde la banda de valencia (EVB) del Si hacia la compuerta. Esto crea una corriente de conducción de agujeros en el sustrato ($I_{g,sub}$). En la **Figura 31** se pueden apreciar estos fenómenos dentro del diagrama de bandas del transistor [15].

Para el caso de los pMOS, la polarización es $V_G < 0V$, $V_D = V_S = V_B = 0V$, pero el comportamiento detallado para los pMOS es similar, con la diferencia que ahora la corriente es de huecos y fluye desde la banda de valencia (HVB), como en la **Figura 32**.

El reto con los dispositivos SOI es que la ausencia de un contacto de bulbo hace imposible medir la contribución de $J_{g,sub}$ y por ende no se puede realizar una separación de las contribuciones a la corriente de fuga. Además, como el tipo de SOI es FD (full depletion) no se pueden obtener suficientes portadores (cargas móviles) en acumulación y solo se puede trabajar en inversión.

En vista de tales retos, se realizó una investigación sobre posibles métodos para SOI que permitieran obtener mayor información sobre la alineación de las bandas de energía en el semiconductor y se probó una métrica que había tenido éxito en el trabajo de la tesis doctoral de Isabelle Ferain realizada en IMEC sobre dispositivos SOI. Esta métrica llamada $J_{gate-derivative}$ tenía como objetivo hallar el voltaje de flat band o banda plana. Para obtenerla se calcula $d[\ln(J_{gate})]/dV_G$ y se grafica con respecto a V_G .

Esta curva presenta dos picos (**Figura 33**):

1. Cerca de V_T y se atribuye a la contribución de huecos de la capa de inversión.
2. A un $|V_g|$ mayor, cuando J_{sub} empieza a sobrepasar la contribución total que aportan el drenaje y la fuente al canal y la superposición física, J_{SD} .

El segundo pico es posible visualizarlo solamente en dispositivos pMOS y se produce cuando la banda de energía del nivel de Fermi de la compuerta ($E_{F,M}$) se alinea con la banda de conducción del Si. Es a este valor de V_g que se determina V_{OX} y con este valor se pasa a una gráfica de relación entre V_{OX} y V_{FB} para extrapolar el valor de V_{FB} correspondiente. [15].

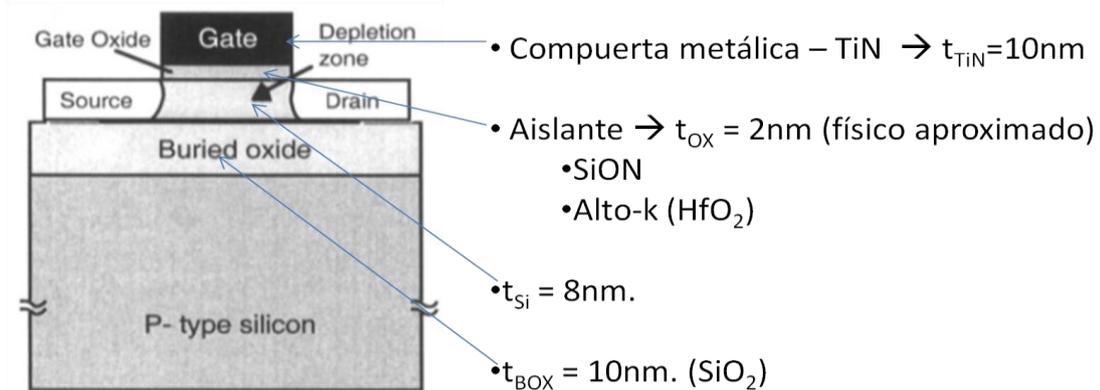
Sin embargo, después de realizar varias pruebas experimentales con dispositivos SOI y dispositivos regulares con contacto de bulto para demostrar la validez de este método, se halló que el método $J_{gate-derivative}$ no es útil para encontrar el segundo pico y el voltaje de banda plana en los dispositivos analizándose en esta tesis. De modo que se utiliza este método de forma limitada con respecto al primer pico como referencia para el Voltaje umbral V_T .

CAPÍTULO 3: RESULTADOS

Muestras

Los MOSFET utilizados son nMOS y pMOS de tecnología SOI del tipo Fully Depleted y que poseen un contacto de cuerpo; específicamente las estructuras SALSA3 – FR30, FR33, FR36 y FR39.

Las características de los dispositivos son las siguientes:



Para comprender de mejor forma la estructura de este tipo de MOSFET SOI y compararla con la estructura de un transistor clásico, se puede observar la **Figura 34**.

A continuación se presentan los resultados obtenidos en la caracterización para cada tipo de MOSFET así como la polarización y condiciones en las que se obtuvieron los datos.

En cada caso se obtuvieron los datos de varios transistores del mismo tipo ubicados en distintos ICs dentro del wafer y el resultado mostrado es un promedio representativo de las muestras.

C_G - V_G - Capacitancia y espesor de óxido (C_{OX} , t_{OX} , C_{inv} , t_{inv} , EOT)

Condiciones de medición

Gráfica de datos C_G - V_G :

Frecuencia = 500 kHz

S y D en corto circuito

$V_B = 0$ V

$C_G + C_{parásita}$ (pF) → Medición del equipo 4200SCS

C_G (pF) → Capacitancia necesaria para hallar C_{inv}

Formulas utilizadas:

$$t_{inv} = 3.9 \epsilon_0 / C_{inv} \quad (\text{Ecuación 7})$$

$$EOT = t_{inv} - 0.4 \text{ nm} \quad (\text{Ecuación 4})$$

Resumen comparativo

Tabla 1: C_{inv} , t_{inv} , EOT – SiON

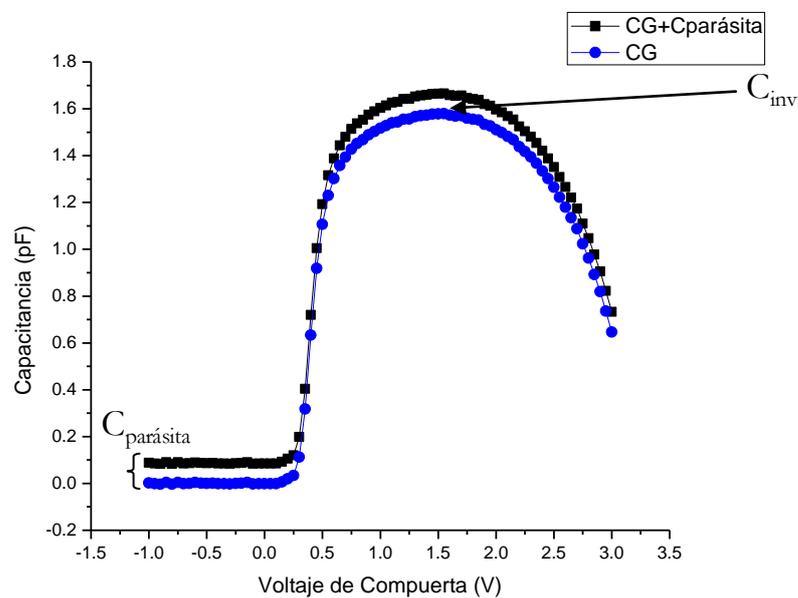
Tipo	Tamaño	$C_{parásita}$	C_{inv}	t_{inv}	EOT
canal	μm^2	pF	pF	nm	nm
nMOS	10x10	0.086	1.579	2.187	1.787
pMOS	10x10	0.085	1.529	2.258	1.858
nMOS	10x1	0.077	0.143	2.422	2.022
pMOS	10x1	0.071	0.146	2.366	1.966

Tabla 2: C_{inv} , t_{inv} , EOT – Alto k

Tipo	Tamaño	$C_{parásita}$	C_{inv}	t_{inv}	EOT
canal	μm^2	pF	pF	nm	nm
nMOS	10x10	0.083	2.772	1.246	0.846
pMOS	10x10	0.097	3.268	1.057	0.657
nMOS	10x1	0.075	0.250	1.380	0.980
pMOS	10x1	0.078	0.277	1.248	0.848

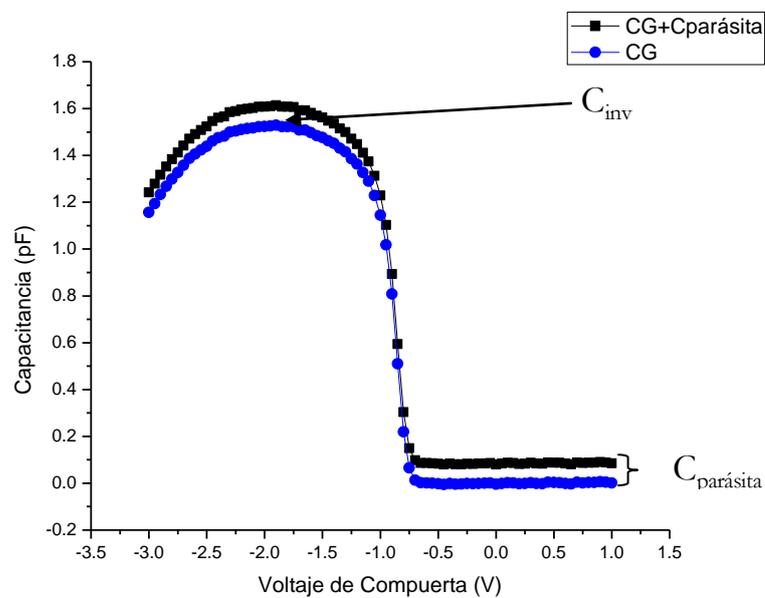
$10 \times 10 \mu\text{m}^2$ – SiON

Gráfico 1: C-V - nMOS – $10 \times 10 \mu\text{m}^2$ – SiON



C parásita (pF)	C inv (pF)	t inv (nm)	EOT (nm)
0.086	1.579	2.187	1.787

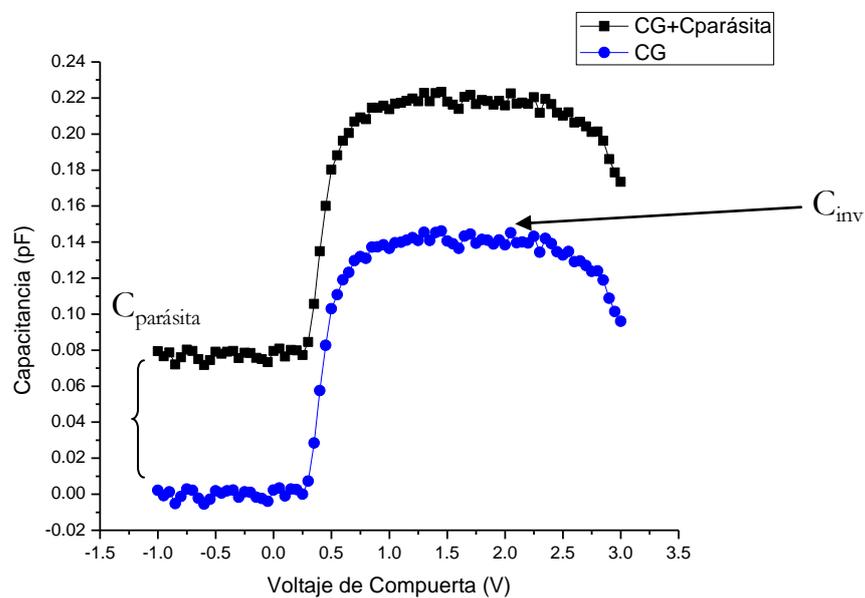
Gráfico 2: C-V - pMOS – $10 \times 10 \mu\text{m}^2$ – SiON



C parásita (pF)	C inv (pF)	t inv (nm)	EOT (nm)
0.085	1.529	2.258	1.858

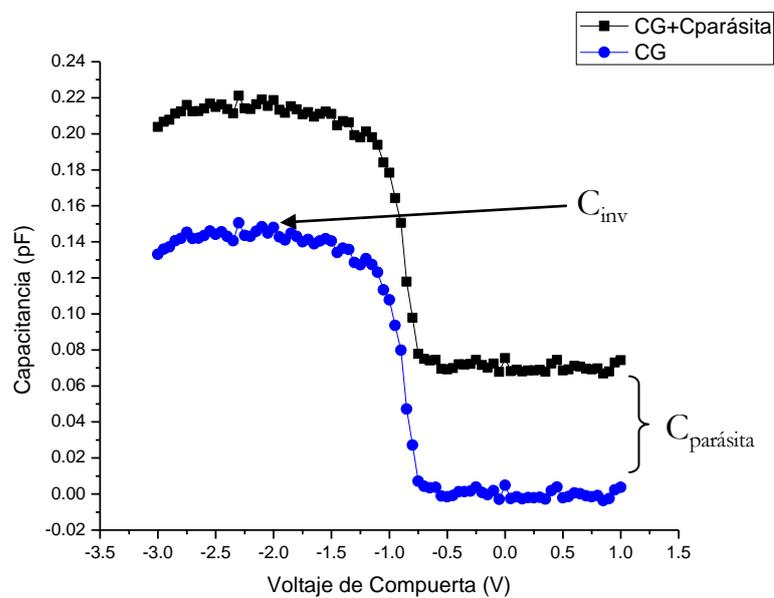
$10 \times 1 \mu\text{m}^2 - \text{SiON}$

Gráfico 3: C-V - nMOS – $10 \times 1 \mu\text{m}^2 - \text{SiON}$



C parásita (pF)	C inv (pF)	t inv (nm)	EOT (nm)
0.077	0.143	2.422	2.022

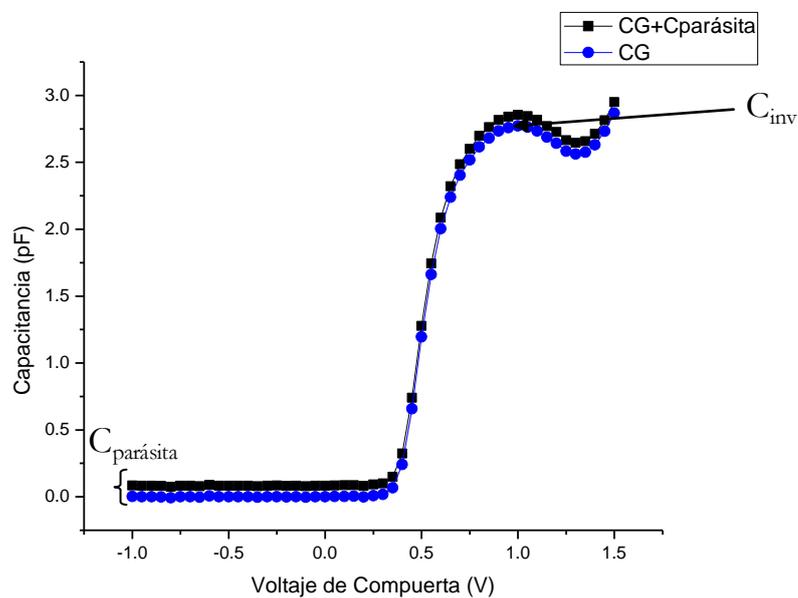
Gráfico 4: C-V - pMOS – $10 \times 1 \mu\text{m}^2 - \text{SiON}$



C parásita (pF)	C inv (pF)	t inv (nm)	EOT (nm)
0.071	0.146	2.366	1.966

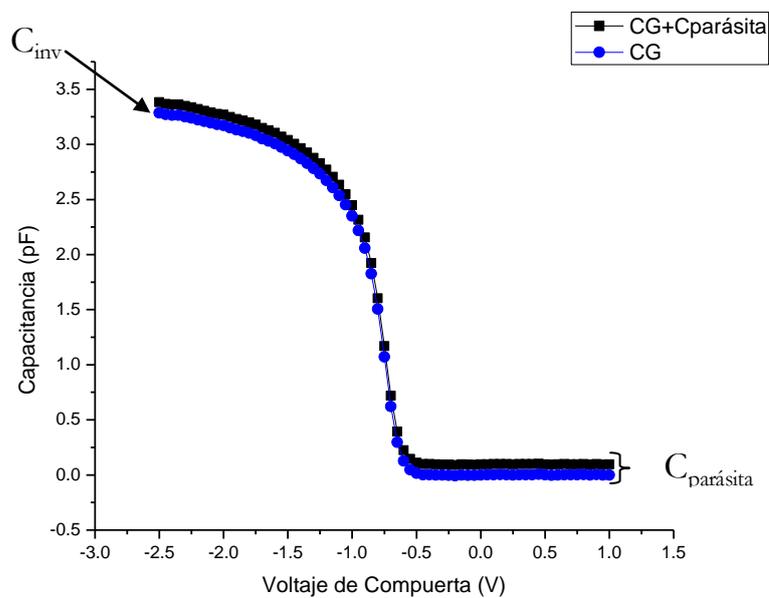
$10 \times 10 \mu\text{m}^2$ – Alto k

Gráfico 5: C-V - nMOS – $10 \times 10 \mu\text{m}^2$ – Alto k



C parásita (pF)	C inv (pF)	t inv (nm)	EOT (nm)
0.083	2.772	1.246	0.846

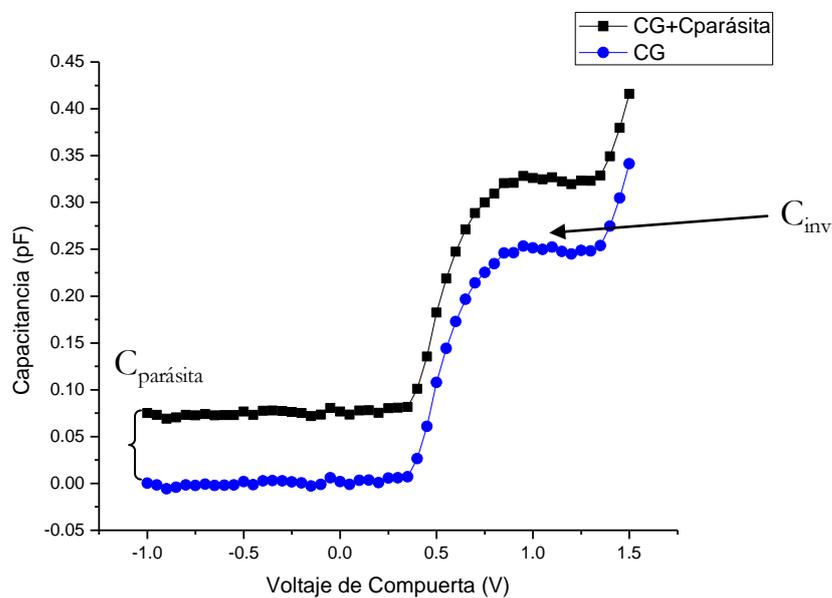
Gráfico 6: C-V - pMOS – $10 \times 10 \mu\text{m}^2$ – Alto k



C parásita (pF)	C inv (pF)	t inv (nm)	EOT (nm)
0.097	3.268	1.057	0.657

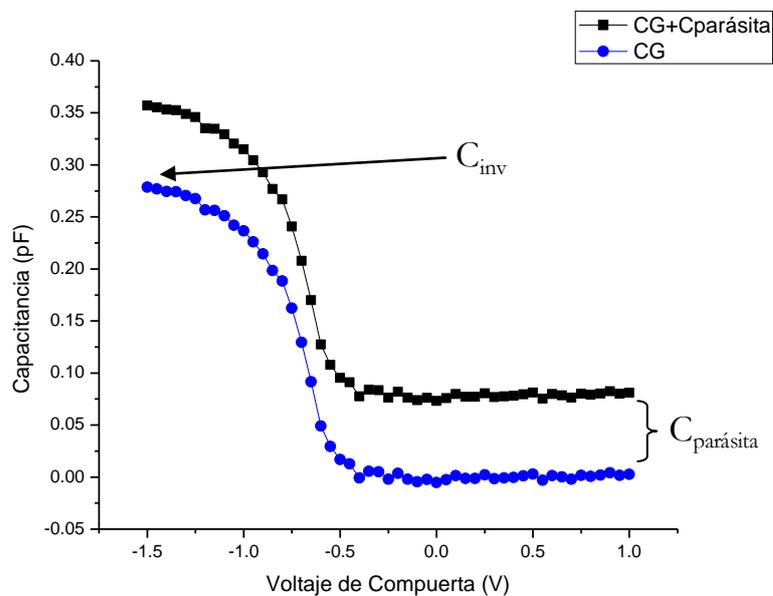
$10 \times 1 \mu\text{m}^2$ – Alto k

Gráfico 7: C-V - nMOS – $10 \times 1 \mu\text{m}^2$ – Alto k



C parásita (pF)	C inv (pF)	t inv (nm)	EOT (nm)
0.075	0.250	1.380	0.980

Gráfico 8: C-V - pMOS – $10 \times 1 \mu\text{m}^2$ – Alto k



C parásita (pF)	C inv (pF)	t inv (nm)	EOT (nm)
0.078	0.277	1.248	0.848

I_D - V_G - Voltaje umbral (V_T) y transconductancia (g_m)

Condiciones de medición

Gráfica de datos I_{DS} - V_G :

$$V_S = 0 \text{ V}$$

$$V_D = 50 \text{ mV}$$

$$V_B = -3.0 \text{ a } 3.0 \text{ V (nMOS)}$$

$$V_B = -1.5 \text{ a } 3.0 \text{ V (pMOS)}$$

Formulas utilizadas:

$$I_{DS} = (I_D - I_S) / 2$$

$$g_m = dI_{DS} / dV_G$$

$$V_T = V_{GSi} - 25 \text{ mV (Ecuación 1)}$$

Método:

Pico de transconductancia y extrapolación lineal (**Figura 19**).

Gráficas resultantes:

$$g_m - V_G \quad (\text{para varios } V_B)$$

$$g_{m,max} - V_B$$

$$V_T - V_B$$

nMOS – 10x10 μm²

Gráfico 9: g_m-V_G - nMOS – 10x10 μm² – SiON

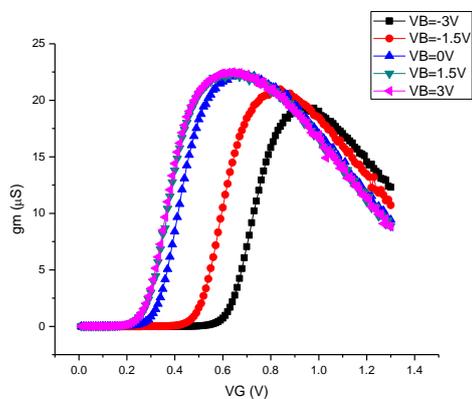


Gráfico 10: g_m-V_G - nMOS – 10x10 μm² – Alto k

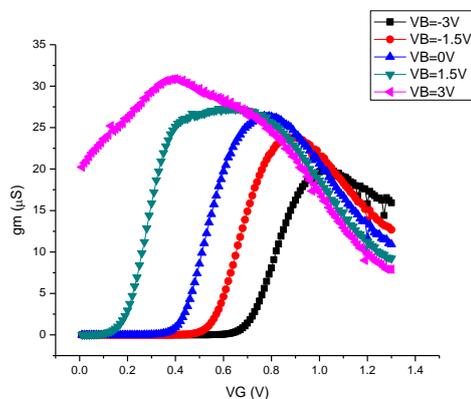


Tabla 3: $g_{m,max}$ - nMOS – 10x10 μm²

	SiON	Alto k
V_B (V)	$g_{m,max}$ (μS)	$g_{m,max}$ (μS)
-3.0	19.77	19.37
-1.5	23.89	20.97
0.0	26.40	22.37
1.5	27.28	22.48
3.0	30.88	22.51

Gráfico 11: $g_{m,max}-V_B$ - nMOS – 10x10 μm²

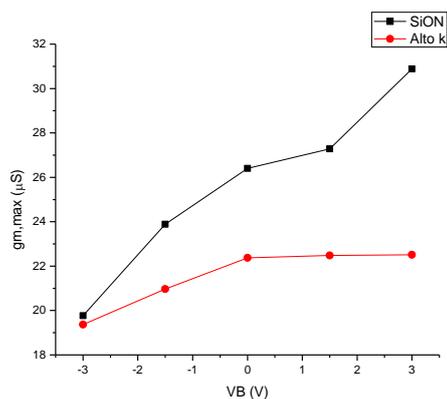
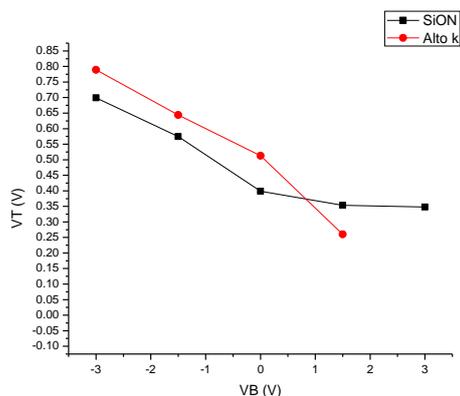


Tabla 4: V_T - nMOS – 10x10 μm²

	SiON	Alto k
V_B (V)	V_T (V)	V_T (V)
-3.0	0.699	0.789
-1.5	0.575	0.644
0.0	0.399	0.513
1.5	0.354	0.260
3.0	0.348	-

Gráfico 12: V_T-V_B - nMOS – 10x10 μm²



pMOS – 10x10 μm²

Gráfico 13: g_m - V_G - pMOS – 10x10 μm² – SiON

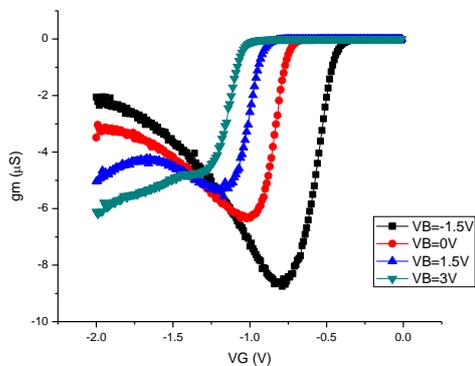


Gráfico 14: g_m - V_G - pMOS – 10x10 μm² – Alto k

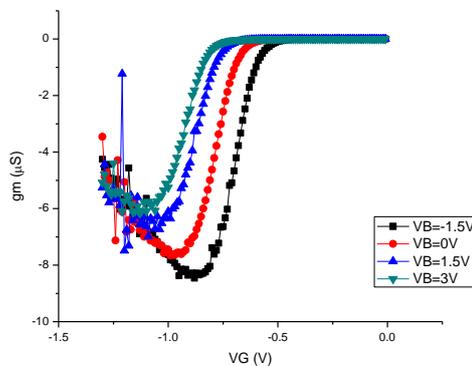


Tabla 5: $g_{m,max}$ - pMOS – 10x10 μm²

	SiON	Alto k
V_B (V)	$g_{m,max}$ (μS)	$g_{m,max}$ (μS)
-1.5	8.46	8.75
0.0	7.65	6.35
1.5	7.49	5.58
3.0	6.17	4.70

Gráfico 15: $g_{m,max}$ - V_B - pMOS – 10x10 μm²

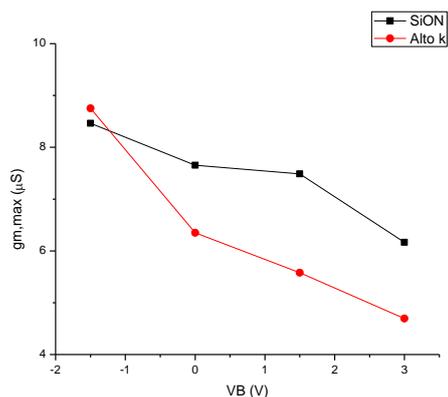
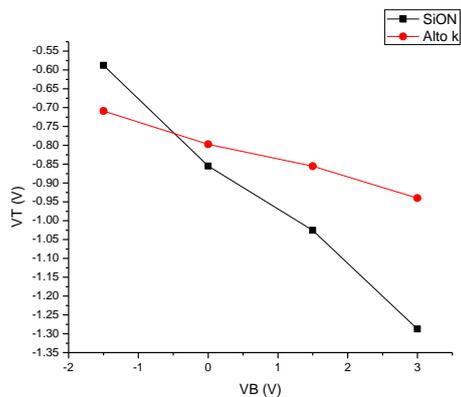


Tabla 6: V_T - pMOS – 10x10 μm²

	SiON	Alto k
V_B (V)	V_T (V)	V_T (V)
-1.5	-0.588	-0.709
0.0	-0.855	-0.797
1.5	-1.025	-0.855
3.0	-1.288	-0.940

Gráfico 16: V_T - V_B - pMOS – 10x10 μm²



nMOS – 10x1 μm²

Gráfico 17: g_m - V_G - nMOS – 10x1 μm² – SiON

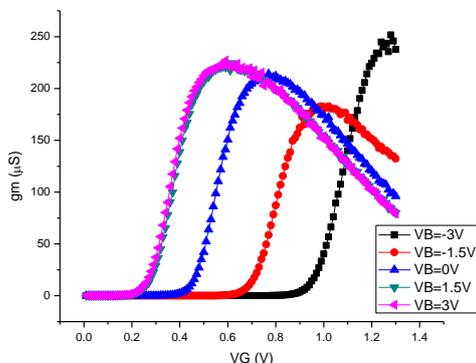


Gráfico 18: g_m - V_G - nMOS – 10x1 μm² – Alto k

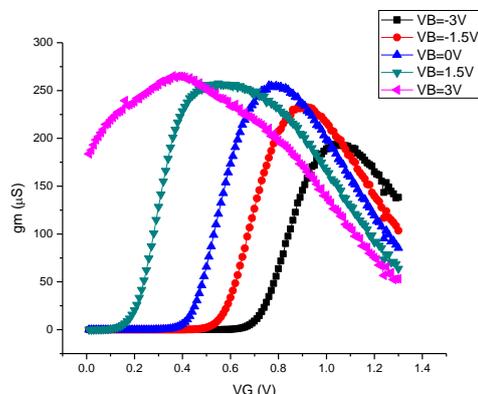


Tabla 7: $g_{m,max}$ - nMOS – 10x1 μm²

	SiON	Alto k
V_B (V)	$g_{m,max}$ (μS)	$g_{m,max}$ (μS)
-3.0	196.31	251.80
-1.5	232.83	182.71
0.0	255.26	214.22
1.5	257.61	224.49
3.0	265.38	227.04

Gráfico 19: $g_{m,max}$ - V_B - nMOS – 10x1 μm²

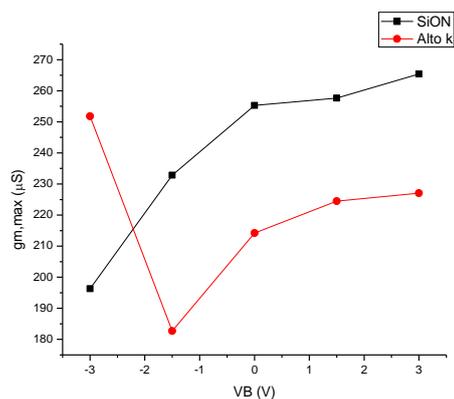
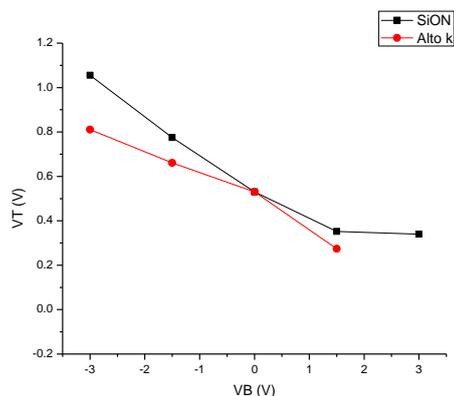


Tabla 8: V_T - nMOS – 10x1 μm²

	SiON	Alto k
V_B (V)	V_T (V)	V_T (V)
-3.0	1.056	0.810
-1.5	0.775	0.661
0.0	0.530	0.530
1.5	0.352	0.274
3.0	0.339	-

Gráfico 20: V_T - V_B - nMOS – 10x1 μm²



pMOS – 10x1 μm^2

Gráfico 21: g_m - V_G - pMOS – 10x1 μm^2 – SiON

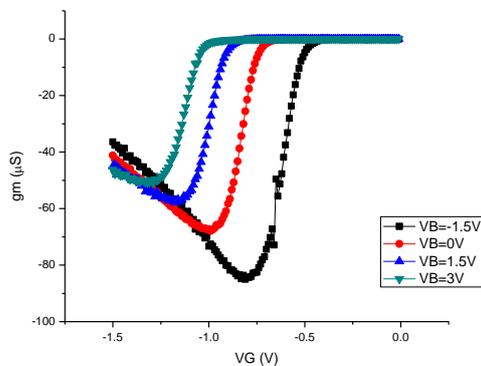


Gráfico 22: g_m - V_G - pMOS – 10x1 μm^2 – Alto k

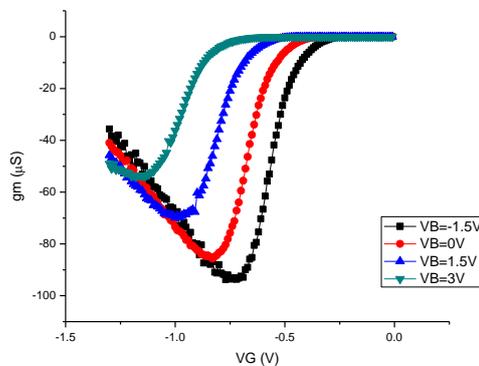


Tabla 9: $g_{m,max}$ - pMOS – 10x1 μm^2

	SiON	Alto k
V_B (V)	$g_{m,max}$ (μS)	$g_{m,max}$ (μS)
-1.5	93.84	85.02
0.0	85.69	67.89
1.5	69.90	57.76
3.0	54.09	50.95

Gráfico 23: $g_{m,max}$ - V_B - pMOS – 10x1 μm^2

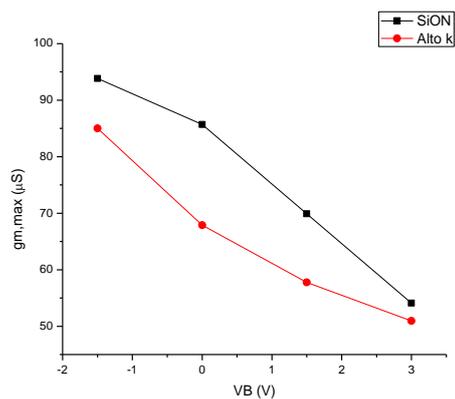
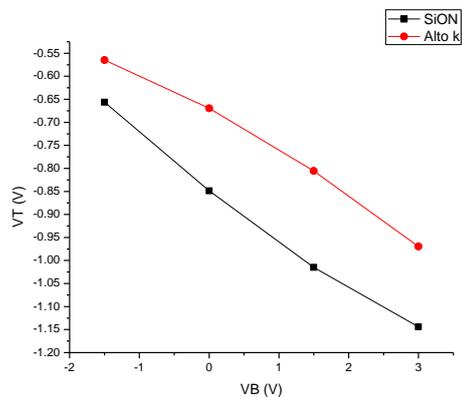


Tabla 10: V_T - pMOS – 10x1 μm^2

	SiON	Alto k
V_B (V)	V_T (V)	V_T (V)
-1.5	-0.656	-0.565
0.0	-0.849	-0.670
1.5	-1.015	-0.805
3.0	-1.144	-0.970

Gráfico 24: V_T - V_B - pMOS – 10x1 μm^2



I_G - V_G – Corriente de Fuga – Método $J_{\text{gate-derivative}}$

Condiciones de medición

Gráfica de datos I_G - V_G :

$$V_S = V_D = V_B = 0 \text{ V}$$

Fórmulas utilizadas:

$$J_{\text{gate}} = |I_{\text{gate}}| / \text{Area}_{\text{gate}}$$

$$\text{Derivative} = d[\ln(J_{\text{gate}})] / dV_{\text{gate}}$$

Método:

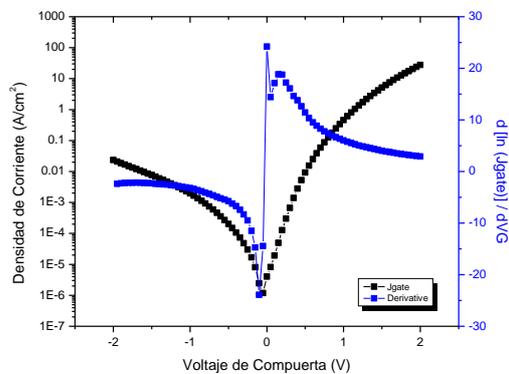
$J_{\text{gate-derivative}}$ (**Figura 33**).

Gráficas resultantes:

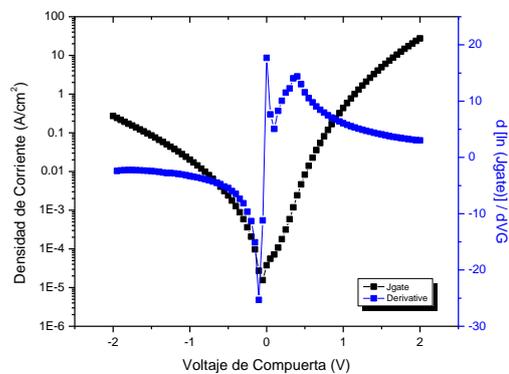
$$J_{\text{gate}} - V_G$$

$$\text{Derivative} - V_G$$

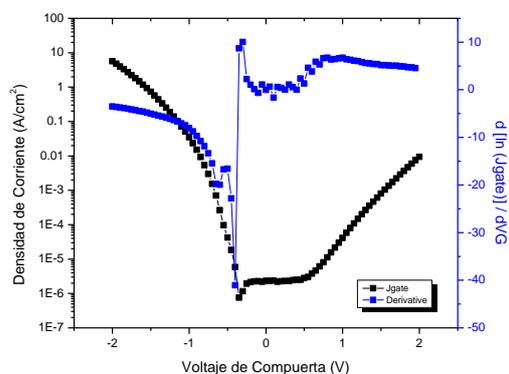
SiON

Gráfico 25: $J_{gate-derivative}$ - nMOS – $10 \times 10 \mu\text{m}^2$ 

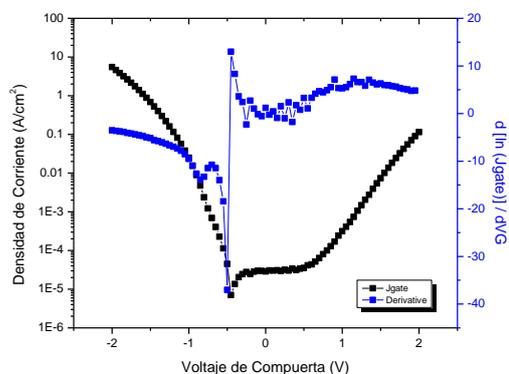
a. VT (V)	Gate leakage (A/cm2)
0.15	49.5349E-6

Gráfico 27: $J_{gate-derivative}$ - nMOS – $10 \times 1 \mu\text{m}^2$ 

a. VT (V)	Gate leakage (A/cm2)
0.40	2.4177E-3

Gráfico 26: $J_{gate-derivative}$ - pMOS – $10 \times 10 \mu\text{m}^2$ 

a. VT (V)	Gate leakage (A/cm2)
-0.50	41.9888E-6

Gráfico 28: $J_{gate-derivative}$ - pMOS – $10 \times 1 \mu\text{m}^2$ 

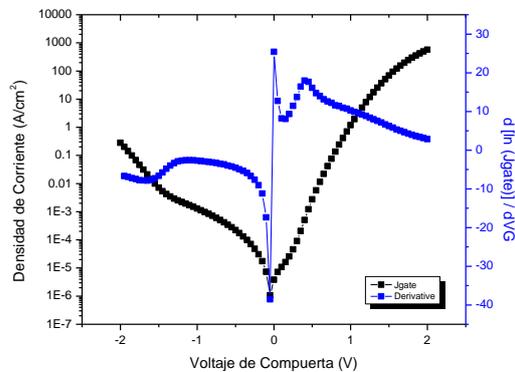
a. VT (V)	Gate leakage (A/cm2)
-0.70	689.3653E-6

Tabla 11: V_T con el método $J_{gate-derivative}$ – SiON

Tipo	Tamaño	a. VT (V)	Leakage ($\mu\text{A}/\text{cm}^2$)
nMOS	10x10	0.15	49.5
pMOS	10x10	-0.50	42.0
nMOS	10x1	0.40	2417.7
pMOS	10x1	-0.70	689.4

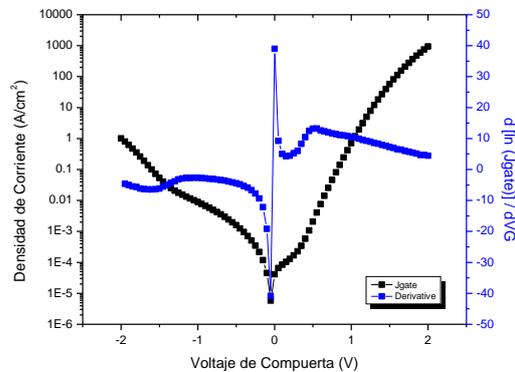
Alto k

Gráfico 29: $J_{gate-derivative}$ - nMOS – $10 \times 10 \mu m^2$



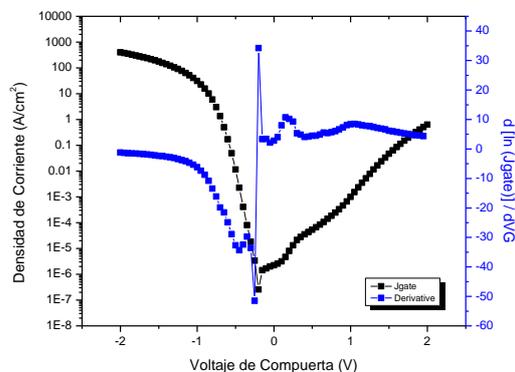
a. VT (V)	Gate leakage (A/cm2)
0.40	506.8916E-6

Gráfico 31: $J_{gate-derivative}$ - nMOS – $10 \times 1 \mu m^2$



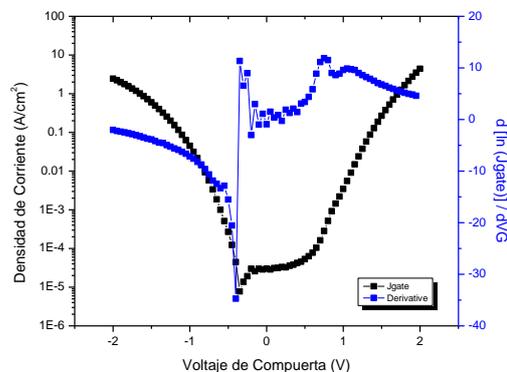
a. VT (V)	Gate leakage (A/cm2)
0.55	4.0382E-3

Gráfico 30: $J_{gate-derivative}$ - pMOS – $10 \times 10 \mu m^2$



a. VT (V)	Gate leakage (A/cm2)
-0.35	80.3184E-6

Gráfico 32: $J_{gate-derivative}$ - pMOS – $10 \times 1 \mu m^2$



a. VT (V)	Gate leakage (A/cm2)
-0.55	511.7031E-6

Tabla 12: V_T con el método $J_{gate-derivative}$ – Alto k

Tipo	Tamaño	a. VT (V)	Leakage ($\mu A/cm^2$)
nMOS	10x10	0.40	506.9
pMOS	10x10	-0.35	80.3
nMOS	10x1	0.55	4038.2
pMOS	10x1	-0.55	511.7

CAPÍTULO 4: DISCUSIÓN

Los resultados obtenidos en la caracterización eléctrica de los distintos transistores, presentados en el capítulo anterior, arrojan información interesante sobre los parámetros y comportamiento de estos dispositivos MOSFET SOI FD de espesor ultra delgado.

Muestras

A este respecto cabe mencionar que las estructuras bajo análisis son muestras de arquitecturas bajo investigación que aún no se encuentran disponibles comercialmente. La particularidad que poseen estas arquitecturas es que el espesor de todas sus partes: la compuerta, el óxido aislante, el substrato y el óxido enterrado son muy delgadas. Los dispositivos SOI comunes son bastante más gruesos y se encuentran en el orden de 100 a 300 nm de espesor para el substrato de silicio y de óxido, mientras que en el caso de los dispositivos analizados tienen 10nm de compuerta de metal (TiN), 2nm físicos aproximados de aislante SiON o Alto-k (HfO_2), 8nm de canal de silicio y 10nm de SiO_2 como óxido enterrado.

De modo que, uno de los objetivos de la caracterización es comprobar si los dispositivos ultra delgados muestran un comportamiento consistente con la teoría y análisis documentados en literatura científica sobre los dispositivos SOI más gruesos.

A continuación se presenta una discusión acorde a los resultados obtenidos.

C_G - V_G - Capacitancia y espesor de óxido (C_{OX} , t_{OX} , C_{inv} , t_{inv} , EOT)

En las Tablas Tabla 1 y Tabla 2 se pueden apreciar los resultados para los distintos dieléctricos entre los cuales existen varios aspectos que valen la pena mencionar. Primero, se encuentra que la $C_{parásita}$ es más o menos constante para todos los casos lo que hace pensar que no hay mayor variación para las longitudes de compuerta elegidas o que la mayor parte de esta $C_{parásita}$ viene dada por los contactos de los terminales y ruido en las mediciones.

El siguiente aspecto digno de mención son los valores obtenidos de Espesor Equivalente de Óxido (EOT). Tanto en los dispositivos de tamaño $10 \times 10 \mu\text{m}^2$ como los de tamaño $10 \times 1 \mu\text{m}^2$ se observa que el valor de EOT para los dieléctricos de alto k es más pequeño que para los de dieléctrico SiON. Este resultado es consistente con la teoría sobre los dieléctricos de mayor constante dieléctrica, pues su objetivo es proporcionar un EOT más bajo que su espesor físico real ya que con estos materiales el transistor sufre de menos fuga de corriente.

Otra característica interesante que encontramos relacionada con los valores de EOT es que los valores correspondientes a los dispositivos pMOS son menores que para los nMOS, en ambos tamaños de compuerta y en ambos dieléctricos. La razón se la puede entender al analizar los gráficos de los distintos substratos, donde se observa que en los dispositivos nMOS existe una mayor fuga que en los pMOS. Esto se traduce en la caída acelerada de la capacitancia a mayores valores absolutos de voltaje de compuerta.

I_D - V_G - Voltaje umbral (V_T) y transconductancia (g_m)

Aprovechando el contacto de cuerpo de los dispositivos SOI, se realizaron pruebas variando el voltaje de polarización de V_B para encontrar su relación y efecto en los parámetros g_m , $g_{m,\text{max}}$ y V_T del dispositivo.

El método del pico de la transconductancia con una extrapolación lineal para obtener el valor de V_T no presentó ninguna complicación y se pudo aplicar precisamente como lo explica la teoría.

El primer parámetro que se caracterizó es el valor máximo de la transconductancia, $g_{m,\text{max}}$. En las Tablas $g_{m,\text{max}}$ (3, 5, 7 y 9) y en los Gráficos $g_{m,\text{max}}$ - V_B (11, 15, 19 y 23) se puede observar la característica lineal con respecto al V_B de estos valores, pero además hay una característica muy importante que se puede notar en todos los dispositivos nMOS y pMOS de tamaño de compuerta $10 \times 10 \mu\text{m}^2$ y $10 \times 1 \mu\text{m}^2$. Esta característica es que los

valores de $g_{m,max}$ para los dispositivos con dieléctrico SiON siempre son mayores que para los de dieléctrico de alto k.

La razón detrás de este comportamiento está ligada con la movilidad efectiva de los portadores (μ_{eff}) acorde al material utilizado. Al recordar la **Ecuación 8** se entiende que g_m depende de I_{DS} , y al revisar de nuevo la **Ecuación 2**, queda claro que la corriente del canal es directamente proporcional a la movilidad efectiva μ_{eff} . Esta movilidad se define como una característica del material, y está relacionada con las colisiones del electrón dentro de la red cristalina.

Por tanto, dada la relación de proporcionalidad directa entre $g_{m,max}$ y μ_{eff} , es lógico pensar que $g_{m,max}$, valor pico de la curva de transconductancia, se alcanza cuando la curva característica de la movilidad (de forma parabólica) también ha alcanzado su valor pico. Esto en conceptos físicos significa que el transistor maximiza su entrega de corriente a la salida cuando el canal ha alcanzado la mayor cantidad de portadores moviéndose a mayor velocidad a través de su red cristalina. Sin embargo, para una mejor discusión de los resultados obtenidos será necesario profundizar más en el comportamiento de la movilidad.

A la curva universal de movilidad, que se muestra en la **Figura 36**, se la puede dividir en tres regiones de acuerdo a los mecanismos de colisión que la afectan: colisión Coulómbica, por fonones y por aspereza de la superficie [16]. Cada tipo de colisión causa que la movilidad del canal disminuya.

Debido a que los materiales de alto k tienen mayor espesor, una mayor constante dieléctrica y mayor cantidad de defectos en el material, en estos se producen una mayor cantidad de colisiones Coulómbicas que en materiales como el SiON o el SiO₂. Esto causa que la movilidad de estos materiales aumente y se pueda decir que $\mu_{SiO_2} > \mu_{SiON} > \mu_{alto-k}$.

Consecuentemente, debido a la relación de proporción con la transconductancia también se puede afirmar que $g_{m,max SiO_2} > g_{m,max SiON} > g_{m,max alto-k}$; y esto es precisamente el comportamiento observado para los distintos tamaños de compuerta y tipos de dieléctrico, siendo así consistentes con la teoría y literatura científica [16].

El siguiente parámetro caracterizado fue el voltaje umbral V_T . Las Tablas V_T (4, 6, 8 y 10) y los Gráficos V_T-V_B (12, 16, 20 y 24) muestran la relación V_T-V_B de ambos tipos de dieléctricos para ambos tamaños de compuerta. En estos gráficos se aprecia claramente una tendencia lineal en la variación del V_T con respecto a los cambios en V_B . El objetivo de tal marcación es demostrar que en estos dispositivos con espesor muy delgado del óxido enterrado (BOX), el substrato de cuerpo ejerce una influencia sobre el canal como si fuese una segunda compuerta. En este caso, los resultados son consistentes con la teoría [17] que explica tal efecto, pues se observa la dependencia de V_T de la compuerta con V_B tal cual se expone en la literatura científica y se presenta en la **Figura 35** [17].

Adicionalmente, al comparar las curvas $g_{m,max}-V_B$ y V_T-V_B se identifica un comportamiento relacionado del pico de transconductancia con respecto al voltaje umbral. Se puede observar que ambos se mantienen en el régimen lineal y en saturación al mismo tiempo, indicando así una relación directa entre ambos parámetros.

I_G-V_G – Corriente de Fuga – Método $J_{gate-derivative}$

En este último análisis de caracterización, de la Tabla 11 y la Tabla 12 se extrae que los valores de V_T obtenidos por este método son cercanos entre sí y al compararlos con los de las Tablas 4, 6, 8 y 10 de un método más robusto, se encuentra que el método $J_{gate-derivative}$ sólo nos proveen una idea o aproximación al valor de V_T y no un cálculo acertado.

Posteriormente los Gráficos 25-32 muestran la aplicación del método $J_{gate-derivative}$ en cada uno de los distintos transistores considerados. Sin embargo, al no aparecer el segundo pico se puede concluir que tal contribución de fuga no se incrementa, y en realidad es casi inexistente en el rango posible de voltajes aplicados al dispositivo, pues la forma de la curva J_{gate} de los gráficos en esta tesis tiene la forma de tan solo una contribución de corriente de fuga acorde a la teoría (**Figura 33**). Por lo tanto, se encuentra que en estos dispositivos el efecto no deseado de la corriente de fuga ha sido disminuido.

CAPÍTULO 5: CONCLUSIONES

Este trabajo de investigación constituye la primera tesis en nanotecnología en la historia de la Universidad San Francisco de Quito y probablemente en el Ecuador. Iniciada antes de que siquiera existiese una especialización de este tipo en la carrera de Ingeniería Eléctrica / Electrónica dentro de la Universidad, lo que ha implicado un gran esfuerzo en investigación y buen conocimiento de física además de electrónica. El nivel de complejidad de esta tesis va más allá de los conocimientos de pregrado, abarcando temas de caracterización a un nivel de masterado.

Mi motivación, como autor de esta tesis, para incursionar en el área de la nanotecnología inició después de la experiencia laboral en análisis de microcomponentes para dispositivos móviles inteligentes realizada en ST-Ericsson en Zürich, Suiza y en STMicroelectronics en Grenoble, Francia donde adquirí las destrezas y conocimientos para trabajar con dispositivos y equipos de análisis de alta tecnología. Un tiempo después, la experiencia en diseño de microelectrónica en Sony CSL en el Interaction Laboratory en Tokio, Japón me brindó mayor impulso para involucrarme en el análisis de este tipo de dispositivos. Finalmente, gracias al incentivo del Dr. Lionel Trojman en la USFQ, continué con esta investigación académica.

La importancia del análisis y caracterización de dispositivos MOSFET se debe a que durante los últimos años esta tecnología ha tenido un gran impacto económico a nivel mundial y un gran crecimiento en complejidad de diseño y en tasas de escalamiento.

En esta tesis se realizó una extensa caracterización eléctrica de dispositivos MOSFET SOI para aplicaciones de alta velocidad y bajo consumo de potencia. Se compararon los parámetros de dispositivos ultra delgados con dieléctrico convencional (SiON) y dieléctrico alternativo de alto k (HfO₂). Estos MOSFET tienen espesores de 10nm de compuerta de metal (TiN), 2nm físicos aproximados de aislante SiON o Alto-k (HfO₂), 8nm de canal de silicio y 10nm de SiO₂ como óxido enterrado.

Los dispositivos fueron provistos por IMEC y han sido caracterizados en el nuevo laboratorio de nanoelectrónica de la USFQ.

Los valores de espesor equivalente de óxido (EOT) de los dispositivos con SiON y HfO₂ han sido extraídos experimentalmente con mediciones C-V y se han incluido correcciones cuánticas en su cálculo. Se ha obtenido una buena concordancia con los valores de EOT encontrados por simulación.

Los valores de voltaje umbral (V_T) en función del voltaje de cuerpo SOI (V_B) han sido extraídos experimentalmente con mediciones I_D - V_G . Una dependencia lineal ha sido encontrada en buena concordancia con la teoría para dispositivos de bajo espesor de Óxido Enterrado (BOX).

Los valores de transconductancia (g_m) en dispositivos con SiON y HfO₂ han sido extraídos experimentalmente con mediciones I_D - V_G . Valores menores de $g_{m,max}$ han sido obtenidos para MOSFET con dieléctrico HfO₂ debido a una menor movilidad. Esta menor movilidad es causada por una alta cantidad de colisiones Coulómbicas originadas por la densidad de defectos en el dieléctrico, que en el caso del HfO₂ es mayor que en el SiON.

Para concluir, cabe mencionar que los conocimientos y destrezas adquiridas con esta tesis son de gran valor en la investigación científica de vanguardia. Representan una buena base para mayores oportunidades en el campo de la nanotecnología, campo que promete grandes perspectivas futuras.

BIBLIOGRAFÍA

- [1] M. Brownlow, «Smartphone statistics,» April 2012. [En línea]. Available: <http://www.email-marketing-reports.com/wireless-mobile/smartphone-statistics.htm>. [Último acceso: 17 April 2012].
- [2] Watchtower Bible and Tract Society of Pennsylvania, «El teléfono móvil: ¿bendición o maldición?,» *Awake!*, p. 32, Febrero 2005.
- [3] D. Needle, «Big jump to 99m tablet sales worldwide forecast for 2012,» 16 Diciembre 2011. [En línea]. Available: <http://tabtimes.com/news/ittech-stats-research/2011/12/16/big-jump-99m-tablet-sales-worldwide-forecast-2012>. [Último acceso: 17 April 2012].
- [4] C. Sturk, «3 Amazing Tablet Statistics,» 27 Abril 2011. [En línea]. Available: <http://www.mequoda.com/articles/digital-magazine-publishing/3-amazing-tablet-statistics/>. [Último acceso: 17 April 2012].
- [5] C. C. A. Colinge Jean-Pierre, *Physics of Semiconductore Devices*, New York: Kluwer Academic Publishers, 2005.
- [6] S. M. & K. K. N. Sze, *Physics of Semiconductor Devices*, Hoboken, New Jersey: John Wiley & Sons, Inc., 2007.
- [7] T. Floyd, *Electronic Devices*, Upper Saddle River, New Jersey: Pearson Education, 2005.
- [8] A. & K. S. Sedra, *Microelectronic Circuits*, New York: Oxford University Press, 2004.
- [9] D. Walkey, *MOSFET Operation*, 2010.
- [10] F. Crupi, *Nanodevices for logic and memory applications*, Quito, 2012.
- [11] imec, «imec,» [En línea]. Available: http://www2.imec.be/be_en/home.html. [Último acceso: 21 Abril 2012].
- [12] D. Schroeder, *Semiconductor Material and Device Characterization*, Hoboken, New Jersey: John Wiley & Sons, Inc., 2006.
- [13] L. Trojman, *Principio de funcionamiento del MOSFET y Scaling*, Quito, 2011.
- [14] K. A. J.R. Hauser, «Characterization of Ultra-Thin Oxides Using Electrical C-V and I-V Measurements,» Raleigh, NC, 1998.
- [15] I. Ferain, «Fabrication and Characterization of SOI Multi Gate Field Effect Transistors with high-k Dielectrics and Metal Gates,» Katholieke Universiteit Leuven, Leuven, Bélgica, 2008.
- [16] S.-i. Takagi, *On the Universality of Inversion Layer Mobility in Si MOSFET's: Part I - Effects of Substrate Impurity Concentration*, 1994.
- [17] F. J. Lim Hyung-Kyu, *Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's*, 1983.

GLOSARIO

Estructura MOS. *Metal-Oxide-Semiconductor* - Consiste en un condensador, una de cuyas armaduras es metálica y llamada "puerta"; el dieléctrico se forma con un óxido del semiconductor del sustrato, y la otra armadura es un semiconductor, llamado "sustrato".

IC. *Integrated Circuit* - Circuito integrado.

Ley de Moore. Ley empírica que expresa el crecimiento exponencial de la densidad de integración del número de transistores en un circuito integrado con respecto al tiempo (aproximadamente se duplica cada 18 meses). Fue formulada por el co-fundador de Intel, Gordon E. Moore el 19 de abril de 1965.

MOSFET. *Metal Oxide Semiconductor Field Effect Transistor* - Consiste en un transistor de efecto de campo basado en la estructura MOS. Es el transistor más utilizado en la industria microelectrónica. Prácticamente la totalidad de los procesadores comerciales están basados en transistores MOSFET.

NANÓMETRO. Es la unidad de longitud que equivale a una milmillonésima parte de un metro. Recientemente la unidad ha cobrado notoriedad en el estudio de la nanotecnología, área que estudia materiales que poseen dimensiones de unos pocos nanómetros. El símbolo del nanómetro es **nm**.

NANOTECNOLOGÍA. Es el estudio, diseño, creación, síntesis, manipulación y aplicación de materiales, aparatos y sistemas funcionales novedosos con propiedades únicas a través del control y la explotación de fenómenos y propiedades de la materia a nano escala. La nanotecnología promete soluciones vanguardistas y más eficientes para diversos problemas tecnológicos actuales.

SEMICONDUCTOR. Es un elemento que se comporta como un conductor o como aislante dependiendo de diversos factores, como por ejemplo el campo eléctrico o magnético, la presión, la radiación que le incide, o la temperatura del ambiente en el que se encuentre.

SOI. *Silicon on Insulator technology.* Se refiere al uso de un sustrato de capas: silicio-aislante-silicio, en lugar de un sustrato convencional de silicio en la fabricación de semiconductores, especialmente en microelectrónica con el objetivo de reducir la capacitancia parásita del dispositivo y por tanto, mejorar su desempeño.

V_{FB} . *Flat-band Voltage* – El voltaje de banda plana o flat-band voltage es el voltaje necesario para inducir una carga neta igual a cero en el semiconductor subyacente. Las condiciones para que exista una banda plana se producen cuando no existe ninguna carga eléctrica presente en el semiconductor de modo que la banda de energía del silicio sea plana. La forma más sencilla de hallar el voltaje de banda plana es igual a la diferencia entre las funciones de trabajo de la compuerta metálica y del semiconductor:

V_T . *Voltaje umbral (threshold)* – Es el voltaje de compuerta mínimo necesario para producir una capa de inversión en la interface entre el óxido de aislamiento y el sustrato del transistor donde se formará el canal de portadores para permitir el paso de corriente entre el drenaje y la fuente.

SMA. *Servicio Móvil Avanzado* - Es un servicio final de telecomunicaciones del servicio móvil terrestre, que permite toda transmisión, emisión y recepción de signos, señales, escritos, imágenes, sonidos, voz, datos o información de cualquier naturaleza.

ANEXOS

Ecuación 1: Ajuste para encontrar V_T por el método de extrapolación lineal [12].

$$V_T = V_{GSi} - V_{DS}/2$$

$$V_{GSi} = V_{GS,max} - I_{D,max} / g_{m,max}$$

$$I_{D,max} = k (V_{GS,max} - V_T - V_{DS}/2) V_{DS}$$

$$g_{m,max} = k V_{DS}$$

$$k = W_{eff} \mu_{eff} C_{OX} / L_{eff}$$

Ecuación 2: Dependencia de la velocidad del dispositivo en tres características eléctricas [10].

$$I_{Saturación} = \mu_{eff} C_{OX} (V_G - V_T)^n$$

μ_{eff} – Movilidad efectiva

C_{OX} – Capacitancia de compuerta a canal (crece si el óxido es más delgado)

$(V_G - V_T)^n$ - Saturación de la compuerta: $1 < n < 2$

Ecuación 3: C_{OX} y su relación con t_{OX}

$$C_{OX} = \epsilon_{OX} / t_{OX} \quad [F/cm^2]$$

Ecuación 4: EOT

$$EOT = \epsilon_{OX} / C_{inv} \quad t_{inv} - 0.4 \text{ nm}$$

Ecuación 5: Capacitancia total de compuerta en acumulación para MOSFET tipo SOI

$$C_T = C_{OX} * C_S / (C_{OX} + C_S) \rightarrow (C_{OX} \text{ en serie con } C_S)$$

C_S = Capacitancia del sustrato.

Si C_S es baja (sin contacto de bulbo) $\rightarrow C_T$ muy baja.

Ecuación 6: Capacitancia de la compuerta y su relación con el espesor del óxido.

$$C_G - C_{\text{parásita}} = (\epsilon_{\text{OX}} / t_{\text{OX}}) (WL) = C_{\text{OX}} S$$

C_G – Capacitancia de la compuerta

$C_{\text{parásita}}$ – Capacitancia parásita

ϵ_{OX} – Permitividad del óxido

t_{OX} – Espesor del óxido

W – Ancho de la compuerta

L – Longitud de la compuerta

Ecuación 7: Capacitancia y espesor de inversión.

$$C_{\text{inv}} = 3.9 \epsilon_0 / t_{\text{inv}} \rightarrow t_{\text{inv}} = 3.9 \epsilon_0 / C_{\text{inv}} = \text{EOT} + \Delta t$$

Δt = variación del espesor eléctrico efectivo con respecto al espesor físico del óxido.

Ecuación 8: Transconductancia.

$$g_m = \Delta I_{\text{out}} / \Delta V_{\text{in}} \rightarrow g_m = dI_D / dV_{\text{GS}}$$

Figura 1: Mercado total de Circuitos Integrados – 2006: \$259.7 mil millones USD [10].

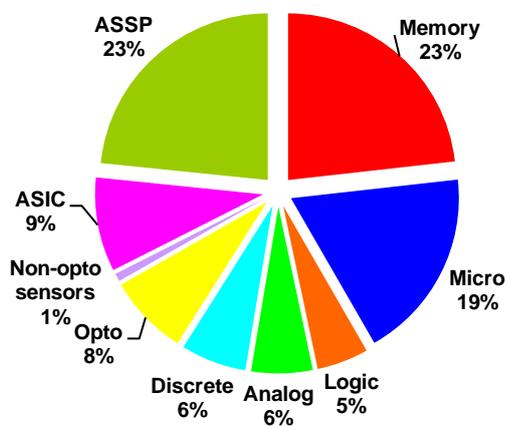


Figura 2: Estructura básica de los D-MOSFET [7]

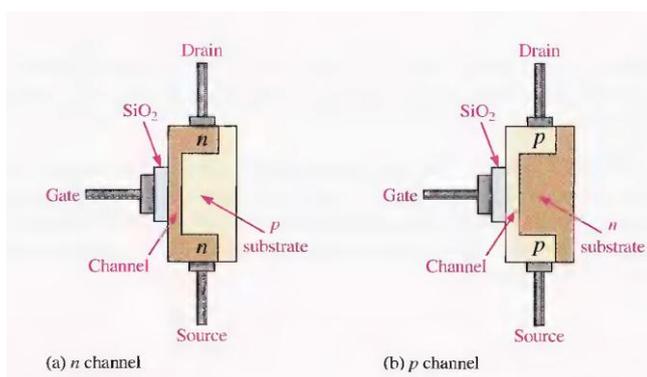


Figura 3: Construcción básica y operación de los E-MOSFET [7]

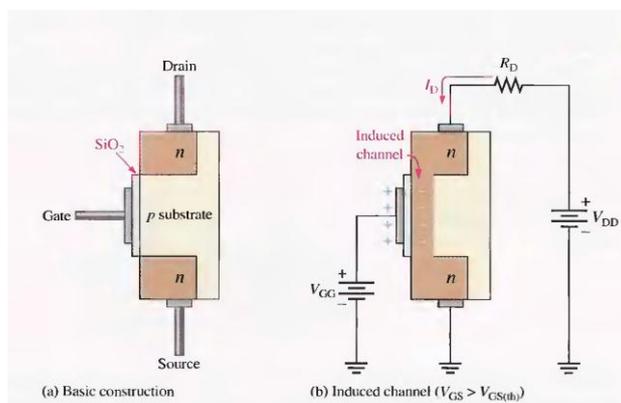


Figura 4: a) LDMOSFET, b) VMOSFET y c) TMOSFET [7]

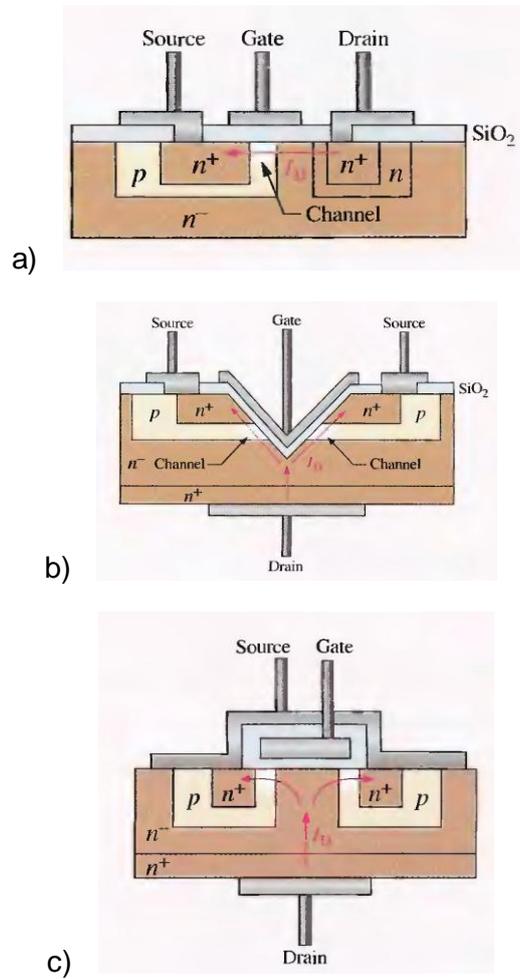


Figura 5: Diagrama esquemático de un MOSFET [6]

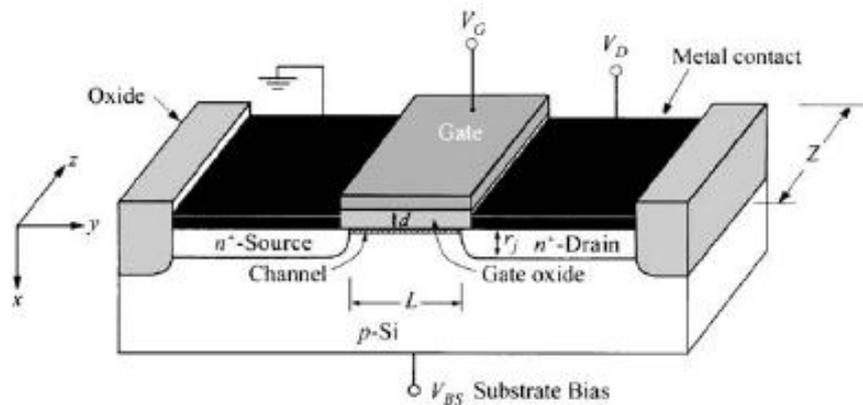


Figura 6: Acumulación [13].

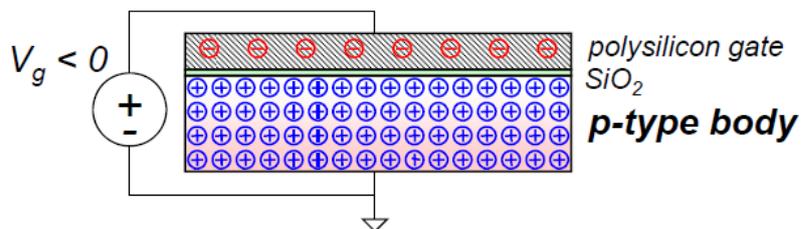


Figura 7: Agotamiento [13]

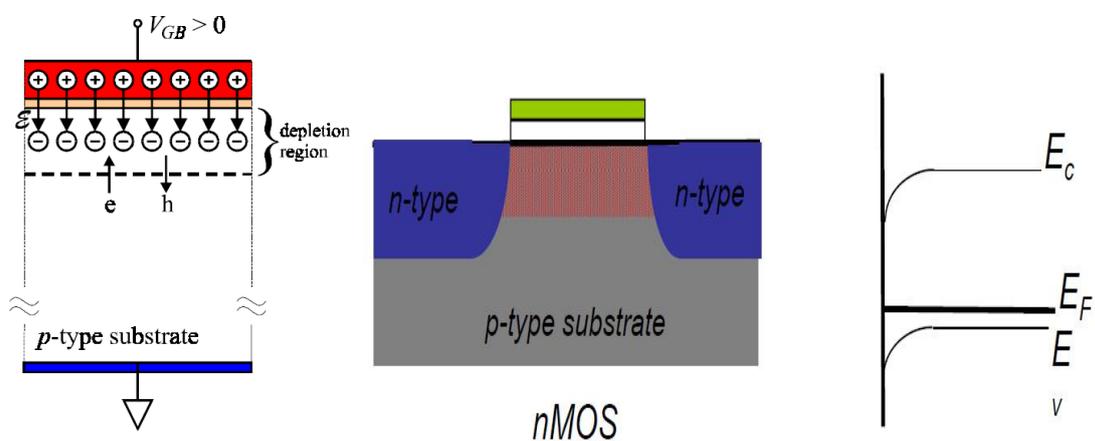


Figura 8: Inversión [13]

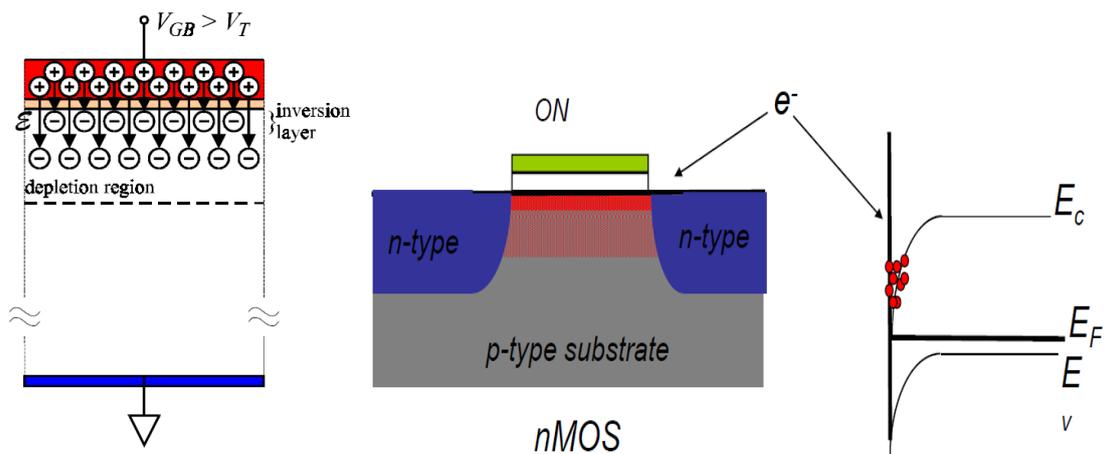


Figura 9: A: Pinch-off; B: Región de saturación. [9]

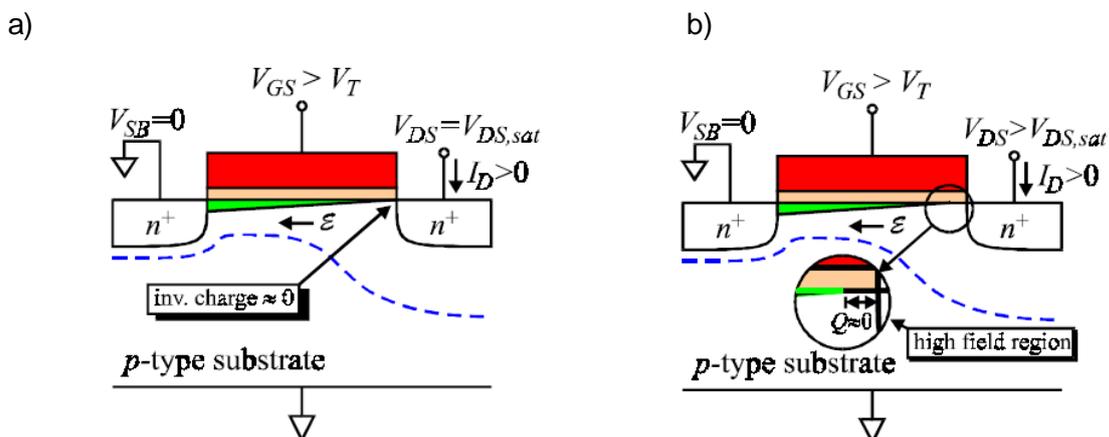


Figura 10: Evolución actual y predicha de la densidad de transistores en los circuitos integrados: Memoria y Microprocesador [5].

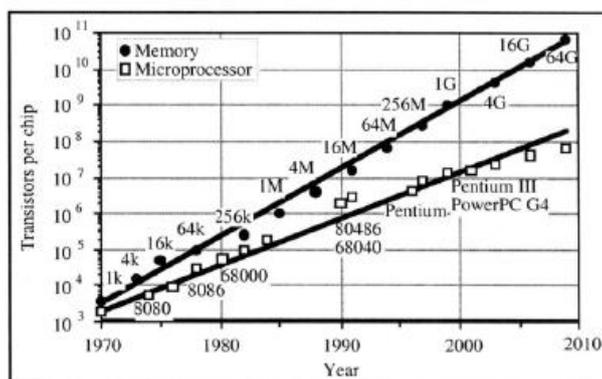


Figura 11: Longitud mínima de compuerta en circuitos integrados comerciales en función del año de producción [6].

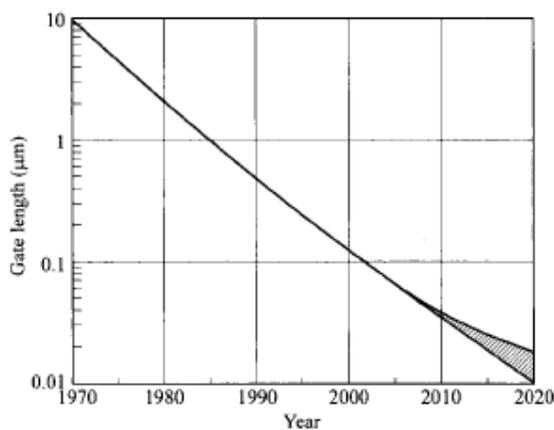


Figura 12: Reducción del tamaño de compuerta y sus años de producción [10].

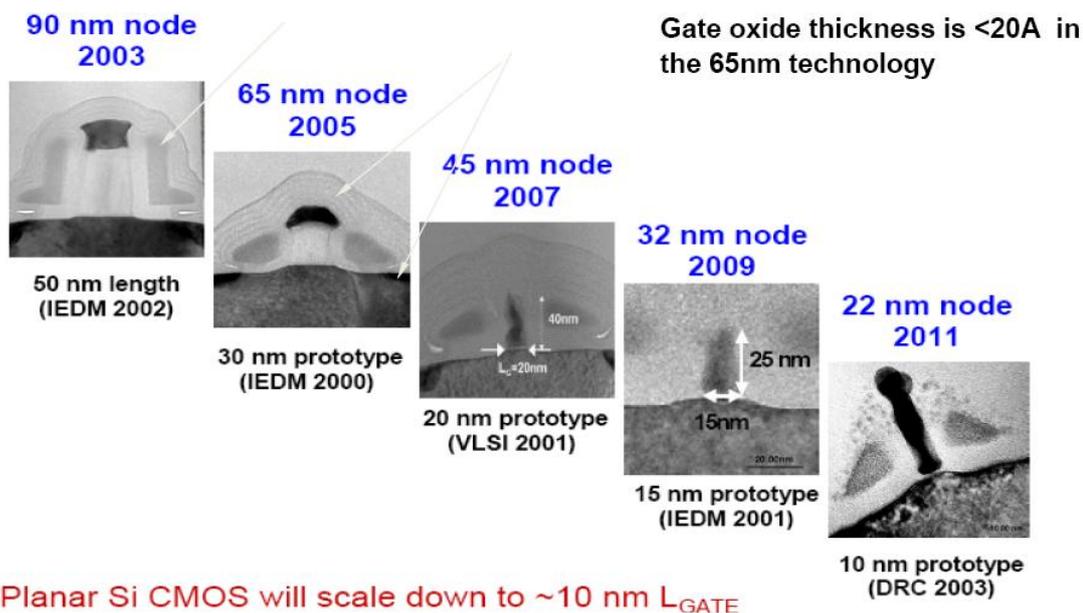


Figura 13: Efecto de canal corto en MOSFETs con distintas longitudes de compuerta [5].

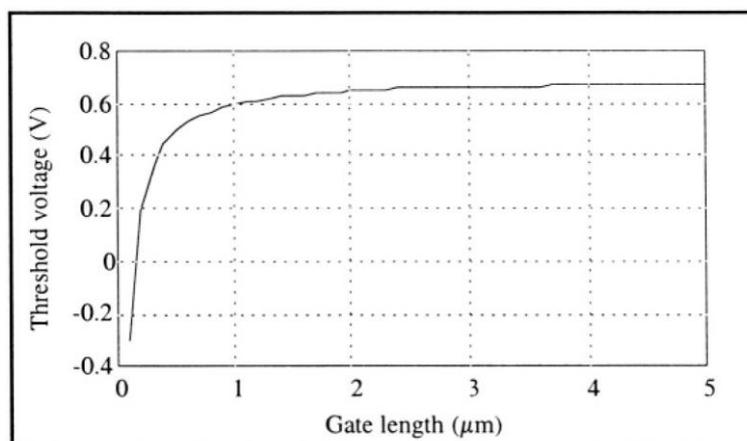


Figura 14: A: Fully depleted SOI MOSFET; B: Partially depleted SOI MOSFET [5].

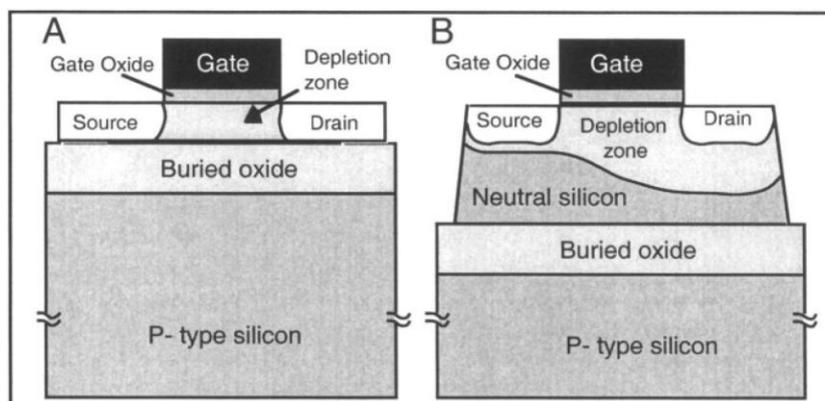
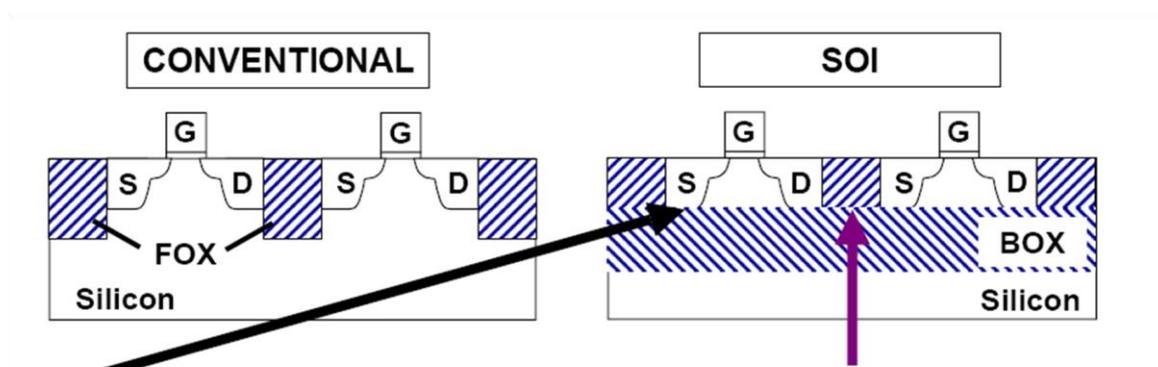


Figura 15: Beneficios de la tecnología SOI



1. Las bases de S y D en contacto con el óxido enterrado BOX:

Mejora la velocidad debido a que hay menor capacitancia del sustrato

Mejora el consumo de potencia debido a que reduce la corriente de fuga entre uniones p-n (diodo)

2. Óxido de campo (FOX) a continuación del BOX:

Elimina corrientes parásitas entre transistores

Figura 16: Tamaño de wafers y sus años de producción [10].

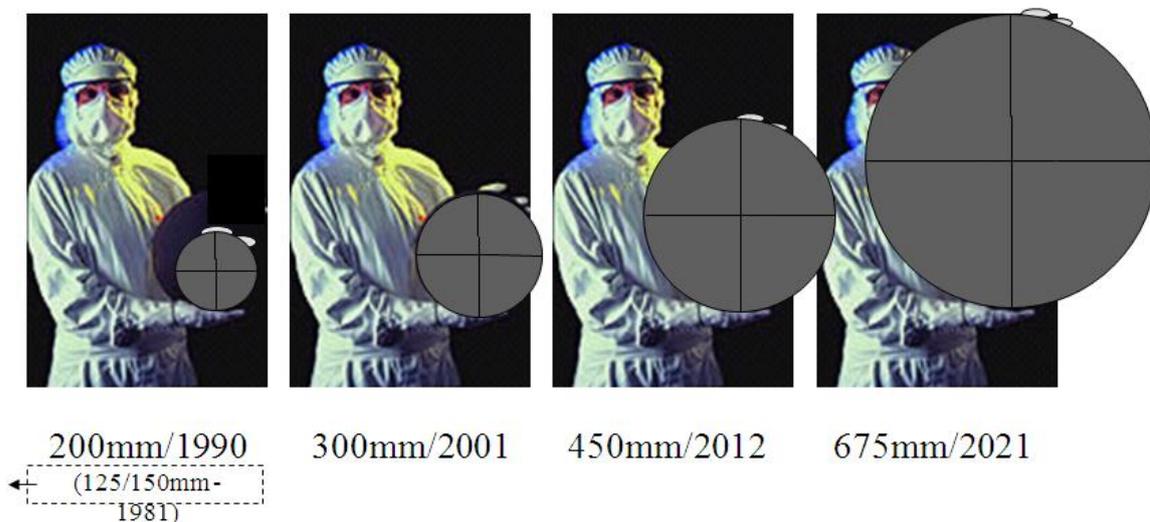
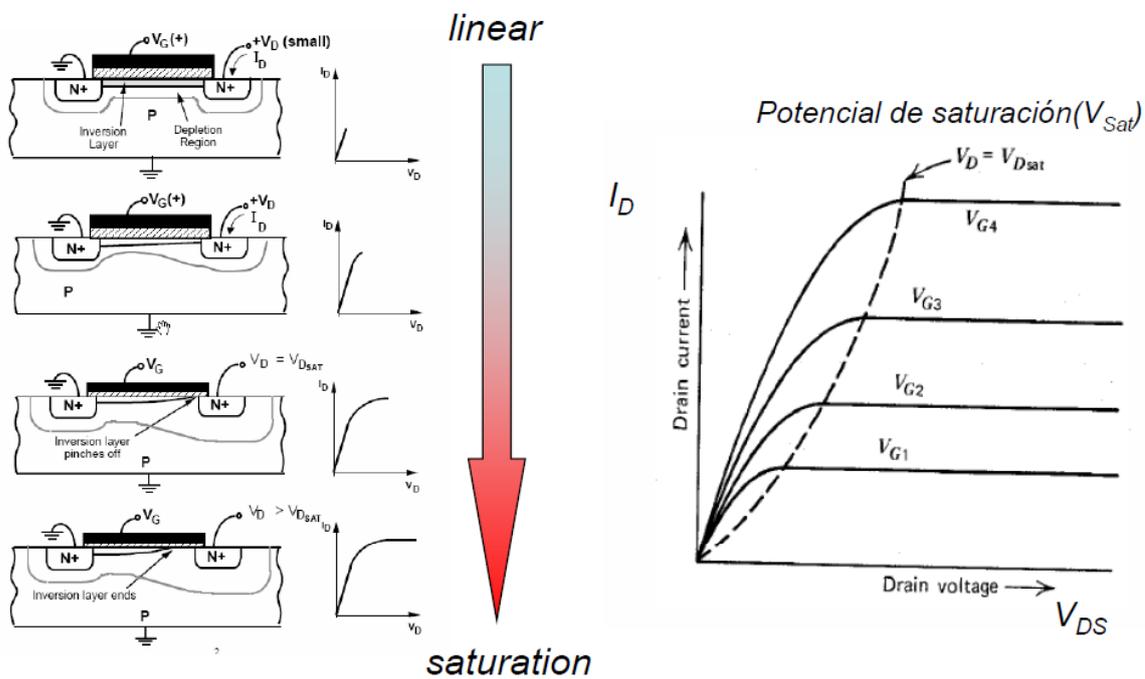


Figura 17: Característica I_D - V_{DS} [13].



$$I_{DS} = \mu C_{OX}(W/L)(V_{GS} - V_{TH})^2$$

Figura 18: Característica I_D - V_{GS} . [9]

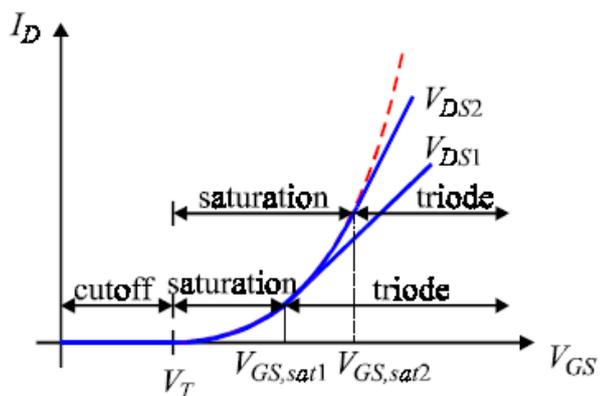


Figura 19: Obtención de V_T : Método del pico de transconductancia y extrapolación lineal [12].

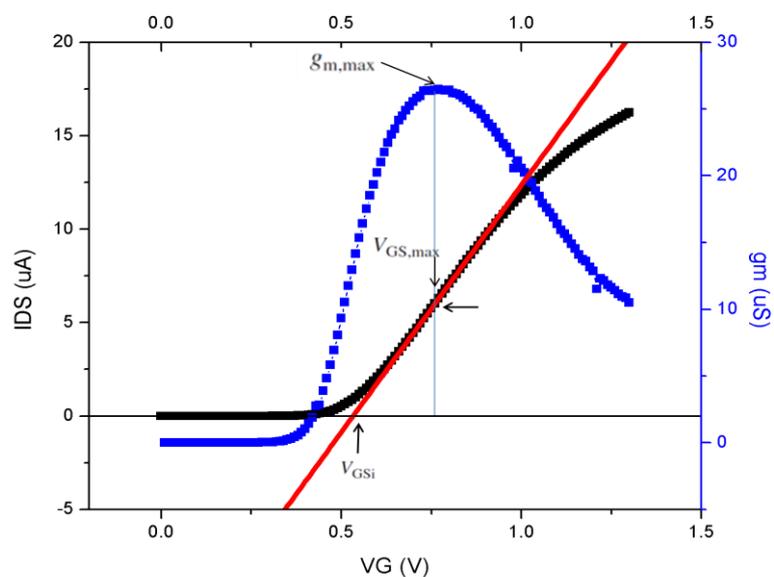


Figura 20: Caracterización de la capacitancia del óxido de compuerta [13].

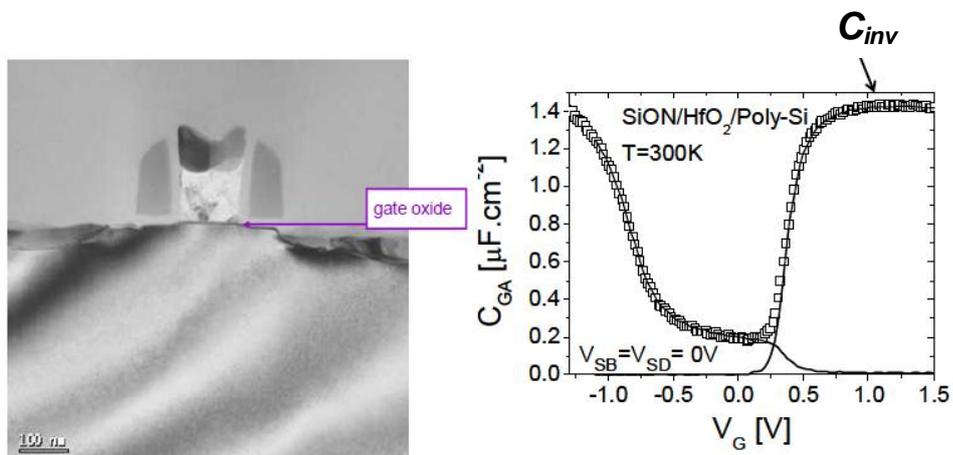


Figura 21: Reemplazo del dieléctrico aislante [10].

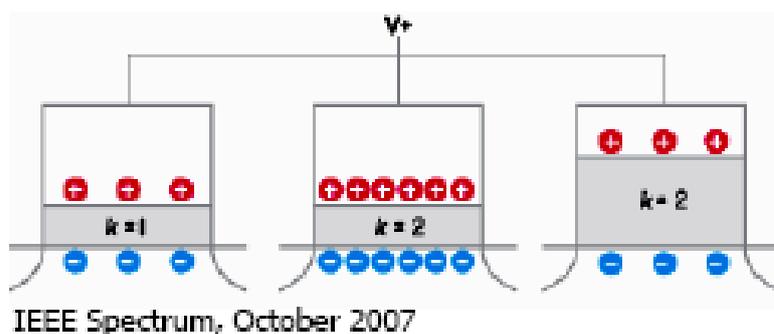


Figura 22: Wafer de trabajo (SALSA 3) de 300 mm de diámetro con tecnología de 32nm.

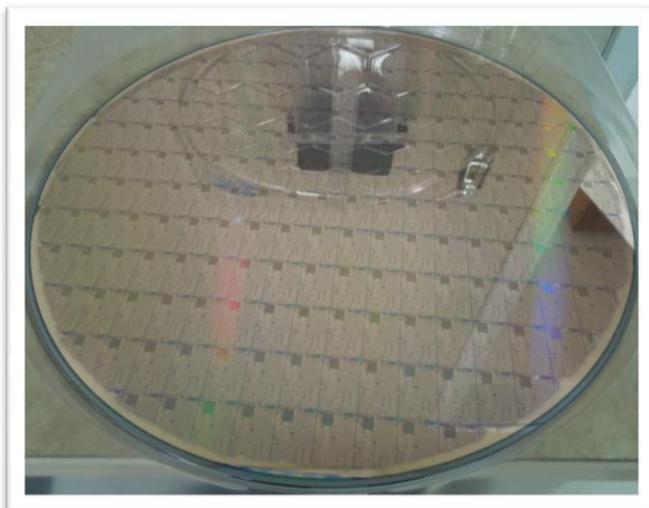


Figura 23: Laboratorio de nanoelectrónica de la USFQ

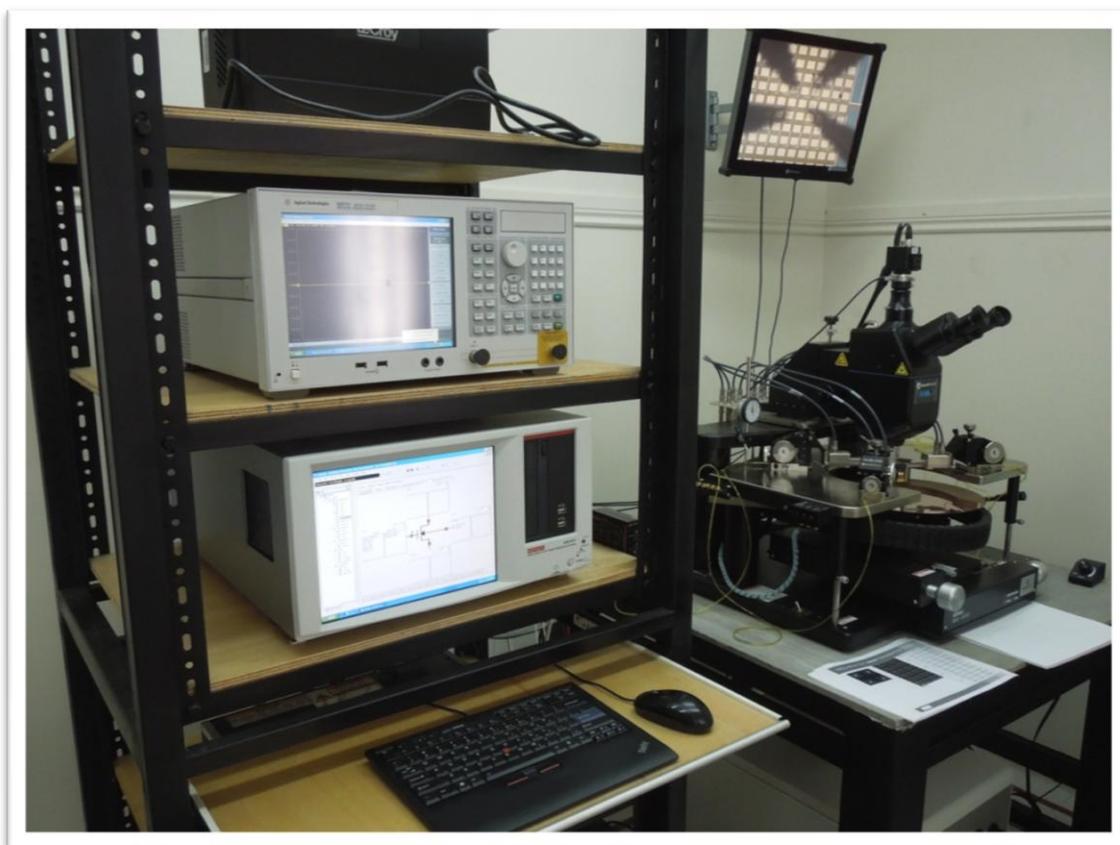


Figura 24: Sistema de Caracterización de Semiconductores Keithley Modelo 4200-SCS

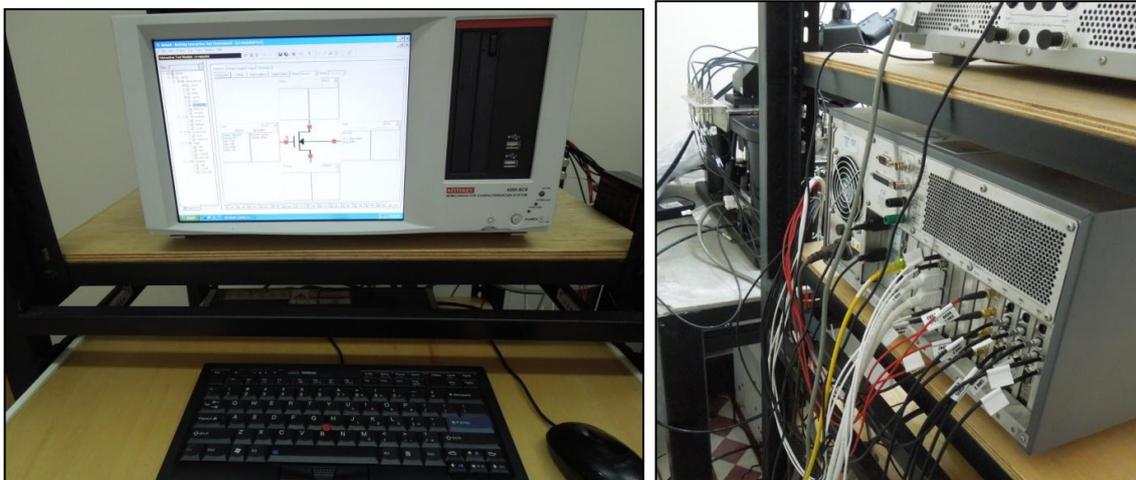


Figura 25: Microscopio, plataforma, puntas de medición y base con control térmico del sistema de caracterización de la USFQ.

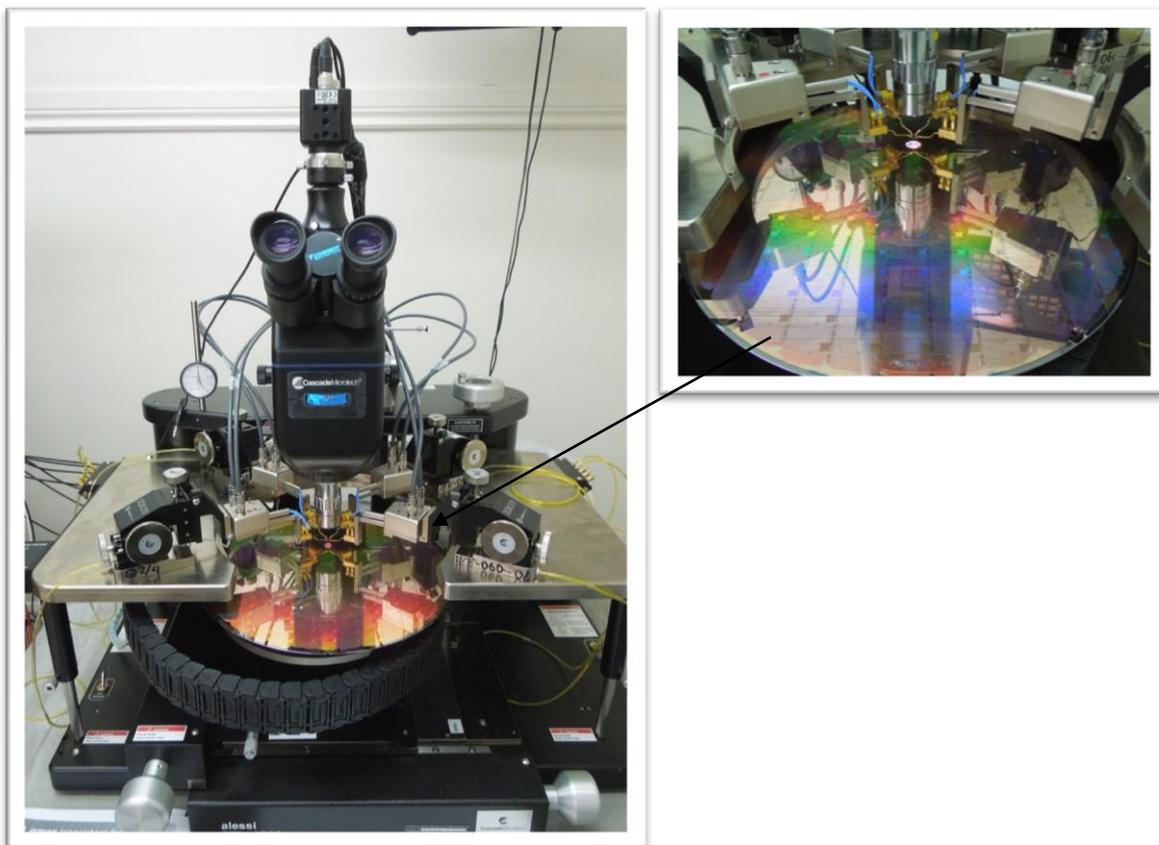


Figura 26: Curva C-V característica de un capacitor MOS en inversión a baja frecuencia.

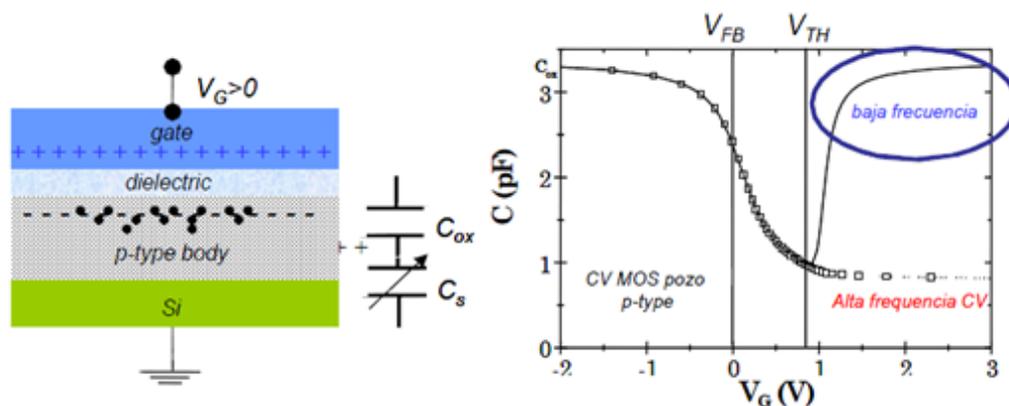


Figura 27: Concentración de electrones en corte transversal de una estructura MOS a un voltaje de compuerta = V_{FB} para dos niveles distintos de dopaje en Poly-Si.

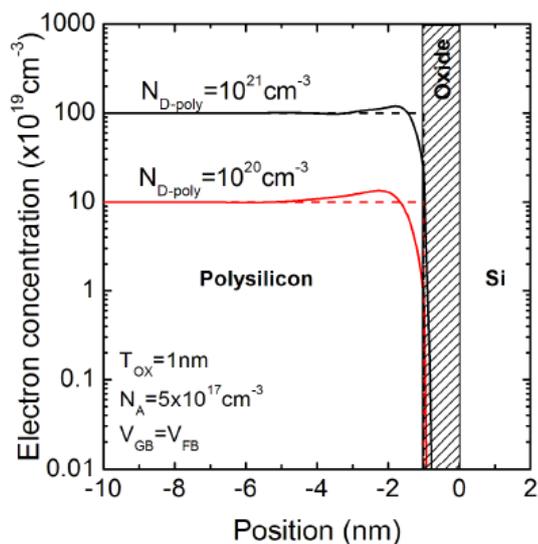


Figura 28: EOT (Equivalent Oxide Thickness) [13].

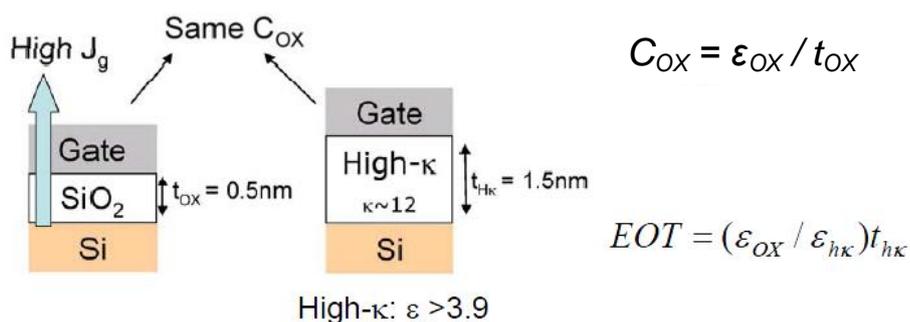


Figura 29: Espesor Eléctrico Efectivo > Espesor Físico del Óxido

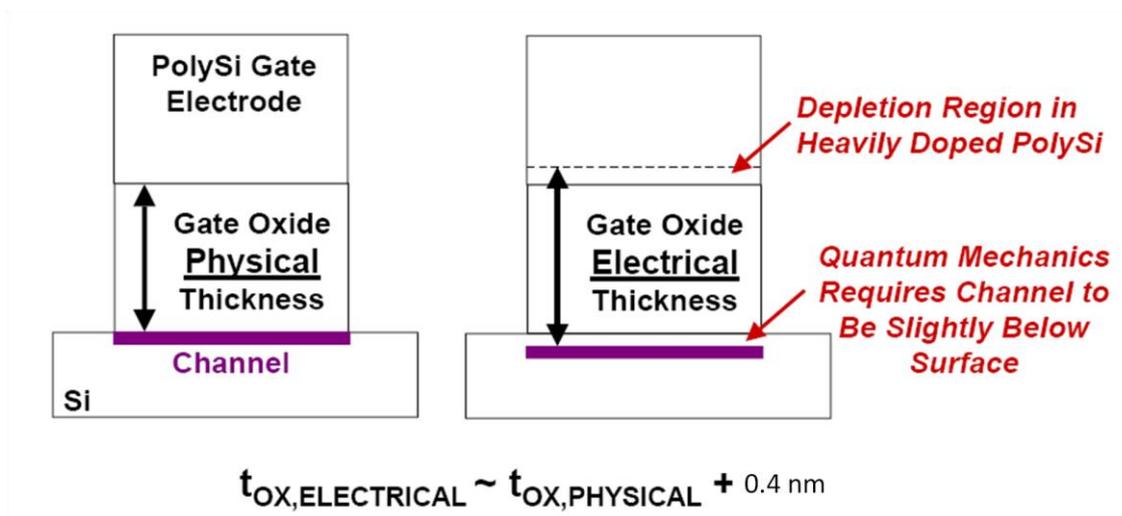


Figura 30: Corriente de Fuga y sus contribuciones principales [15].

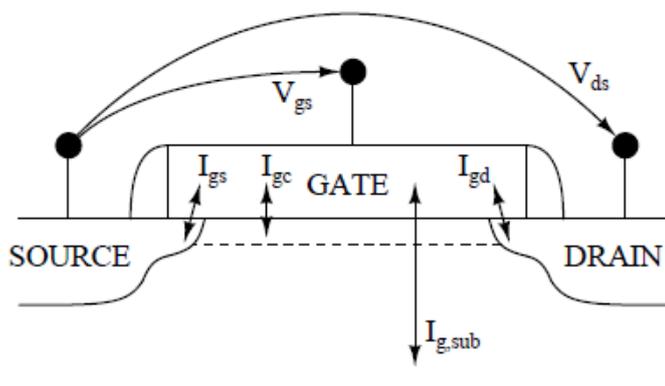


Figura 31: Diagrama de bandas de la corriente de fuga de un nMOS [15].

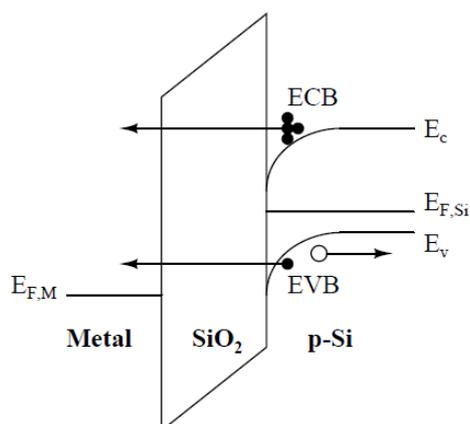


Figura 32: Diagrama de bandas de la corriente de fuga de un pMOS [15].

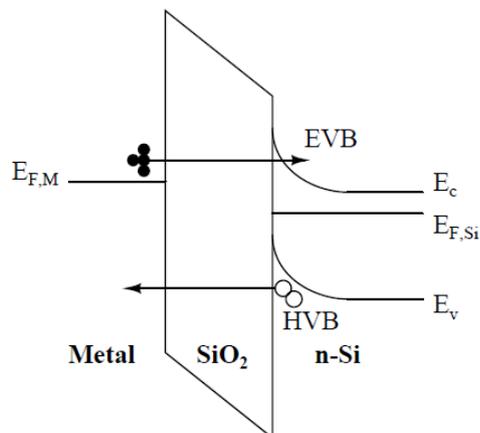


Figura 33: Método $J_{\text{gate-derivative}}$ y separación de contribuciones a la corriente de fuga [15].

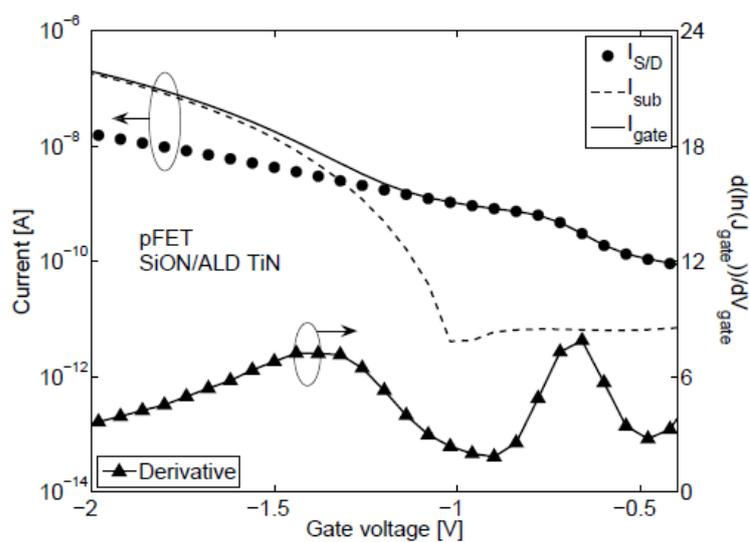


Figura 34: Estructura de a) MOSFET SOI FD de esta tesis y b) MOSFET de Buluto

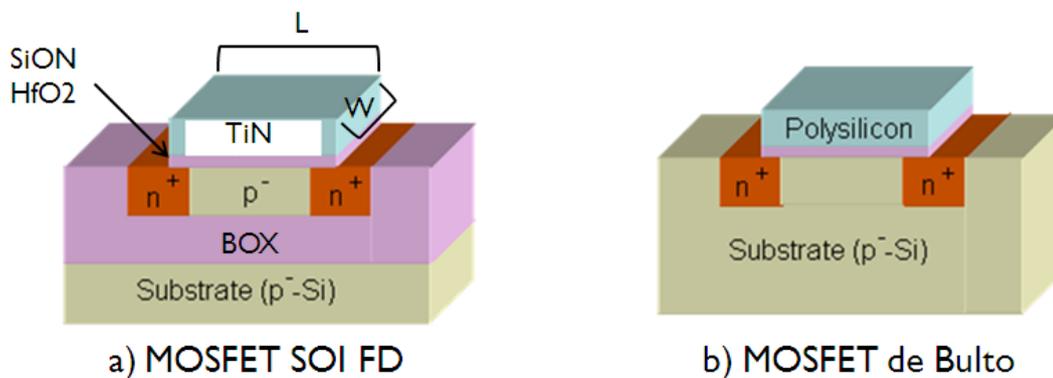


Figura 35: Relación de dependencia entre $V_{T \text{ front gate}}$ y $V_{G \text{ back gate}}$ [17].

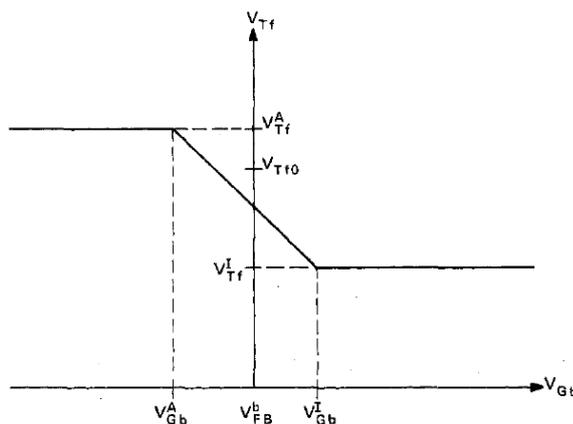


Figura 36: Dependencia de la movilidad a tres mecanismos de colisión [16].

