

**UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ**

**Colegio de Ciencias e Ingenierías**

**Estudio de parámetros físicos para dispositivos de  
tecnología emergente CMOS  
Microelectrónica**

**Andrés Mauricio Vaca Morejón**

**Ingeniería Electrónica**

Trabajo de titulación presentado como requisito  
para la obtención del título de  
Ingeniero Electrónico

Quito, 22 de mayo de 2018

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ  
COLEGIO DE CIENCIAS E INGENIERÍAS

**HOJA DE CALIFICACIÓN  
DE TRABAJO DE TITULACIÓN**

**Estudio de parámetros físicos para dispositivos de tecnología emergente  
CMOS**

**Andrés Mauricio Vaca Morejón**

Calificación:

Nombre del profesor, Título académico

Lionel Trojman, PhD.

Luis Miguel Prócel, PhD.

Firma del profesor

---

---

Quito, 22 de mayo de 2018

## DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en el Art. 144 de la Ley Orgánica de Educación Superior.

Firma del estudiante: \_\_\_\_\_

Nombres y apellidos: Andrés Mauricio Vaca Morejón

Código: 00115186

Cédula de Identidad: 1716553225

Lugar y fecha: Quito, mayo de 2018

## **AGRADECIMIENTOS**

A mi familia, sobre todo a mis padres y hermano, que me han apoyado a lo largo de mi carrera universitaria. Por nunca dejar de creer en mis habilidades para seguir adelante con el desarrollo de este trabajo, a pesar de las dificultades que se presentaban.

A mis profesores, Lionel Trojman y Luis Miguel Prócel, que con su ayuda pude involucrarme en el área de microelectrónica y realizar de la manera más satisfactoria esta investigación.

## RESUMEN

El área de microelectrónica tiene un papel fundamental en el desarrollo de la tecnología en la actualidad. Ha medida que pasan los años, el desempeño y diseño de la tecnología MOS se ha ido desarrollando a gran escala con el objetivo de superar cada vez la calidad y minorar los costos en el proceso de fabricación. Por ende, este trabajo brinda un análisis de un dispositivo CMOS, el mismo que será comparado tanto experimental, como mediante una simulación en *TCAD Sentaurus*.

En la primera sección, introducción, se indica la importancia de este trabajo en la actualidad y el beneficio de realizar esta investigación.

En la segunda sección, dispositivos MOSFET y su modelamiento, se introduce los términos con sus respectivas definiciones de los parámetros físicos y las herramientas de *TCAD* que se van a utilizar a lo largo de este trabajo. Es fundamental estar familiarizado con cada uno de ellos para entender con mayor facilidad la extracción y resultados de parámetros que serán evaluados posteriormente.

En la tercera sección, extracción de parámetros y desarrollo de modelo de simulación para un SOI MOSFET, se detalla principalmente el método de extracción que se utilizó para cada parámetro físico. De igual manera, se ilustra el proceso de creación de un dispositivo MOSFET de 15 nanómetros de largo de compuerta en el software de simulación de *Sentaurus*. Los valores obtenidos son presentados; los mismos que fueron introducidos en la simulación para tener un conocimiento de las principales características mediante las curvas C-V e Id-Vg. Posteriormente cada una de estas características son comparadas con los datos experimentales obtenidas en el laboratorio de micro/nano-electrónica de la Universidad San Francisco de Quito.

Por último, en la sección de conclusiones, se presenta el objetivo alcanzado en este trabajo. Así mismo, dificultades y problemas que se obtuvieron a lo largo de la investigación para tener en cuenta en trabajos futuros.

**Palabras clave:** MOSFET, TCAD, componentes parásitos, extracción parámetros, high-k.

## ABSTRACT

The microelectronics area plays a fundamental role in the development of technology in our current day and age. As the years go by, the performance and design of the MOS technology has been developed on a large scale with the aim of overcoming quality and reducing costs in the manufacturing process. Therefore, this work provides an analysis of a CMOS device, which will be compared both experimentally as well as through a TCAD Sentaurus simulation.

The first section, introduction, shows the importance of this work at present and the benefit of carrying out this research.

The second section, MOSFET devices and their modeling, introduces the terms with their respective definitions of the physical parameters and the TCAD tools that will be used throughout this work. It is essential to be familiar with each of them to better understand the extraction and results of the parameters that will be evaluated later.

In the third section, extraction of parameters and development of a simulation model for a MOSFET SOI, the extraction method used for each physical parameter is analyzed in detailed. Moreover, the process of creating a MOSFET device with a length of 15 nanometers of gate in the Sentaurus simulation software is illustrated. The obtained values are presented; the same ones that were introduced in the simulation to have an established knowledge of the main characteristics through the curves C-V and Id-Vg. Subsequently, each of these characteristics are compared with the experimental data obtained from the San Francisco de Quito micro/nano-electronic laboratory.

Lastly, in the conclusions section, the objective reached in this work is presented. Likewise, the difficulties and problems that were obtained throughout the investigation are identified to take into account in future work.

**Key words:** MOSFET, TCAD, parasitic components, extraction parameters, high-k.

# CONTENIDO

<b>DERECHOS DE AUTOR.....</b>	<b>3</b>
<b>AGRADECIMIENTOS.....</b>	<b>4</b>
<b>RESUMEN.....</b>	<b>5</b>
<b>ABSTRACT.....</b>	<b>6</b>
<b>ÍNDICE DE TABLAS .....</b>	<b>9</b>
<b>ÍNDICE DE GRÁFICOS .....</b>	<b>10</b>
<b>ÍNDICE DE FIGURAS .....</b>	<b>11</b>
<b>INTRODUCCIÓN .....</b>	<b>12</b>
<b>DISPOSITIVOS MOSFET Y SU MODELAMIENTO.....</b>	<b>13</b>
<b>La tecnología MOS.....</b>	<b>13</b>
nMOS.....	13
pMOS.....	13
<b>El capacitor MOS.....</b>	<b>14</b>
Regiones de operación del dispositivo.....	14
<b>Tecnología SOI.....</b>	<b>15</b>
<b>Definición de Parámetros.....</b>	<b>15</b>
Voltaje de Banda Plana ( $V_{fb}$ ) .....	15
Voltaje de Umbral ( $V_{th}$ ) .....	16
Resistencia en Serie (RSD) .....	16
Modulación del largo del canal (canal efectivo).....	16
Capacitancia del óxido de la compuerta ( $C_{ox}$ ).....	16
<b>TCAD Sentaurus.....</b>	<b>17</b>
Process Simulation .....	17
Device Simulation .....	17
<b>TCAD Tools.....</b>	<b>18</b>
Sentaurus Workbench.....	18
Sentaurus Process .....	18
Sentaurus Structure Editor .....	18

Sentaurus Mesh .....	19
Sentaurus Device .....	19
Sentaurus Visual.....	19
Inspect.....	19
Capacitancias terminales .....	19
<b>EXTRACCIÓN DE PARÁMETROS Y DESARROLLO DE MODELO DE SIMULACIÓN PARA UN SOI MOSFET .....</b>	<b>21</b>
<b>Desarrollo experimental .....</b>	<b>21</b>
<b>Extracción de datos experimentales.....</b>	<b>21</b>
Voltaje de banda plana ( $V_{fb}$ ) .....	22
Voltaje de Umbral ( $V_{th}$ ) .....	23
Resistencia en serie (RSD).....	23
Modulación del largo del canal (canal efectivo).....	25
Capacitancia Inversa ( $C_{inv}$ ) .....	25
<b>Modelo TCAD y Simulación .....</b>	<b>26</b>
<b>Presentación de Datos.....</b>	<b>28</b>
Voltaje de Banda Plana ( $V_{fb}$ ) .....	28
Voltaje de Umbral ( $V_{th}$ ) .....	28
Resistencia en serie (RSD).....	28
Modulación del largo del canal (canal efectivo).....	29
Capacitancia Inversa ( $C_{inv}$ ) .....	29
<b>Comparación: Experimental-Simulación.....</b>	<b>29</b>
<b>CONCLUSIONES.....</b>	<b>33</b>
<b>REFERENCIAS BIBLIOGRÁFICAS .....</b>	<b>34</b>
<b>ANEXO A: ECUACIONES .....</b>	<b>35</b>
<b>ANEXO B: FIGURAS .....</b>	<b>38</b>

## ÍNDICE DE TABLAS

<b>Tabla 1.</b> Número de fingers en relación a la longitud de compuerta .....	25
<b>Tabla 2.</b> Concentración de dopaje .....	27
<b>Tabla 3.</b> Valores de voltaje de umbral para distintas longitudes de compuerta.	28
<b>Tabla 4.</b> Resistencia total en relación a la longitud de compuerta. ....	28
<b>Tabla 5.</b> Capacitancia inversa con respecto a la longitud de compuerta. ....	29

## ÍNDICE DE GRÁFICOS

<b>Gráfico 1.</b> Característica C <sub>gb</sub> -V <sub>g</sub> .....	22
<b>Gráfico 2.</b> Característica 1/(C) <sup>2</sup> -V <sub>g</sub> .....	22
<b>Gráfico 3.</b> Característica Id-V <sub>g</sub> (Método del pico de la tras-conductancia) .....	23
<b>Gráfico 4.</b> Característica $-\frac{\partial}{\partial V_g} \left( \frac{1}{I_d} \right)$ versus $\frac{1}{(V_g - V_{th})^2}$ .....	24
<b>Gráfico 5.</b> Característica R <sub>tot</sub> -1/β.....	24
<b>Gráfico 6.</b> Característica C-L (Extracción de ΔL).....	25
<b>Gráfico 7.</b> Característica C-V (Extracción de capacitancia inversa) .....	26
<b>Gráfico 8.</b> Construcción del dispositivo MOSFET en Sentaurus. ....	26
<b>Gráfico 9.</b> Niveles de dopaje tipo n y tipo p. ....	27
<b>Gráfico 10.</b> Meshing del dispositivo MOSFET .....	27
<b>Gráfico 11.</b> Característica C-V (Comparación experimental-simulación 150nm).....	30
<b>Gráfico 12.</b> Característica Id-V <sub>g</sub> (Comparación experimental-simulación 150nm).....	30
<b>Gráfico 13.</b> Característica C-V (Comparación experimental-simulación 200nm).....	31
<b>Gráfico 14.</b> Característica Id-V <sub>g</sub> (Comparación experimental-simulación 200nm).....	31
<b>Gráfico 15.</b> Simulación C-V de dispositivos para distintos valores de compuerta.....	32
<b>Gráfico 16.</b> Simulación Id-V <sub>g</sub> de dispositivos para distintos valores de compuerta.....	32

## ÍNDICE DE FIGURAS

<b>Figura 1.</b> Ley de Moore – ley de la evolución de transistores en un microprocesador .....	38
<b>Figura 2.</b> Transistor MOS de tipo n-channel. ....	38
<b>Figura 3.</b> Regímenes de operación en la característica CV de un CMOS. ....	38
<b>Figura 4.</b> Régimen de acumulación. ....	39
<b>Figura 5.</b> Régimen de Agotamiento. ....	39
<b>Figura 6.</b> Régimen de inversión. ....	39
<b>Figura 7.</b> Comparación de tecnología SOI y bulk. ....	40
<b>Figura 8.</b> Voltaje de umbral en característica Id-Vg. ....	40
<b>Figura 9.</b> Resistencia en serie (Fuente-Drenaje). ....	40
<b>Figura 10.</b> Modulación de la longitud del canal. ....	40
<b>Figura 11.</b> Simulación discretizada y representada como estructura de elementos finitos. ....	41
<b>Figura 12.</b> Comportamiento eléctrico - densidad de corriente. ....	41
<b>Figura 13.</b> Resultado eléctrico de corrientes en el dispositivo. ....	41
<b>Figura 14.</b> Capacitancias entre los terminales del MOSFET. ....	42

# INTRODUCCIÓN

Los campos de la electrónica utilizan transistores en masa para la formación de circuitos complejos como son los circuitos integrados. Por ello, más de  $10^{19}$  transistores son producidos por año. Un ejemplo claro es la llegada de la computadora, considerada como la segunda revolución industrial (Hu, 2010).

Es representado de una manera más clara en la ley de Moore, la cual expresa que existe el doble de transistores en un microprocesador cada dos años con una reducción en costo, como se indica en la Figura 1. Sin embargo, se debe mencionar que, en la actualidad por circunstancias de tamaño, se está llegando al límite de miniaturización. Además, es inevitable encontrarse con el problema de la generación de calor cuando hay más transistores en un área más pequeña.

Compañías como *GlobalFoundries* trabaja con este tipo de tecnología produciendo dispositivos a gran escala para empresas de semiconductores como es *AMD*, *STMicroelectronics* y *Broadcom* entre las más sobresalientes. Estas últimas empresas ya implementan la tecnología adquirida por *GlobalFoundries* en los procesadores de computadoras (GlobalFoundries, 2018).

Por esta razón, su estudio es necesario para dar paso a nuevas tecnologías que pueden ser desarrolladas en los años siguientes. Por lo que el presente trabajo brindará un estudio de parámetros físicos de tecnología emergente CMOS para dispositivos de tipo SOI con *High-K metal gate* de hasta 24 nanómetros. Para ello, es importante tener conocimiento del funcionamiento del MOSFET y sus principales características, las cuales serán detalladas en la sección que se presenta a continuación.

# DISPOSITIVOS MOSFET Y SU MODELAMIENTO

## La tecnología MOS

La construcción de circuitos digitales tiene como fundamento la tecnología MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*). Tecnología que permite la fabricación de chips en el orden de *giga-bits* por su favorable dimensión. Incluso por su baja potencia se tiene procesadores de computadora de hasta los *giga-hertz*.

Existen dos tipos de transistores MOS (Colinge & Colinge, 2006):

### nMOS

Llamado *n-channel MOS* por el flujo de corriente en relación al transporte de electrones. Un circuito que contenga solamente dispositivos *n-channel*, es producido por un proceso nMOS.

### pMOS

Llamado *p-channel MOS* por el flujo de corriente en relación al transporte de huecos. De igual manera, un proceso pMOS contiene circuitos solamente que tenga dispositivos *p-channel*.

Hoy en día existen transistores de tipo n y p que son fabricados en un mismo circuito. Esta tecnología se llama *Complementary MOS* (CMOS). Para la fabricación de un transistor nMOS, se lo debe hacer en un sustrato de tipo p, por lo general se utiliza silicio y para el presente trabajo de igual manera. Para formar el canal para el flujo de corriente se implementa difusiones tipo n (Fuente y Drenaje) en el sustrato. Se añade una capa delgada de aislante en la mitad de la fuente y el drenaje, que por lo general es dióxido de silicio y encima un contacto llamado compuerta como se observa en la Figura 2.

## El capacitor MOS

Para conocer la operación del transistor MOS se debe estudiar una estructura MIS (*Metal-Insulator-Semiconductor*) que se lo conoce como capacitor MOS. Consiste en un metal de compuerta, una capa de óxido aislante y un semiconductor (Colinge & Colinge, 2006).

### Regiones de operación del dispositivo

Para conocer el modo de operación de este dispositivo, se debe considerar voltajes apropiados aplicados al contacto de la fuente, drenaje y compuerta. El dispositivo MOS puede entrar en tres regiones de operación como se indica en la Figura 3:

#### Acumulación

Se aplica un voltaje negativo a la compuerta y el sustrato tipo p a tierra. Así el dispositivo se comporta como un capacitor de placas paralelas como se indica en la Figura 4. Por el voltaje negativo aplicado, se acumulan cargas negativas en la compuerta, ocasionando que cargas del signo opuesto, llamados huecos, se ubiquen en la superficie entre el sustrato y el aislante para formar la zona de acumulación (Hu, 2010). La capacitancia en la estructura MOS en región de acumulación se forma entre el metal de compuerta y la capa de acumulación. Esta capacitancia está expresada en la Ecuación 1.

#### Agotamiento

Esta vez se aplica un voltaje positivo pequeño al contacto de la compuerta y el sustrato a tierra para producir un campo eléctrico. Este campo repele a las cargas positivas o huecos para formar la región de agotamiento como se indica en la Figura 5. Se debe tener en cuenta que, el voltaje aplicado sea menor al voltaje de umbral, entonces pocas cargas negativas serán atraídas y por ende el efecto producido no será significativo.

### **Inversión**

Por último, el voltaje de compuerta que se aplica debe ser mayor al voltaje de umbral para atraer una mayor cantidad de electrones y así formar una capa de inversión entre el sustrato de tipo n de la fuente y del drenaje del dispositivo MOSFET, como se indica en la Figura 6. De igual manera que en la capa de acumulación, la capacitancia de la estructura MOS es igual a  $C_{ox}$ .

## **Tecnología SOI**

La tecnología silicio sobre aislante (SOI) aparece como una alternativa para garantizar características de desempeño, escalamiento y bajo consumo por lo delgado del cuerpo del canal. Consiste en una capa ultrafina de silicio sobre un óxido enterrado que tiene el nombre de BOX (*Buried Oxide*) (Colinge & Colinge, 2006). Su funcionamiento es similar a los transistores de bulto regular con algunos beneficios como son (Rubio & Aragonés, 2003):

- Mejora en un 25% del retardo de conmutación.
- Reducción en consumos, tanto estáticos como dinámicos
- Muy bajo acoplo parásito por sustrato, etc.

En la Figura 7 se puede observar una comparación entre los transistores MOS.

## **Definición de Parámetros**

### **Voltaje de Banda Plana (Vfb)**

El voltaje de banda plana, también voltaje de *flatband*, es el voltaje que debe ser aplicado a la compuerta para que las bandas de energía del semiconductor pasen al nivel plano (Colinge & Colinge, 2006). Es decir, cuando el nivel de Fermi del metal de la compuerta es igual al del silicio.

### **Voltaje de Umbral ( $V_{th}$ )**

El voltaje de umbral, o voltaje de *threshold*, es el voltaje mínimo que se debe aplicar al contacto de la compuerta para que el transistor MOS trabaje en inversión; es decir, el voltaje mínimo para crear un canal entre las regiones de tipo n y que exista flujo de corriente como se indica en la Figura 8. El voltaje de umbral puede ser positivo o negativo dependiendo de la concentración de dopaje Na, del material utilizado, etc. (Colinge & Colinge, 2006).

### **Resistencia en Serie (RSD)**

La resistencia en serie fuente-drenaje se lo representa en la Figura 9. Esta resistencia tiene efectos sobre la corriente y voltaje de saturación. Mediante la Ecuación 3, se puede observar que la corriente de saturación depende de manera inversamente proporcional a la resistencia en serie. Mientras que, en la **Ecuación 4**, se puede observar que la resistencia depende directamente con el voltaje de saturación (Hu, 2010).

### **Modulación del largo del canal (canal efectivo)**

Cuando el voltaje de drenaje incrementa más allá del voltaje de saturación en la región de agotamiento, y el voltaje de umbral cerca del drenaje incrementa, se genera un decrecimiento en el canal. Resulta un canal efectivo expresado en la Ecuación 2. Esta reducción en el canal efectivo de la compuerta incrementa la corriente de drenaje como se indica en la Figura 10 (Colinge & Colinge, 2006).

### **Capacitancia del óxido de la compuerta ( $C_{ox}$ )**

La capacitancia del óxido de compuerta se encuentra entre el metal de compuerta y la capa de acumulación de la estructura de un capacitor de placas paralelas. Su valor se expresa en Faradios por unidad de área (Colinge & Colinge, 2006).

## **TCAD Sentaurus**

*Technology Computer-Aided Design* es un software que permite diseñar un modelo en 2D y 3D de la fabricación de dispositivos semiconductores. El objetivo es tener una simulación predictiva con amplia exactitud, tomando en cuenta los parámetros físicos que están presentes en un *wafer*.

Su uso es fundamental para tener una optimización en costo y tiempo, que permita la evolución y desarrollo de un nuevo dispositivo semiconductor o tecnología. Por esta razón, la industria especializada en semiconductores ha implementado este software por su alta eficacia en desarrollo de proyectos de investigación, en el análisis, monitoreo y optimización del proceso de los circuitos integrados.

A continuación, se especifica las dos ramas de simulación que presenta TCAD.

### ***Process Simulation***

Mediante las ecuaciones físicas se puede representar en una estructura los siguientes procesos, como se indica en la Figura 11 (Synopsis, 2018):

- Proceso de grabado
- Proceso de deposición
- Proceso de implementación de iones
- Proceso de recocido térmico
- Proceso de oxidación

### ***Device Simulation***

Por medio de una simulación se puede observar el comportamiento eléctrico de un dispositivo semiconductor, como se observa en la Figura 12, tomando en cuenta los siguientes aspectos (Synopsis, 2018):

- Tipo de material
- Concentración de dopaje

- Concentración de portadores
- Densidad de corriente
- Campos eléctricos
- Tasas de generación y recombinación

Cuando ya se toma en cuenta todos los aspectos antes mencionados, se procede a la extracción de características que representan el comportamiento del dispositivo diseñado, como se indica en la Figura 13.

## **TCAD Tools**

Dentro de las herramientas de TCAD se puede trabajar con:

### ***Sentaurus Workbench***

Aquí se integra las simulaciones antes mencionadas en una sola interfaz, la cual permite al usuario organizar y correr simulaciones con parámetros y variables específicos.

### ***Sentaurus Process***

Ofrece capacidades predictivas específicas para las tecnologías de silicio y no silicio de la actualidad, lo que permite tener una base sólida para simular un proceso con alta fiabilidad.

### ***Sentaurus Structure Editor***

Permite editar y emular una estructura en 2D y 3D. Para ello, primero permite crear distintas estructuras geométricas. Se implementa también un script donde líneas de comando son impresas correspondiendo a cada operación realizada.

### ***Sentaurus Mesh***

Permite generar automáticamente mallas en dispositivos 2D y 3D mediante los métodos *box-discretization* o *finite-difference time-domain*.

### ***Sentaurus Device***

Obtiene simulaciones eléctricas, térmicas y ópticas de los dispositivos semiconductores diseñados. Brinda un conocimiento más amplio del funcionamiento, de la optimización y de datos estadísticos del dispositivo.

### ***Sentaurus Visual***

Permite una visualización 2D y 3D del dispositivo para poder explorarlo y analizarlo.

### ***Inspect***

Permite un análisis al graficar datos, como son las características eléctricas de un semiconductor en los ejes xy. Es una interfaz amigable que brinda acceso a características de manera rápida y precisa.

## **Capacitancias terminales**

Para la simulación es importante tener conocimiento de las capacitancias que existen entre los terminales del MOSFET, como se indica en la Figura 14. Las capacitancias son las siguientes (Colinge & Colinge, 2006):

- Capacitancia de fuente a sustrato ( $C_{S_{Sub}}$ )
- Capacitancia de drenaje a sustrato ( $C_{D_{Sub}}$ )
- Capacitancia de compuerta a sustrato ( $C_{G_{Sub}}$ )
- Capacitancia de compuerta a fuente ( $C_{GS}$ )
- Capacitancia compuerta a drenaje ( $C_{GD}$ )

Una vez de estar familiarizados tanto con los términos de la extracción de parámetros como el software TCAD, se procede a detallar el desarrollo y la metodología para la obtención de los datos requeridos para el presente trabajo.

# EXTRACCIÓN DE PARÁMETROS Y DESARROLLO DE MODELO DE SIMULACIÓN PARA UN SOI MOSFET

## Desarrollo experimental

Se utilizó un software ofertado por el Instituto de Micro y Nanoelectrónica (IMNE) para la caracterización eléctrica de dispositivos semiconductores. Dentro del *wafer* de 300nm se utilizaron las regiones de nombre FE56 y RF, donde se extrajeron datos de capacitancias y corrientes para distintos tamaños de compuerta. El dispositivo n-MOSFET tiene las siguientes características:

- Un dieléctrico de 1.8nm de HfO<sub>2</sub>.
- Un electrodo de compuerta de 5nm de TiN cubierto con Poly-Si.
- El cuerpo de silicio de 7-8nm.
- Un óxido enterrado (BOX) de 10.5nm.

Los dispositivos usados tienen una longitud nominal de 1nm, 500nm, 250nm, 200nm, 170nm, 150nm, 130nm, 110nm, 100nm. El ancho  $W = 1\mu\text{m}$ .

La obtención de datos tuvo resultado gracias a la ayuda del Sistema de Caracterización de Semiconductores *Keithley Modelo 42000-scs* con sistema operativo Windows. Se utiliza la técnica RFCV, que permite medir capacitancias de dispositivos con espesor de óxido de hasta nanómetros. Dentro de esta técnica se implementa dos herramientas: un Analizador de Redes (VNA) y un Analizador de Parámetros (PA). De igual manera, conjuntamente se trabaja con un microscopio de alta resolución *Cascade Microtech*, que se encuentra sobre una plataforma *Alessi REL-4800*.

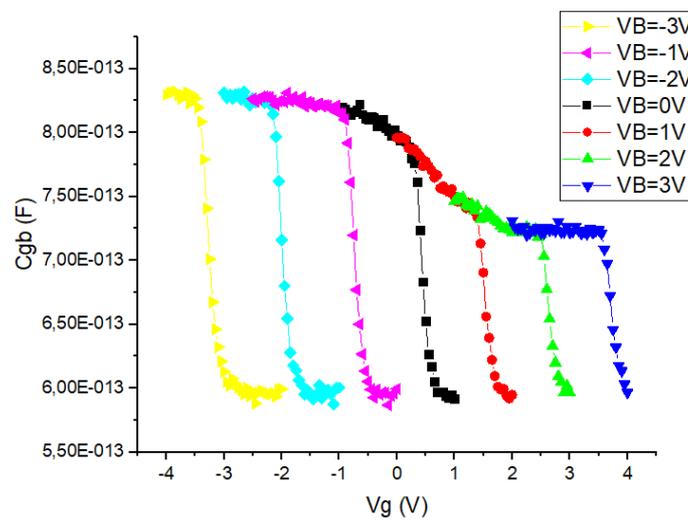
## Extracción de datos experimentales

Como se mencionó anteriormente, la caracterización eléctrica de un MOSFET, datos de corriente y capacitancia con respecto al voltaje, son necesarios para evaluar y determinar

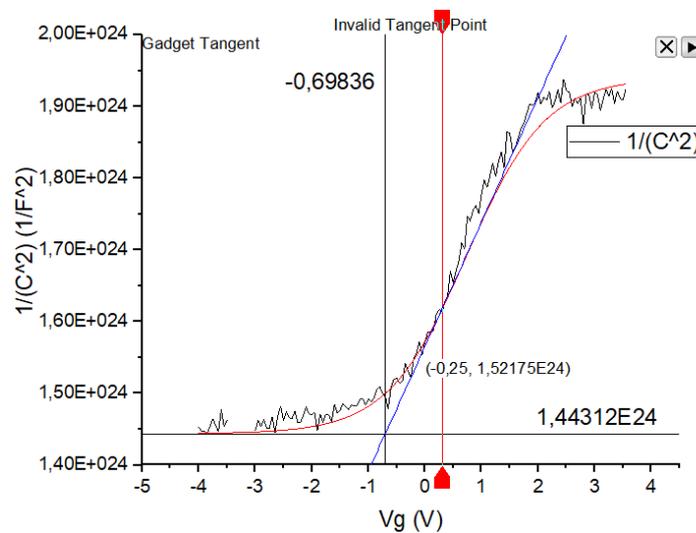
distintos parámetros fundamentales para el estudio de estos dispositivos. A continuación, se menciona los parámetros evaluados y su forma de extracción.

### Voltaje de banda plana ( $V_{fb}$ )

Para la obtención de este parámetro se utilizó la característica  $C_{gb}$  vs  $V_g$ , como se indica en el **Gráfico 1**, para distintos valores de voltaje de bulto. A continuación, se grafica la curva  $1/(C^2)$  vs  $V_g$ , como se indica en el **Gráfico 2**. Se encuentra las asíntotas tanto en el eje  $x$  como en el eje  $y$ , así su intersección nos da conocimiento del voltaje de banda plana.



**Gráfico 1.** Característica  $C_{gb}$ - $V_g$ .

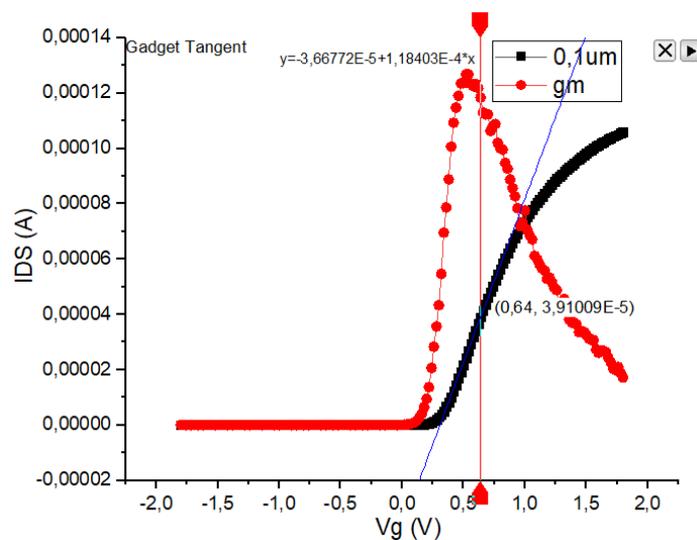


**Gráfico 2.** Característica  $1/(C)^2$ - $V_g$ .

### Voltaje de Umbral ( $V_{th}$ )

Se utiliza el método del pico de la tras-conductancia y a su vez una extrapolación lineal para la determinación de este parámetro. Para el cálculo de la tras-conductancia se utiliza la Ecuación 5.

Se identifica el valor de la capacitancia en donde se encuentra el pico de la tras-conductancia y posteriormente se realiza una extrapolación lineal en aquel punto. La intersección con el eje x de esta extrapolación es el valor del voltaje de umbral, como se indica en el **Gráfico 3**.



**Gráfico 3.** Característica  $I_d$ - $V_g$  (Método del pico de la tras-conductancia)

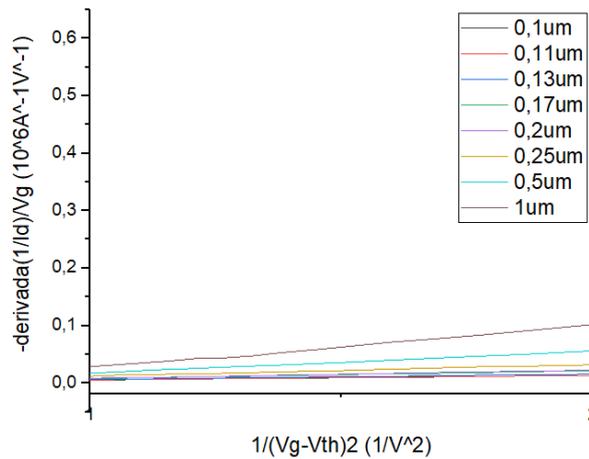
### Resistencia en serie (RSD)

Este parámetro se lo encuentra por el método desarrollado por (McLarty, Cristoloveanu, Faynot, & al, 1995) para dispositivos MOSFET planares que consiste en lo siguiente: Primero es fundamental la obtención de beta  $\beta$ . Para ello se debe ocupar la Ecuación 6, que consiste en el negativo de la característica de la primera derivada del inverso de la corriente  $I_{DS}$  para distintas longitudes de compuerta en función del voltaje de compuerta. Se realiza una característica  $-\frac{\partial}{\partial V_g} \left( \frac{1}{I_d} \right)$  versus  $\frac{1}{(V_g - V_{th})^2}$  como se indica en el **Gráfico 4**. La pendiente de cada recta es la expresión:

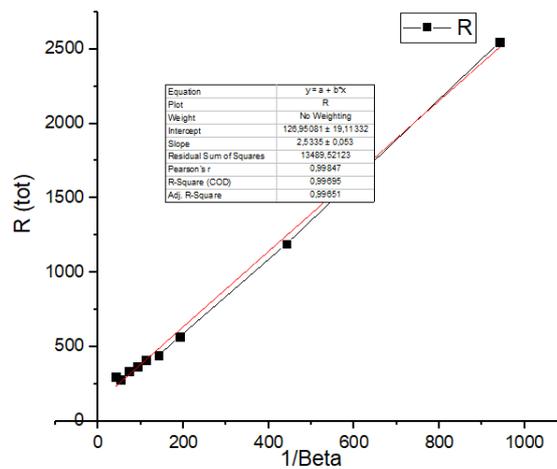
$$\frac{1}{Gm \cdot Vd}$$

donde  $Gm$  representa el parámetro  $\beta$ , que se utilizará después para determinar  $R_{DS}$ . Segundo, se debe extraer la resistencia total  $R_{tot}$ , la cual se obtiene aplicando la Ecuación 7.

Finalmente, se realiza una característica  $R_{tot}$  vs  $1/\beta$  y la intersección con el eje  $y$ , es el valor de de la resistencia en serie como se indica en el Gráfico 5.



**Gráfico 4.** Característica  $-\frac{\partial}{\partial Vg} \left( \frac{1}{Id} \right)$  versus  $\frac{1}{(Vg-vth)^2}$



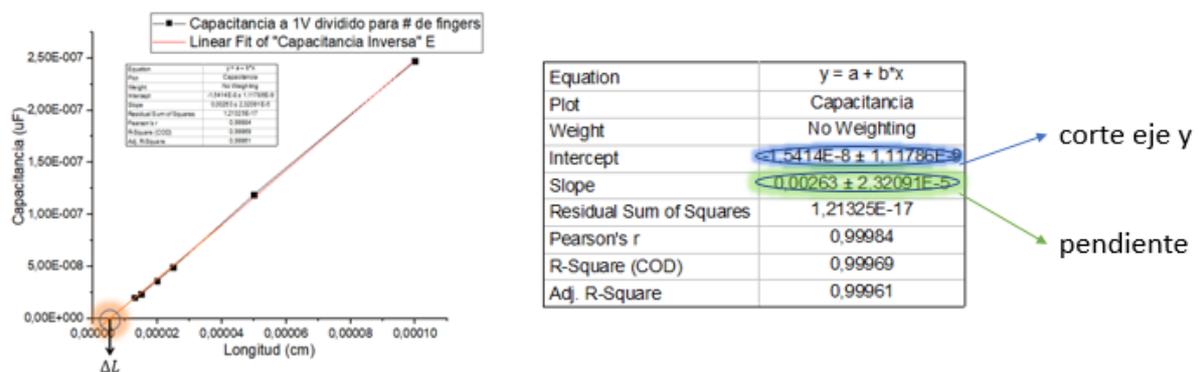
**Gráfico 5.** Característica  $R_{tot}-1/\beta$

### Modulación del largo del canal (canal efectivo)

Para la extracción de  $\Delta L$  se utiliza la característica C-V. Primero se extrae el valor de la capacitancia sin parásitos a 1V, dividido para el número de *fingers* dependiendo la longitud de la compuerta expresados en la **Tabla 1**. Se realiza una característica de esta capacitancia antes mencionada con respecto a la longitud de la compuerta. Por último, se hace un ajuste lineal para encontrar el corte con el eje x, como se indica en el Gráfico 6, para determinar el valor de delta L.

**Tabla 1.** Número de *fingers* en relación a la longitud de compuerta

# de fingers	Longitudes (um)		
20	0,75	0,5	1
30	0,15	0,2	0,25
40	0,1	0,11	0,13

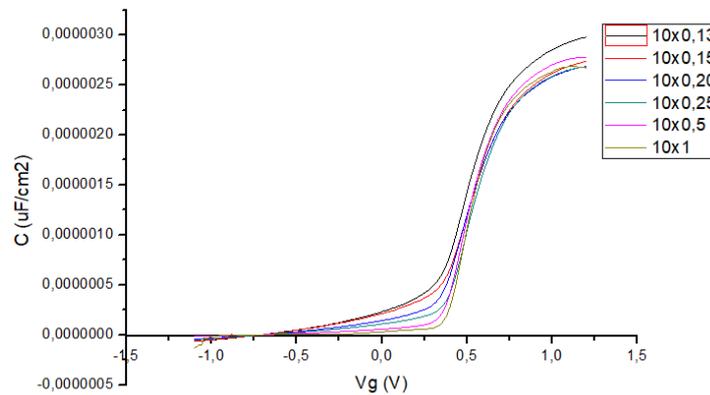


**Gráfico 6.** Característica C-L (Extracción de  $\Delta L$ ).

### Capacitancia Inversa (Cinv)

Para la extracción de la capacitancia inversa se utilizó la Ecuación 8. Donde  $W = 10\mu\text{m} \times \text{Número de fingers}$ . Se debe tener en cuenta que la extracción de este parámetro se lo hace en microfaradios por centímetros cuadrados (normalizado). A

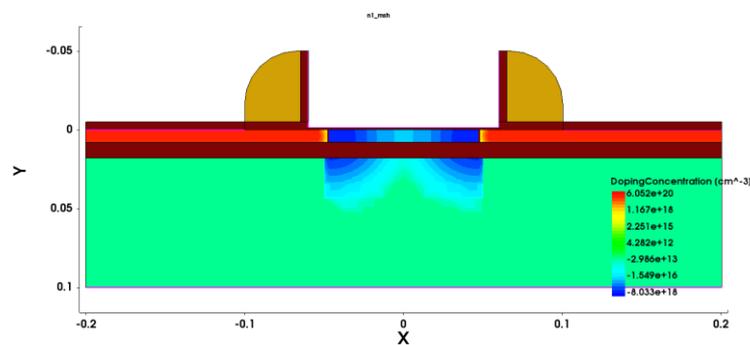
continuación, en el Gráfico 7, se presenta la curva C-V que nos permitió la extracción de cada capacitancia inversa.



**Gráfico 7.** Característica C-V (Extracción de capacitancia inversa)

## Modelo TCAD y Simulación

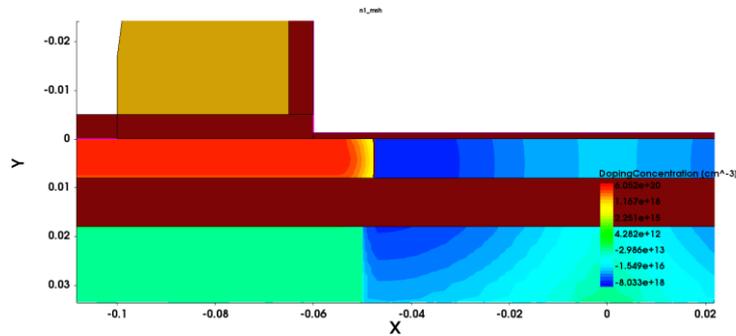
Una vez realizada la extracción de parámetros se procede a realizar un modelo del MOSFET en *Sentaurus*. Se inicia con la construcción del dispositivo con los materiales específicos, en este caso se utilizó silicio como el sustrato, óxido de silicio para el aislante y la protección de los contactos, nitruro de silicio para los contactos, como se indica en el Gráfico 8.



**Gráfico 8.** Construcción del dispositivo MOSFET en *Sentaurus*.

A continuación, se especifica los niveles de los dopajes que deben estar presentes en los materiales antes mencionados. Para las zonas de tipo P, se utilizaron los siguientes dopajes: al sustrato se lo dopa con una concentración de  $1e^{13}$  de una concentración de boro. De igual

manera en el canal se puso un dopaje de  $1e^{17}$  de una concentración de boro. Para tener zonas tipo N: una concentración  $5e^{20}$  de arsénico, como se indica en el Gráfico 9 y en la **Tabla 2**.

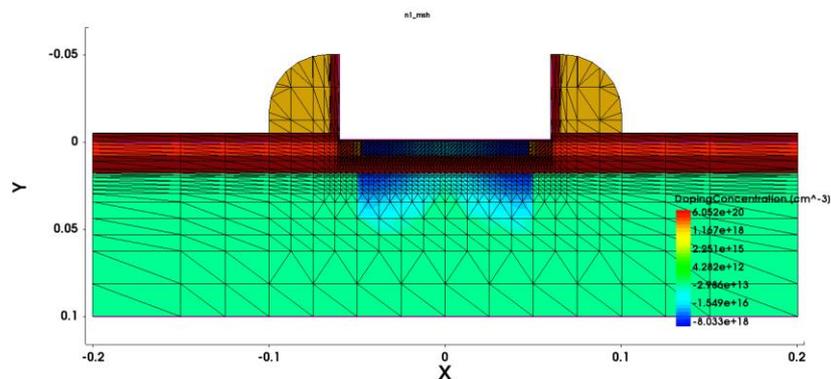


**Gráfico 9.** Niveles de dopaje tipo n y tipo p.

**Tabla 2.** Concentración de dopaje

Concentración	Zona		
	Sustrato	Canal	Fuente/Drenaje
<b>Boro</b>	1E+13	5E+16	
<b>Arsénico</b>			5E+20

Finalmente, se define el *meshing* en las zonas en las cuales se necesita una mayor concentración. Es fundamental que en el canal se tenga una zona más concentrada, por lo que ese fue nuestro principal objetivo como se indica en el Gráfico 10.



**Gráfico 10.** Meshing del dispositivo MOSFET

A continuación, se presenta los resultados obtenidos mediante los métodos de extracción de parámetros y con ayuda de la simulación se comparan las curvas características C-V e Id-Vg tanto experimentales con las simuladas.

## Presentación de Datos

### Voltaje de Banda Plana (Vfb)

Se obtuvo un valor de -0,698 voltios para el voltaje de banda plana, el cual será introducido en los parámetros de la simulación del dispositivo MOSFET.

### Voltaje de Umbral (Vth)

En la **Tabla 3** se observa los valores para el voltaje de umbral en relación a su longitud de compuerta.

**Tabla 3.** Valores de voltaje de umbral para distintas longitudes de compuerta.

VTH (V)	
	Die
<b>10x0,1</b>	0,3098
<b>10x0,11</b>	0,3838
<b>10x0,13</b>	0,4075
<b>10x0,15</b>	0,5959
<b>10x0,17</b>	0,5024
<b>10x0,2</b>	0,5616
<b>10x0,25</b>	0,6038
<b>10x0,5</b>	0,7271
<b>10x1</b>	0,71

### Resistencia en serie (RSD)

Al aplicar el procedimiento descrito en la anterior sección, se pudo determinar la resistencia en serie de 140 ohmios. La resistencia total dependiendo la longitud de compuerta se puede observar en la **Tabla 4**.

**Tabla 4.** Resistencia total en relación a la longitud de compuerta.

L(nm)	Rtot
100	423,64055
110	444,65515
120	541,56786
130	793,1946
200	1002,44694
250	1453,12405
500	4023,33241
1000	7751,08127

### Modulación del largo del canal (canal efectivo)

Se calculó un valor de longitud entre los separadores y el canal efectivo de 0,58nm. El mismo que fue introducido en la simulación y se puede observar en el Gráfico 9.

### Capacitancia Inversa (C<sub>inv</sub>)

En la Tabla 5 se observa los valores de la capacitancia inversa para distintos valores de longitud de compuerta para un voltaje de bulto de cero voltios.

*Tabla 5. Capacitancia inversa con respecto a la longitud de compuerta.*

Longitud(cm)	Capacitancia Inversa (uF/cm <sup>2</sup> )
	VB=0V
<b>1,30E-05</b>	2,77378
<b>1,50E-05</b>	2,55937
<b>2,00E-05</b>	2,544
<b>2,50E-05</b>	2,56097
<b>5,00E-05</b>	2,69015
<b>1,00E-04</b>	2,62328

### Comparación: Experimental-Simulación

A continuación, se presenta las características C-V e Id-V<sub>g</sub> que se obtuvieron en la simulación, y estas son comparadas con las características experimentales. El dispositivo que se utilizó es un transistor de 150nm de longitud de compuerta con un canal efectivo de 90 nm. La característica C-V se lo puede observar en el Gráfico 11. La característica Id-V<sub>g</sub> se puede observar en el Gráfico 12.

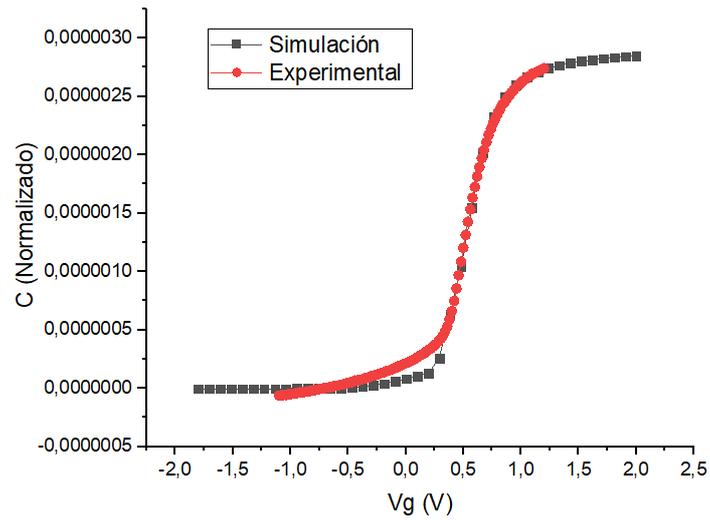


Gráfico 11. Característica C-V (Comparación experimental-simulación 150nm).

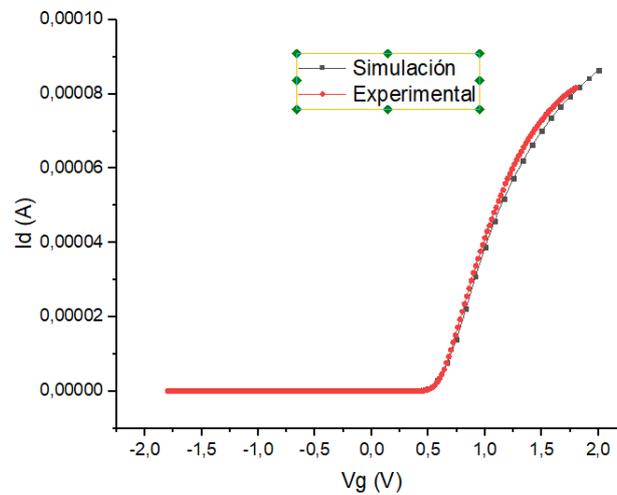


Gráfico 12. Característica Id-Vg (Comparación experimental-simulación 150nm).

Así mismo se hizo una simulación para obtener la característica C-V e Id-Vg para un dispositivo de 200nm con un canal efectivo de 140 nm. Se pueden observar los resultados en el Gráfico 13 y en el Gráfico 14, respectivamente.

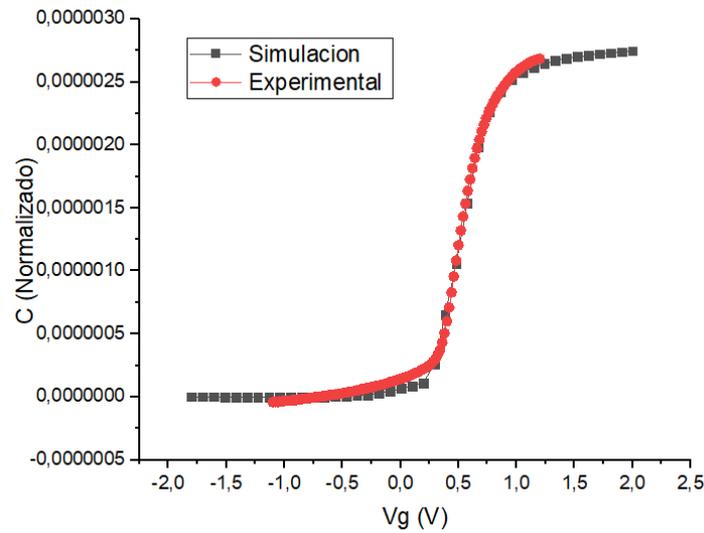


Gráfico 13. Característica C-V (Comparación experimental-simulación 200nm).

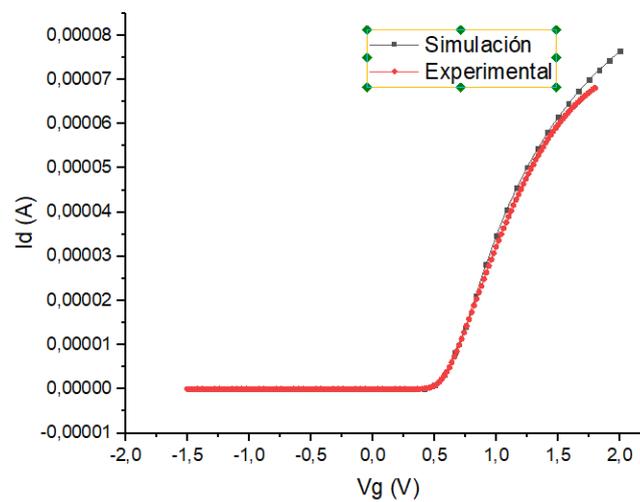


Gráfico 14. Característica Id-Vg (Comparación experimental-simulación 200nm).

Finalmente, se compara todas las características de los dispositivos simulados para distintas longitudes de compuerta. Como se indica en el Gráfico 15, para capacitancia con respecto al voltaje de compuerta, y en el Gráfico 16 para corriente en función del voltaje de compuerta. Se puede observar en el gráfico que hay una simulación para longitudes de 85nm, 150nm y 200 nm.

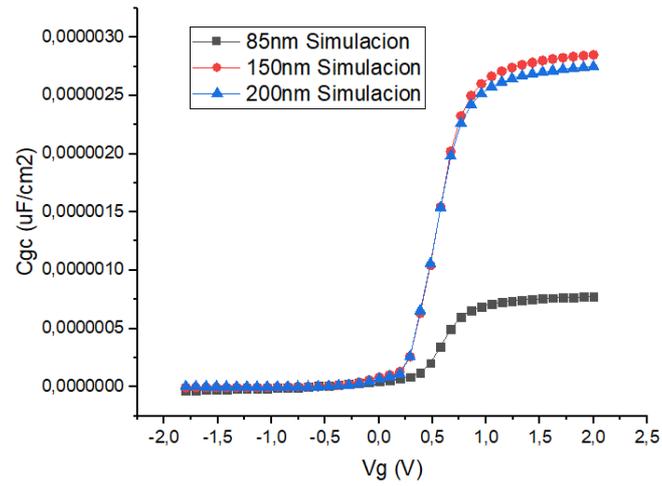


Gráfico 15. Simulación C-V de dispositivos para distintos valores de compuerta.

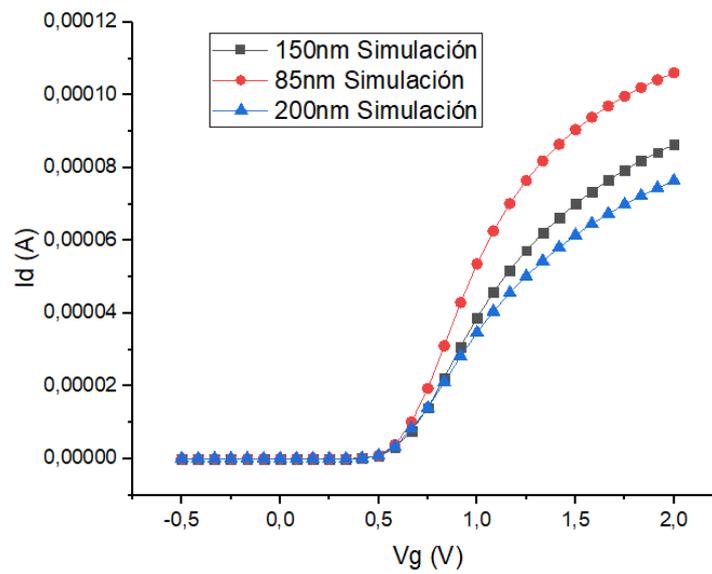


Gráfico 16. Simulación Id-Vg de dispositivos para distintos valores de compuerta.

## CONCLUSIONES

En el presente trabajo se logró desarrollar un modelo de simulación de un dispositivo MOSFET de 15 nanómetros de longitud de compuerta, gracias a los parámetros físicos extraídos. Esta simulación permitirá tener conocimiento de las características de este dispositivo con una alta fiabilidad, para investigaciones a futuro.

Mediante la comparación de características C-V e Id-Vg se obtuvo una simulación bastante similar a los datos experimentales. Mediante una correcta extracción de parámetros físicos como valores de voltajes de umbral, voltaje de banda plana, longitud del canal efectivo, capacitancia inversa, resistencia en serie, que fueron detallados anteriormente, se obtuvo un modelo en TCAD que permitirá un conocimiento amplio de este dispositivo.

Este trabajo tiene una relevancia bastante amplia, porque en la actualidad investigaciones en esta área han crecido con el objetivo de desarrollar nuevas tecnologías que permitan optimizar y hasta reemplazar a los dispositivos convencionales, que se utilizan en la actualidad.

Para la simulación, se tuvo en cuenta los niveles precisos de dopaje que se deben introducir, ya que estos parámetros afectan en las características C-V e Id-Vg. De igual manera con el *meshing*, ya que se requirió de una concentración mayor en la región del canal.

Por último, se obtuvo características para distintas longitudes de compuerta. Se las comparó con las curvas experimentales y se consiguió un resultado con bastante exactitud, como se presentó en la anterior sección. Esto permitirá tener una base para futuras investigaciones dentro del área de microelectrónica.

## REFERENCIAS BIBLIOGRÁFICAS

- Colinge, J., & Colinge, C. (2006). *Physics of Semiconductors Devices*. New York, United States: Springer.
- GlobalFoundries. (2018). *About Us*. Obtenido de <https://www.globalfoundries.com/about-us>
- Hu, C. (2010). *Modern Semiconductor Devices for Integrated Circuits*. Prentice Hall.
- McLarty, P., Cristoloveanu, S., Faynot, O., & al, e. (1995). A simple parameter extraction method for ultra-thin oxide MOSFETs. *Solid State Electron*, 1175-1177.
- Rubio, & Aragonés. (2003). *Diseño de circuitos y sistemas intregados*. Barcelona, España: Politext.
- Synopsis. (30 de abril de 2018). *TCAD Sentaurus Tutorial*. Obtenido de TCAD tool suite: [file:///C:/Users/ANDRES/Desktop/TCAD%20Sentaurus%20-%20Tutorials/intro/intro\\_a.html](file:///C:/Users/ANDRES/Desktop/TCAD%20Sentaurus%20-%20Tutorials/intro/intro_a.html)

## ANEXO A: ECUACIONES

**Ecuación 1.** Capacitancia de la estructura MOS en régimen de acumulación.

$$C = \frac{\epsilon_{ox}}{t_{ox}} \equiv C_{ox}$$

Donde:

$\epsilon_{ox}$ : Permitividad del dióxido de silicio.

$t_{ox}$ : Espesor del óxido de compuerta.

$C_{ox}$ : Capacitancia de óxido.

**Ecuación 2.** Modulación de la longitud de canal.

$$L_{efectivo} = L_{compuerta} - \Delta L$$

Donde:

$L_{efectivo}$ : Longitud efectiva del canal

$L_{compuerta}$ : Longitud de la compuerta.

**Ecuación 3.** Corriente de saturación en relación a la resistencia en serie.

$$I_{dsat} = \frac{I_{dsato}}{1 + R_s I_{dsato} / (V_g - V_{th})}$$

Donde:

$I_{dsato}$ : Corriente de saturación en ausencia de la resistencia  $R_s$ .

$V_g$ : Voltaje aplicado a la compuerta.

$V_{th}$ : Voltaje de umbral.

**Ecuación 4.** Voltaje de saturación en relación a la resistencia en serie.

$$V_{d_{sat}} = V_{d_{sat0}} + I_{d_{sat}}(R_s + R_d)$$

Donde:

$V_{d_{sat0}}$ : Voltaje de saturación en ausencia de la resistencia  $R_s$  y  $R_d$ .

**Ecuación 5.** Cálculo de la conductancia.

$$g_m = \frac{dI_{ds}}{dV_g}$$

Donde:

$g_m$ : Conductancia.

$I_{ds}$ : Corriente drenaje-fuente.

$V_g$ : Voltaje de compuerta.

**Ecuación 6.** Primera derivada del inverso de la corriente  $I_d$ .

$$\frac{\partial}{\partial V_g} \left( \frac{1}{I_d} \right) = \frac{1}{G_m V_d} \left( \frac{-1}{(V_g - V_{th})^2} + \theta_2 \right)$$

Donde:

$V_d$ : Voltaje de drenaje.

$\theta_2$ : Parámetro de la degradación de la movilidad.

$G_m$ : Se obtiene la pendiente de la característica.

**Ecuación 7.** Cálculo de la resistencia total para cada longitud de compuerta.

$$R_{tot} = \frac{V_{DS}}{I_{DS}(V_g - V_{th})}$$

Donde:

$R_{tot}$ : Resistencia total para cada longitud de compuerta.

**Ecuación 8. Capacitancia inversa.**

$$C_{inv} = \frac{C_{g \text{ sin parásitos}}}{W(L - \Delta L)}$$

Donde:

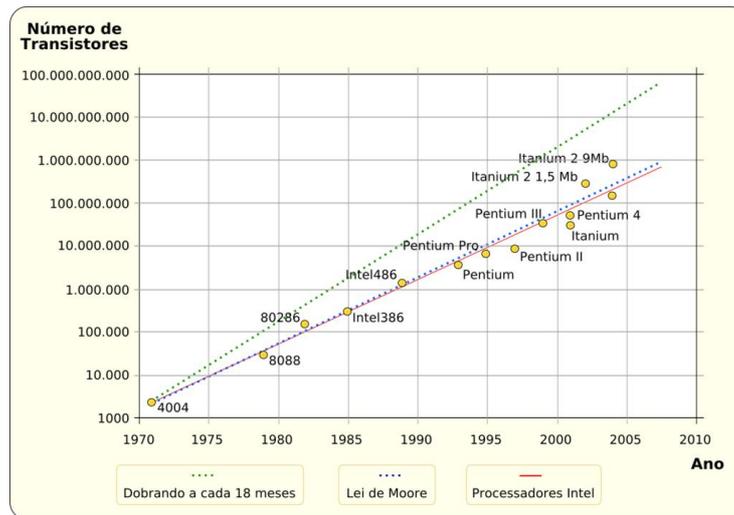
$C_{inv}$ : Capacitancia inversa.

$C_{g \text{ sin parásitos}}$ : Capacitancia sin parásitos.

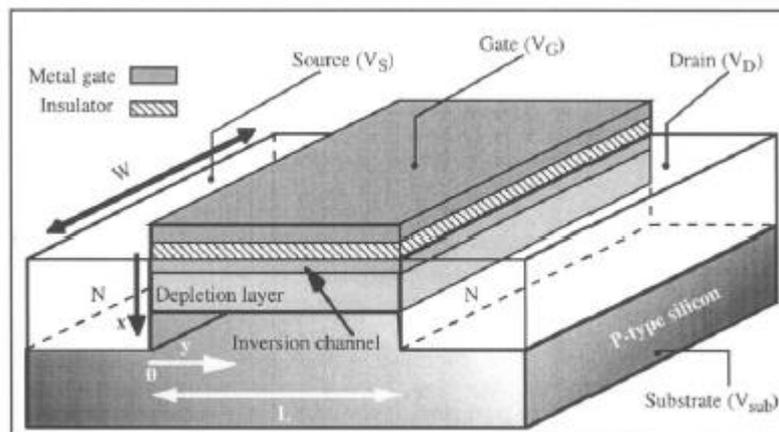
$W$ : Ancho del dispositivo MOSFET.

$L - \Delta L$ : Longitud de canal efectivo.

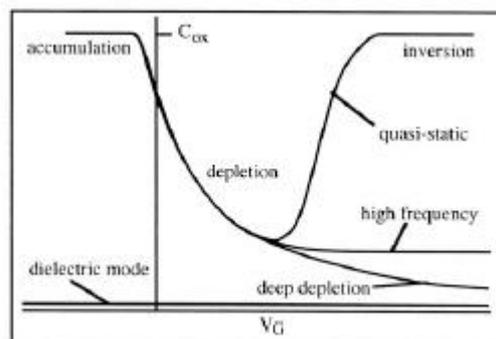
## ANEXO B: FIGURAS



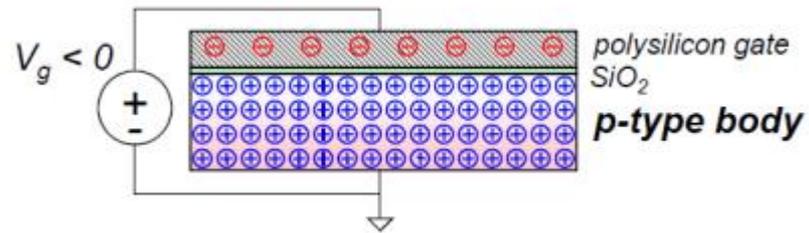
*Figura 1. Ley de Moore – ley de la evolución de transistores en un microprocesador*



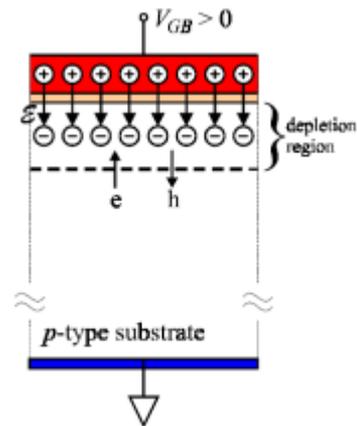
*Figura 2. Transistor MOS de tipo n-channel.*



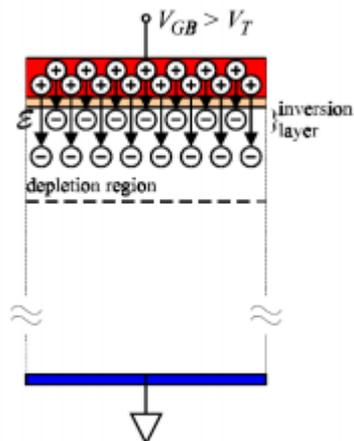
*Figura 3. Regímenes de operación en la característica CV de un CMOS.*



*Figura 4. Régimen de acumulación.*



*Figura 5. Régimen de Agotamiento.*



*Figura 6. Régimen de inversión.*

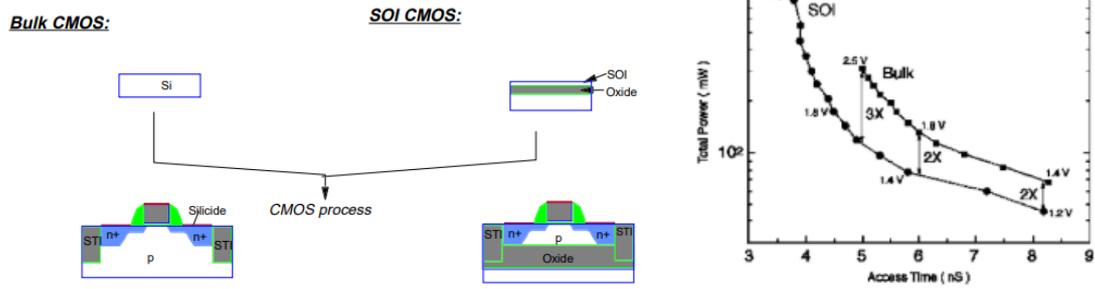


Figura 7. Comparación de tecnología SOI y bulk.

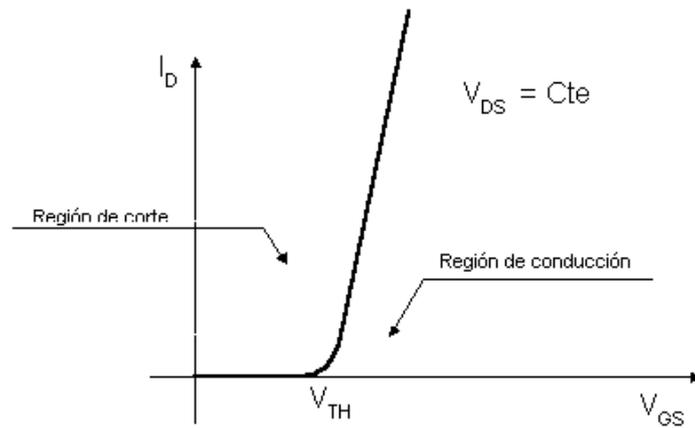


Figura 8. Voltaje de umbral en característica Id-Vg.

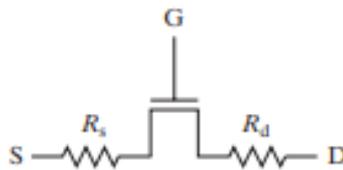


Figura 9. Resistencia en serie (Fuente-Drenaje).

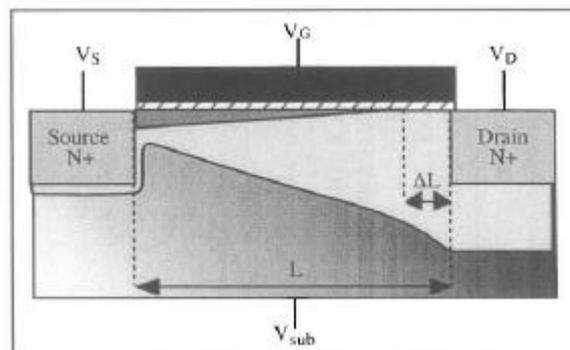
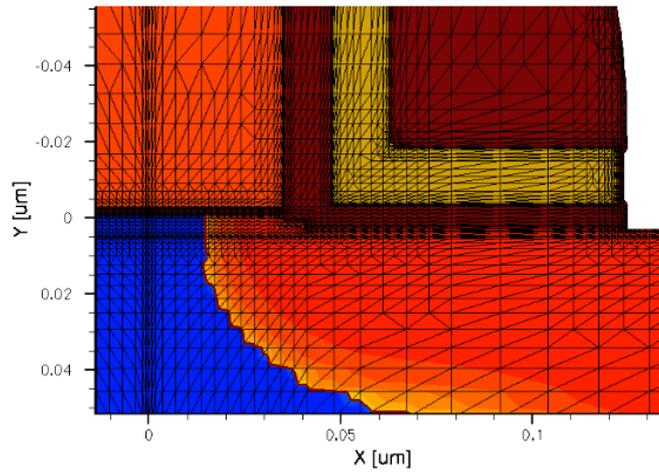
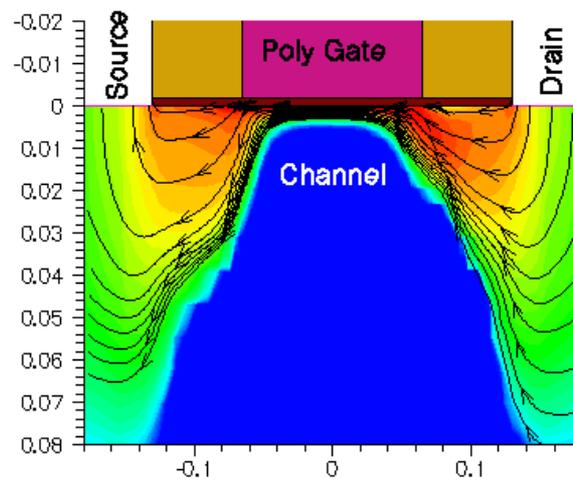


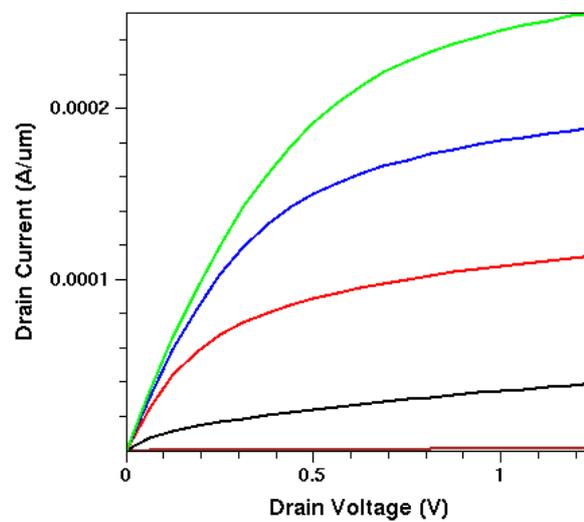
Figura 10. Modulación de la longitud del canal.



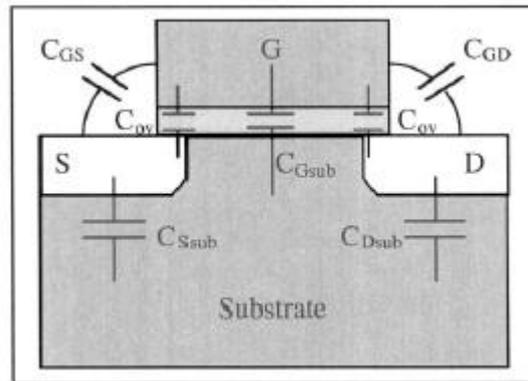
*Figura 11. Simulación discretizada y representada como estructura de elementos finitos.*



*Figura 12. Comportamiento eléctrico - densidad de corriente.*



*Figura 13. Resultado eléctrico de corrientes en el dispositivo.*



*Figura 14. Capacitancias entre los terminales del MOSFET.*