

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

**Diseño PMOS Only de Amplificador Operacional de
Transconductancia con tecnología TSMC 180nm**

Mateo Alejandro Valencia Cifuentes

Mateo José Bonilla Landázuri

Ingeniería Electrónica

Trabajo de fin de carrera presentado como requisito
para la obtención del título de
Ing. Electrónica

Quito, 15 de Diciembre de 2020

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ
Colegio de Ciencias e Ingenierías

HOJA DE CALIFICACIÓN
DE TRABAJO DE FIN DE CARRERA

**Diseño PMOS Only de Amplificador Operacional de Transconductancia
con tecnología TSMC 180nm**

Mateo Alejandro Valencia Cifuentes

Mateo José Bonilla Landázuri

Nombre del profesor, Título académico

Ramiro Taco, PhD.

Quito, 15 de diciembre de 2020

© DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en la Ley Orgánica de Educación Superior del Ecuador.

Nombres y apellidos: Mateo Alejandro Valencia Cifuentes

Código: 00137049

Cédula de identidad: 1717487860

Nombres y apellidos: Mateo José Bonilla Landázuri

Código: 00136967

Cédula de identidad: 1722816897

Lugar y fecha: Quito, 15 de diciembre de 2020

ACLARACIÓN PARA PUBLICACIÓN

Nota: El presente trabajo, en su totalidad o cualquiera de sus partes, no debe ser considerado como una publicación, incluso a pesar de estar disponible sin restricciones a través de un repositorio institucional. Esta declaración se alinea con las prácticas y recomendaciones presentadas por el Committee on Publication Ethics COPE descritas por Barbour et al. (2017) Discussion document on best practice for issues around theses publishing, disponible en <http://bit.ly/COPETHeses>.

UNPUBLISHED DOCUMENT

Note: The following capstone project is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this project – in whole or in part – should not be considered a publication. This statement follows the recommendations presented by the Committee on Publication Ethics COPE described by Barbour et al. (2017) Discussion document on best practice for issues around theses publishing available on <http://bit.ly/COPETHeses>.

RESUMEN

En el presente trabajo se asume la problemática de optimización de espacio de un amplificador operacional de transconductancia (OTA) mediante el diseño de una topología con dispositivos únicamente PMOS. Para el diseño se recurre al uso de tecnología TSMC 180nm. En primera instancia se caracterizan 2 dispositivos candidatos a ser parte del diseño, siendo el PMOS *Medium Voltage Threshold* (MVT) el elegido para el circuito. A continuación, se realiza el diseño del OTA compuesto por dos etapas de amplificación. En cada etapa se realizan mediciones para extraer todas las características eléctricas de nuestro diseño. Finalmente, se realiza la comparación del dispositivo con una topología con únicamente dispositivos NMOS, resultando en una optimización de espacio sin alterar en gran medida el desempeño.

Palabras clave: ancho de banda, ganancia, layout, polarización, transconductancia, transistor, umbral.

ABSTRACT

In this work, the problem of space optimization of an operational transconductance amplifier (OTA) is assumed through the design of a PMOS Only topology. The design uses TSMC 180nm technology. At first, 2 candidate devices are characterized to decide which would be part of the design, being the PMOS Medium Voltage Threshold (MVT) the one chosen for the circuit. Next, the design of the OTA composed of two amplification stages is carried out. At each stage, measurements are made to extract all the electrical characteristics of our design. Finally, the device is compared with an NMOS Only topology, resulting in space optimization without greatly altering the overall performance.

Key words: Biased, gain, gain bandwidth, layout, threshold, transconductance, transistor.

TABLA DE CONTENIDO

ÍNDICE DE TABLAS	8
ÍNDICE DE FIGURAS.....	9
Introducción.....	10
Desarrollo del Tema.....	13
Capítulo 1: Caracterización del dispositivo	13
1.1. Curva característica $I_{ds} - V_{gs}$	13
1.2. Curva característica $I_{ds} - V_{ds}$	14
1.3. Curva característica de transconductancia.....	15
1.4. Efecto bulto.....	16
Capítulo 2: Diseño de la primera etapa	17
2.1. Transistores de enriquecimiento.....	17
2.2. Cargas activas.....	17
2.3. Espejo de corriente.....	18
Capítulo 3: Análisis de la primera etapa	20
3.1. Análisis AC.....	20
3.2. Análisis DC.....	22
3.3. Análisis transitorio.....	23
3.4. Process corners.....	25
Capítulo 4: Segunda etapa del OTA.....	27
4.1. Diseño de la segunda etapa.....	27
4.2. Análisis AC.....	29
4.3. Análisis DC.....	31
4.4. Análisis transitorio.....	31
4.5. Process corners.....	33
4.6. Comparación de resultados.....	34
Conclusiones	36
Referencias bibliográficas.....	39
Anexo A: <i>LAYOUT</i> DE LA PRIMERA ETAPA DEL OTA	40
Anexo B: <i>LAYOUT</i> DEL OTA CON 2 ETAPAS	41
Anexo C: Código de matlab para generación de bodes.....	42

ÍNDICE DE TABLAS

Tabla 1. Caracterización de transistores PMOS Nominal y MVT.....	16
Tabla 2. Dimensionamiento primera etapa OTA	19
Tabla 3. Características eléctricas circuito OTA primera etapa.....	25
Tabla 4. Análisis de variabilidad de proceso primera etapa	26
Tabla 5. Dimensionamiento de transistores del OTA	29
Tabla 6. Características eléctricas circuito OTA	33
Tabla 7. Análisis de variabilidad de proceso OTA	34
Tabla 8. Comparación de resultados entre topologías	35

ÍNDICE DE FIGURAS

Figura 1. Esquema para caracterización de PMOS.....	13
Figura 2. Curvas características Ids-Vgs	14
Figura 3. Curvas Características Ids-Vds. (Izquierda) PMOS Nominal. (Derecha) PMOS MVT.....	15
Figura 4. Curva de Transconductancia.	16
Figura 5. Efecto bulto	16
Figura 6. Esquemático primera etapa OTA	19
Figura 7. Equivalente en pequeña señal.....	20
Figura 8. Diagrama de BODE de la primera etapa	21
Figura 9. GBW y frecuencia de corte respecto a la carga capacitiva	22
Figura 10. Voltaje de salida respecto a la entrada	22
Figura 11. Respuesta temporal para la linealidad de la primera etapa	23
Figura 12. Variabilidad de proceso para la primera etapa – análisis en frecuencia.....	26
Figura 13. Esquema Common Source PMOS Only	27
Figura 14. Esquema eléctrico OTA PMOS Only	28
Figura 16. Análisis pequeña señal OTA	29
Figura 17. Diagrama de bode 2 etapas.....	30
Figura 18. Voltaje de salida respecto a la entrada del OTA	31
Figura 19. Voltaje en función del tiempo	32
Figura 20. Variabilidad de proceso para OTA – análisis en frecuencia	33

INTRODUCCIÓN

El presente trabajo tiene como objetivo presentar un estudio de diseño analógico de un circuito Amplificador Operacional de Transconductancia, de sus siglas en inglés Operational Transconductance Amplifier (OTA), utilizando tecnología TSMC 180nm y únicamente dispositivos P-MOSFET. Un OTA corresponde a un circuito amplificador diferencial cuyas características producen una señal de corriente (Nayak, et al., 2019). A pesar de la señal de corriente de salida, su alta ganancia de voltaje permite que este circuito sea utilizado como un bloque fundamental en el diseño de sistemas complejos, puesto a que varias de sus aplicaciones se encuentran ligadas a circuitos de radio frecuencia, circuitos mezcladores y circuitos de Internet de las Cosas o IoT (Rezaei y Azhari, 2010).

El diseño presentado en el presente documento corresponde a una derivación y mejora del diseño de OTA N-MOSFET presentado en el artículo de investigación de Richelli, et al (2018), puesto que únicamente se trabaja con dispositivos P-MOSFET en el presente trabajo y se han realizado ciertas mejoras respecto al dimensionamiento y consumo de potencia y voltaje. Por lo tanto, al proponer el uso de únicamente transistores P-MOSFET, se realiza un estudio de diseño de todas las características y ventajas que se obtienen al trabajar únicamente con un tipo de transistor. Es importante mencionar que se realiza un exhaustivo análisis de las características eléctricas del diseño, así como un análisis en el dominio de la frecuencia con el fin de comprender correctamente las ventajas del diseño propuesto. Todos los análisis se realizan en etapa *post-layout*, indicando que se cumple con el flujo para el diseño de un circuito integrado en su totalidad y, adicionalmente, se conducen técnicas de diseño de experimentos con el fin de poder probar al dispositivo en diferentes variaciones de su proceso de fabricación.

El diseño de circuitos analógicos, en la actualidad, ha tomado una fuerte relevancia dentro de diversas aplicaciones de la industria. Comúnmente, se puede pensar que el crecimiento y la innovación de la industria ha causado un decrecimiento en el diseño de circuito

analógicos y un mayor énfasis en circuitos digitales. Sin embargo, evidencia demuestra que la demanda en el diseño de circuitos analógicos ha crecido en estos años debido a que, las nuevas necesidades de la industria y de la humanidad, han requerido que los diseños de los sistemas tengan un menor consumo de potencia y voltaje, lo que requiere de la implementación de circuitos analógicos para el caso. Igualmente, varias interfaces y diseños digitales requieren de una etapa de diseño analógico de alto nivel preliminar para obtener los resultados deseados en el dominio digital. Por ende, la necesidad de diseño de circuito analógicos continúa creciendo y, con ello, crecen los retos y desafíos en la mejora e implementación de estos diseños (Razavi, 2017).

Tomando en consideración esta creciente demanda de circuitos analógicos, existen diferentes desafíos que han aparecido para el diseño de estos. Los retos principalmente son: la complejidad de los circuitos, imperfecciones de los transistores y el consumo de potencia. Por ende, cada uno de estos retos deben ser superados en el diseño de circuitos analógicos y corresponde a uno de los principales propósitos y logros del presente trabajo gracias al uso de tecnología de Semiconductor Complementario de Óxido Metálico o, por sus iniciales en inglés, *Complementary Metal Oxide Semiconductor* (CMOS). Principalmente, la tecnología CMOS ha permitido que estos retos del diseño de circuito analógicos sean resueltos a partir de la investigación, diseño y dimensionamiento que se utilizan, lo que permite inferir que se logran mejoras debido al uso de esta tecnología en la actualidad. Según Wieder y Neppl (1992), “*el éxito se debe a que CMOS cumple ampliamente las necesidades actuales y, más importante, las aplicaciones a futuro*”. Esto se debe a que la tecnología CMOS posee características que permiten un bajo consumo de potencia, así como una integración de dispositivos en escalas nanométricas a pesar de los diferentes desafíos que tiene el proceso de escalamiento (Wieder y Neppl, 1992).

Por lo tanto, la presente investigación permite evidenciar un estudio de diseño de un circuito analógico OTA utilizando tecnología CMOS, específicamente transistores P-MOSFET, y las ventajas de utilizar únicamente este tipo de dispositivos en el diseño de un circuito integrado analógico, demostrando así los beneficios de consumo de potencia y escalamiento que se obtienen al utilizar este tipo de tecnología. De esta manera, el presente trabajo demuestra cómo se puede beneficiar el diseño de circuitos analógicos del uso de la tecnología CMOS y, sobre todo, como los transistores tipo P, permiten obtener ventajas de diseño y rendimiento de los dispositivos. Igualmente, debido a la creciente demanda de circuitos analógicos en pasados años, ha despertado el interés de proponer nuevas técnicas de diseño de este tipo de circuitos, con el fin de crear dispositivos de alto rendimiento, asegurando un bajo consumo de potencia, velocidad del dispositivo y una alta integración y escalamiento. Por ende, es importante en el contexto nacional la investigación y desarrollo de dispositivos que cumplan con las características y rendimiento deseados en la industria a nivel mundial.

A lo largo de las siguientes secciones, se presenta el diseño del circuito OTA, su primera y segunda etapa, utilizando transistores con tecnología TSMC 180nm PMOS *Medium Voltage Umbral* (MVT). Para este, se realizan diferentes análisis en el dominio del tiempo y de la frecuencia para comprobar su funcionamiento, así como la extracción de las características eléctricas del diseño para observar su rendimiento. Igualmente, se realiza una técnica de diseño de experimentos conocida como variaciones de proceso, o en inglés *process corners*, para probar la funcionalidad del circuito en diferentes condiciones de fabricación y se realiza la comparación de los resultados con el diseño propuesto dentro del artículo de investigación de Richelli, et al (2018). Por ende, el Capítulo 1 presenta la caracterización del dispositivo PMOS a utilizarse. Consecuentemente, el Capítulo 2 presenta el diseño de la primera etapa y el Capítulo 3 el análisis de esta. Finalmente, el Capítulo 4 muestra el diseño de la segunda etapa con su respectivo análisis y la comparación de resultados.

DESARROLLO DEL TEMA

Capítulo 1: Caracterización del dispositivo

La librería TSMC nos ofrece distintas opciones de dispositivos PMOS, en el caso de nuestro diseño se elige se busca un voltaje de umbral bajo y una transconductancia relativamente alta. La razón de esta selección es que los transistores utilizados en el diseño podrán encenderse con el mínimo voltaje en su compuerta y de esta forma obtener un OTA de baja potencia, mientras que la transconductancia asegura una buena ganancia. Teniendo en mente que el diseño consiste en el uso de un solo tipo de dispositivo, se procede a caracterizar el PMOS *Nominal* y el PMOS *Medium Voltage Umbral* (MVT) para obtener todos los parámetros indispensables para una comparación y posterior elección. En la Figura 1 se muestra el esquema para la caracterización del dispositivo.

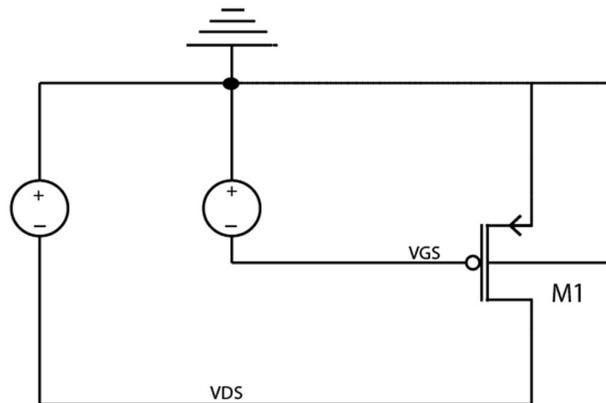


Figura 1. Esquema para caracterización de PMOS

1.1. Curva característica $I_{ds} - V_{gs}$.

El primer análisis realizado para la caracterización es la curva de la corriente *drain-source* con respecto al voltaje *gate-source* ($I_{ds} - V_{gs}$) mostrado en la Figura 2. En esta curva, es posible encontrar el voltaje de umbral si se busca el valor de V_{gs} cuando:

$$I_{ds} = 0.1\mu A \frac{W}{L}$$

Ecuación 1

, siendo W y L el ancho y largo de la compuerta del transistor (Hu, 2009). Se estandarizan estos dos últimos parámetros tal que $W = 0.5 \mu\text{m}$ y $L = 0.25 \mu\text{m}$. Respondiendo a la ecuación (1) con estos parámetros, se busca el voltaje para el cual la corriente resulta $0.2 \mu\text{A}$ y se obtuvo que el voltaje de umbral es de -0.5 y -0.25 V para los transistores *Nominal* y MVT respectivamente.

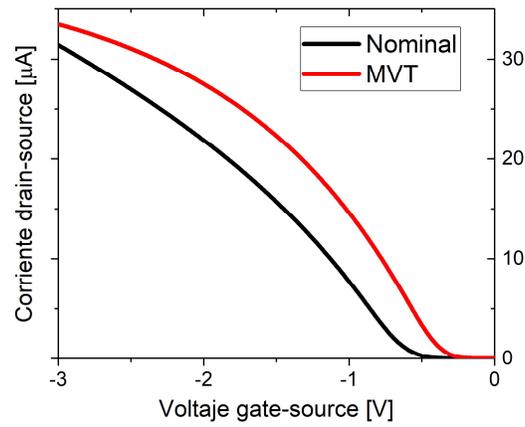


Figura 2. Curvas características I_{ds} - V_{gs}

1.2. Curva característica $I_{ds} - V_{ds}$.

Una vez que se sabe que el transistor MVT tiene un V_{th} menor al *Nominal*, se extrae la curva de comparación de la corriente *drain-source* (I_{ds}) con respecto al voltaje *drain-source* (V_{ds}). Estas curvas se presentan para distintos V_{gs} en la Figura 3. Un factor importante para analizar en este punto es la región óhmica. La región óhmica es considerablemente más pequeña para el transistor MVT lo que tiene dos implicaciones. La primera es que para obtener amplificación en el dispositivo se necesita un voltaje pequeño. Sin embargo, para el uso de transistores como carga resistiva el margen también es más pequeño comparado con el *Nominal*. De todas maneras, el parámetro que más se puede aprovechar es la corriente de saturación. Este parámetro es mucho menor para el MVT lo que nos permitiría mantener consumo de corriente al mínimo para un diseño de baja potencia.

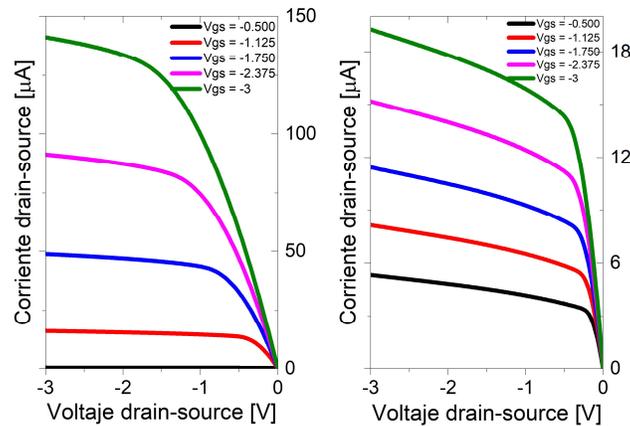


Figura 3. Curvas Características Ids-Vds. (Izquierda) PMOS Nominal. (Derecha) PMOS MVT.

1.3. Curva característica de transconductancia.

Otro de los grandes intereses que se tienen sobre el dispositivo a elegir, es la transconductancia. Un transistor de alta transconductancia responderá mejor a la amplificación de señales sin necesidad de un consumo de corriente alto. Nuevamente, esto resultaría en un diseño final con consumo de potencia lo suficientemente bajo para que podamos hablar de grandes ventajas en relación con otras topologías que se han estudiado, o incluso que se aplican en sistemas complejos. En la Figura 4, se presentan las curvas correspondientes a la variación de la transconductancia con respecto a la caída de tensión sobre el *gate-source*. Para valores entre -3 y -1.2 V aproximadamente, el transistor *Nominal* tiende a una mayor transconductancia. Sin embargo, recordando que empezaremos el diseño con una alimentación *rail-to-rail* de 0.5 V, nos interesa conocer lo que sucede a partir de -1 V donde el transistor MVT tiene ventaja. Los valores máximos de transconductancia para el *Nominal* y MVT son 19.3 y 24.8 μS respectivamente.

En la Tabla 1 se presenta un resumen de la caracterización presentada en este capítulo. Las primeras cuatro filas son los parámetros estandarizados para ambos transistores de tal manera que la comparación sea precisa. Debido a los otros dos parámetros presentados y

analizados previamente, el umbral y la transconductancia, además del análisis cualitativo de la curva $I_{ds}-V_{gs}$, se decide escoger para el diseño el PMOS MVT.

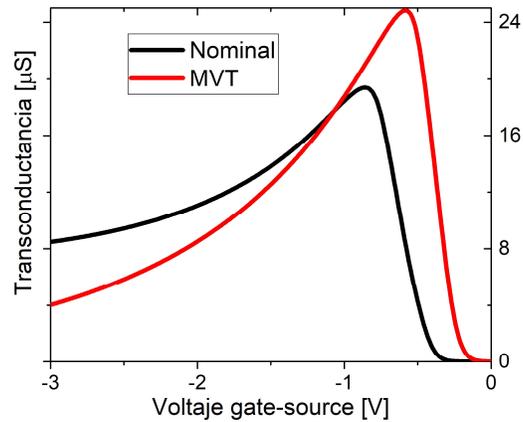


Figura 4. Curva de Transconductancia.

Parámetro	PMOS Nominal	PMOS MVT
Ancho Compuerta (W) [μm]	0.50	0.50
Longitud Compuerta (L) [μm]	0.25	0.25
<i>Fingers</i>	2	2
Ancho por <i>Finger</i> [μm]	0.25	0.25
Umbral V_{th} [V]	0.50	0.25
Transconductancia Máxima g_m [μS]	19.3	24.8

Tabla 1. Caracterización de transistores PMOS Nominal y MVT

1.4. Efecto bulto.

Una vez seleccionado el dispositivo a usarse en el diseño se hace un análisis del efecto bulto del transistor. La Figura 5 muestra la variación del V_{th} con respecto al voltaje *bulk-source* (V_{bs}). Se puede notar que el absoluto del voltaje de umbral disminuye mientras menor sea el V_{bs} .

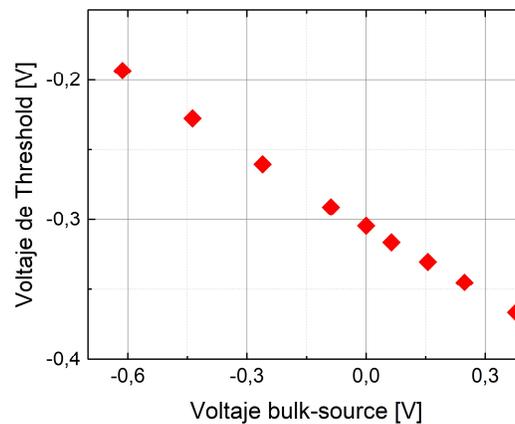


Figura 5. Efecto bulto

Capítulo 2: Diseño de la primera etapa

La primera etapa de nuestra topología de OTA será basada en un amplificador par diferencial. Como todo par diferencial, el diseño consiste en dos ramas de características idénticas cuya entrada y salida son diferenciales.

2.1. Transistores de enriquecimiento.

El principio de amplificación de esta etapa consiste en dos transistores, PMOS MVT, de enriquecimiento acoplados y polarizados con una fuente de corriente hacia sus *drains*. La Ecuación 2 define a la transconductancia en esta etapa, donde I corresponde a la corriente total que pasa por las ramas del par diferencial, es decir que la corriente por cada transistor de enriquecimiento es de $I/2$.

$$gm = \frac{I}{(V_{GS} - V_t)} \quad \text{Ecuación 2}$$

Dado que la transconductancia es directamente proporcional a la corriente, se debe revisar la Ecuación 3 que la define de acuerdo con las características del transistor. Como se puede apreciar en esta igualdad, la corriente es directamente proporcional al *aspect ratio* del transistor (W/L) (Sedra y Smith, 2002). La longitud de la compuerta se ha fijado al mínimo del dispositivo, 250 nm . Con esto, mientras mayor sea el ancho W la corriente tenderá a ser mayor y por ende la transconductancia igual, todo esto nos deja una mejor amplificación a la salida de esta primera etapa. Tomando en cuenta que uno de los objetivos de esta topología es mantener al mínimo el área del diseño final, se toma como máximo un *aspect ratio* de 100, es decir, un ancho de compuerta de $25 \mu\text{m}$.

$$I = k'_n \frac{W}{L} (V_{GS} - V_t)^2 \quad \text{Ecuación 3}$$

2.2. Cargas activas.

En el par diferencial se añade una carga activa en cada rama de este, con el fin de controlar el flujo de corriente sobre los transistores de enriquecimiento. En un análisis de pequeña señal,

con cargas resistivas la nueva ganancia $A_v = A_{vi} R_1 || R_2$ donde A_{vi} es la ganancia sin cargas y R_1 y R_2 son las cargas de cada rama. En esta etapa, como ya se mencionó con anterioridad, se busca que ambas ramas del amplificador sean idénticas porque tanto la entrada como la salida son diferenciales. Siendo las dos cargas iguales $R_1 = R_2 = R$, al estar conectadas en paralelo el valor de ganancia resulta $A_v = A_{vi} \frac{R}{2}$. Esto quiere decir que, mientras mayor sea la carga resistiva añadida a las ramas, mayor será la ganancia. Para conectar un transistor PMOS como diodo se debe cortocircuitar el *gate* y *drain* del transistor. De esta manera la carga resistiva resultante es el recíproco de la transconductancia; se reemplaza la Ecuación 3 en la Ecuación 2 y se obtiene la Ecuación 4. En esta última, se vuelve a evidenciar la dependencia de la transconductancia sobre el ancho de la compuerta del transistor. Para que la resistencia de las cargas sea lo más grande posible, la transconductancia debe ser lo más pequeña posible por lo que se establece un *aspect ratio* de 2.

$$gm = k'_n \frac{W}{L} (V_{GS} - V_t) \quad \text{Ecuación 4}$$

2.3. Espejo de corriente.

Ya dimensionados los transistores de enriquecimiento y las cargas activas, se procede a optimizar un espejo de corriente básico, que consiste en dos transistores de referencia de corriente y uno de cola de las ramas del par diferencial. Las topologías de espejos de corriente tienen dispositivos NMOS, para nuestro diseño se realiza solo con dispositivos PMOS. En todo el diseño se conectan los bultos a VDD para optimizar el umbral de los dispositivos y todo el circuito en general. El esquemático completo de esta primera etapa se encuentra en la Figura 6.

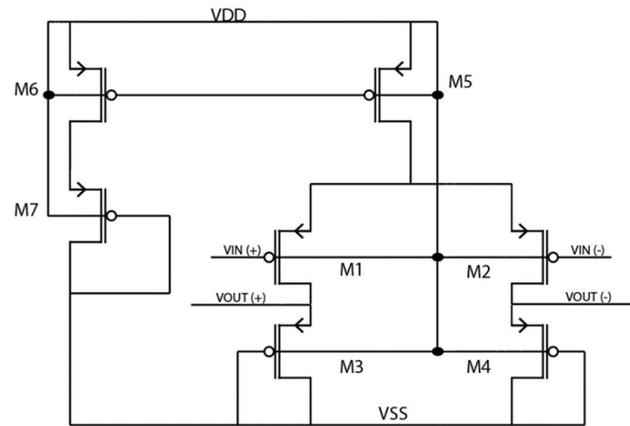


Figura 6. Esquemático primera etapa OTA

El dimensionamiento resultante de esquemático presentado se encuentra en la Tabla 2. Como se ve en la última columna de esta tabla, se encuentra el número de *fingers* por transistor para la construcción física del circuito. En los dispositivos más grandes se usa un mayor número de *fingers* para que el alto total del circuito sea lo menor posible. Se realiza un *layout*, (plano físico del circuito) mostrado en el Anexo A, para poder extraer todos los parásitos del diseño y realizar el estudio de la etapa *post-layout*.

Dispositivo	L [μm]	W [μm]	Número de <i>Fingers</i>
M1, M2	0.25	25	25
M3, M4	0.25	0.5	1
M5	0.25	8.0	16
M6	0.25	3.0	5
M7	0.25	0.6	1

Tabla 2. Dimensionamiento primera etapa OTA

Capítulo 3: Análisis de la primera etapa

Ya con el *layout* realizado del diseño de nuestra primera etapa del OTA, se procede a realizar todo el análisis eléctrico del mismo. En el presente capítulo procederemos a estudiar el comportamiento del circuito con la topología de solo PMOS. En primera instancia se realiza el análisis de corriente alterna (AC).

3.1. Análisis AC.

Es indispensable realizar el estudio en pequeña señal de nuestro circuito para poder saber que esperar de los resultados de este. Para esto se analiza una de las ramas del par diferencial compuesta por los transistores M1 y M3. El circuito equivalente se presenta en la Figura 7, como se puede ver, se cambió el transistor M3 por una resistencia R por lo explicado en el capítulo anterior.

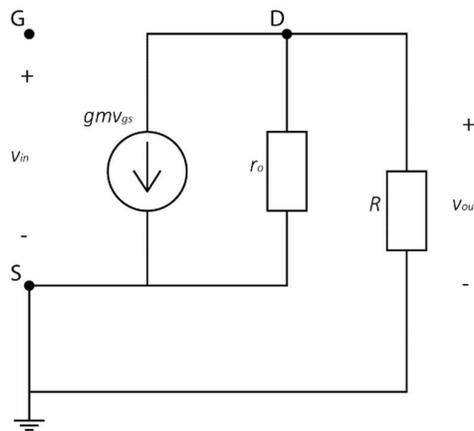


Figura 7. Equivalente en pequeña señal

De este circuito se extrae la ganancia que es la relación entre el voltaje de salida y el voltaje de entrada. El resultado de esta relación es $A_v = -gmR$. Se establece que a cada rama entra la mitad del voltaje de entrada diferencial y sale la mitad del voltaje de salida diferencial. Es decir que $v_{o1} = A_v \frac{v_{in}}{2}$, y, $v_{o2} = A_v (-\frac{v_{in}}{2})$. Sacando la relación entre el voltaje de salida diferencial y el voltaje de entrada diferencial se obtiene el resultado presente en la Ecuación 5

correspondiente a la ganancia diferencial. Como se puede ver en esta ecuación, el signo negativo demuestra que la fase dentro de la banda pasante estará invertida.

$$A_{VD} = -gmR \quad \text{Ecuación 5}$$

Se procede a realizar la simulación en corriente alterna para generar el diagrama de BODE y poder extraer los parámetros de este análisis. Se establece una carga capacitiva a cada salida del par diferencial. Para encontrar la capacitancia ideal como carga se realiza varios diagramas para distintas capacitancias entre 1 y 100 pF.

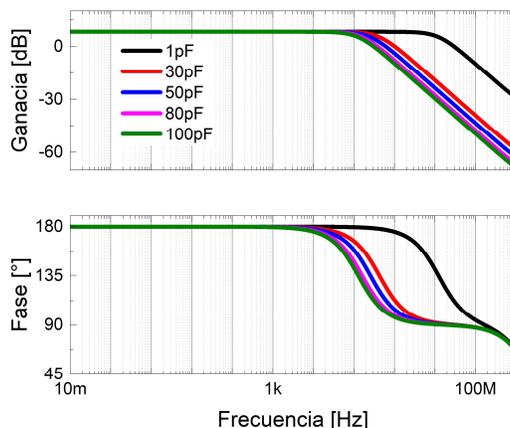


Figura 8. Diagrama de BODE de la primera etapa

En la Figura 8 se presentan los diagramas de BODE para las diferentes capacitancias de carga. Como se puede apreciar, la ganancia en banda pasante del circuito es la misma para todos los casos y tiene un valor de 8.32 dB. De igual manera, después de la medición en este diagrama se determinó que el margen de fase también permanece constante en 113° respecto a 0° . El resto de los parámetros extraíbles del presente análisis se encuentran en la Figura 9, en la que se muestra como varía el ancho de banda (GBW por sus siglas en inglés) y la frecuencia de corte con respecto a la capacitancia de carga. Tal como se muestra, el efecto de la carga sobre el comportamiento del diseño varía considerablemente con cargas menores a 50 pF. A partir de entonces, las variaciones son mínimas, por lo que se toma esta como la carga ideal. Para esta capacitancia, el GBW es de 608 kHz y la frecuencia de corte es 259 kHz. Todos estos resultados serán presentados al final de este capítulo en la tabla resumen.

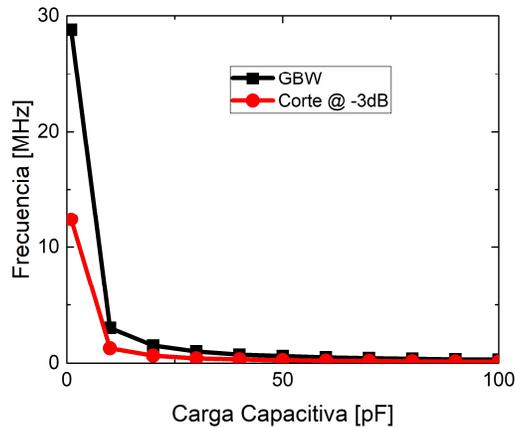


Figura 9. GBW y frecuencia de corte respecto a la carga capacitiva

3.2. Análisis DC.

El análisis DC de un amplificador consiste en determinar el rango lineal, es decir, el rango en el que la salida se relaciona proporcional y linealmente a la entrada de este. Para esto se varía el voltaje a una de las entradas y se mide la salida diferencial obteniendo la curva mostrada en la Figura 10. En esta se tienen 3 rangos, un estado de atenuación de la señal, otro de saturación y el otro es el rango lineal que es el que se está buscando para este análisis. Este rango lineal va desde -40.2 hasta 443 mV, es decir un total de 483.2 mV. Este amplio rango lineal nos asegura un buen *output swing* que se analizará más adelante.

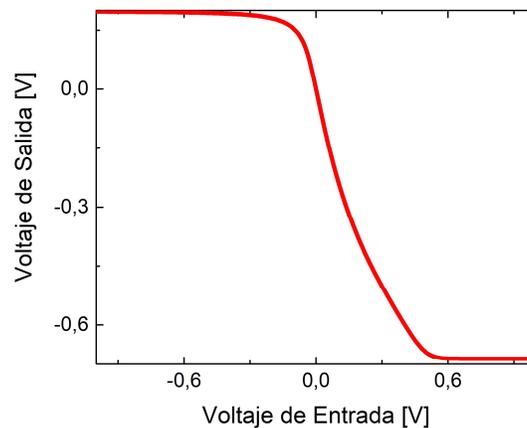


Figura 10. Voltaje de salida respecto a la entrada

3.3. Análisis transitorio.

Consecuentemente, se realiza un análisis transitorio para observar la respuesta temporal del circuito. Este análisis se lo realiza tomando en consideración la variación de las capacitancias de carga entre 1 y 100 pF. De esta manera, se puede observar la señal de voltaje de salida en comparación con la señal de entrada con el fin de verificar la amplificación de salida y la linealidad del circuito.

Para el caso, se debe recalcar que la entrada del circuito corresponde a una señal diferencial entre dos señales senoidales cada una de 1 kHz de frecuencia con la diferencia de que la señal que ingresa por el lado negativo se encuentra con un desfase de 180° . Por lo tanto, se realiza el análisis transitorio para obtener información de la linealidad del circuito, tomando en constancia que el OTA realiza la amplificación de la diferencia entre las dos señales de entrada.

Como se puede observar en la Figura 11, la señal senoidal de entrada (negro) corresponde a la diferencia de dos señales senoidales de 1kHz con 10mV de amplitud. La señal de voltaje de salida (rojo) que demuestra una correcta linealidad de la salida diferencial y una amplificación hasta 53mV de amplitud. De esta manera, la amplificación posee un factor de ganancia de 2.65, lo que indica una ganancia de 8.32dB del amplificador OTA.

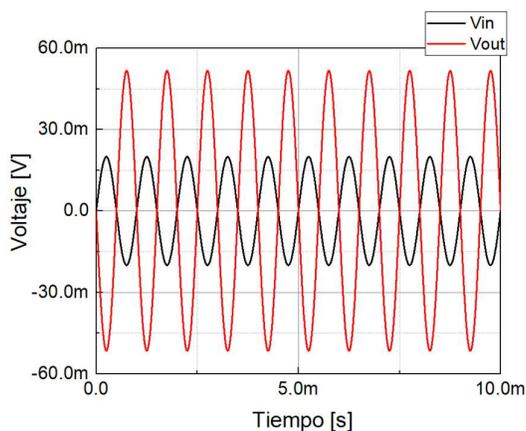


Figura 11. Respuesta temporal para la linealidad de la primera etapa

La señal diferencial de salida posee un desfase de 180° respecto a la señal diferencial de entrada. La explicación para este desfase se basa en la expresión de la ganancia del circuito OTA señalada previamente en la Ecuación 6. Al observar que la expresión de la ganancia es negativa, se puede entonces tener el desfase en la señal diferencial de salida del circuito OTA. Igualmente, realizando un análisis del circuito utilizando Leyes de Kirchoff y considerando que el transistor de carga se encuentra en modo de enriquecimiento, el voltaje de salida del circuito sería como se presenta a continuación (Rashid, 2011):

$$V_o = V_{DD} - V_t - \sqrt{\frac{2i_D L}{W\mu_n C_{ox}}} \quad \text{Ecuación 6}$$

Observando la fórmula, se puede determinar que cuando la señal de entrada se encuentra en su semiciclo positivo, el valor de la corriente de *drain* crece, causando que el voltaje de salida sea negativo y se realice esta inversión de 180° en la fase de la señal de salida.

Dentro del análisis transitorio, se proceden a realizar cálculos adicionales sobre las características eléctricas del diseño. Principalmente, los valores más relevantes que se extraen son la distorsión armónica total (THD) realizando la Transformada de Fourier de la señal de salida para el análisis de los armónicos, y tasa de rechazo de modo común (CMRR) que se realiza obteniendo la ganancia en decibelios de la salida diferencial dividida la salida de un solo puerto. Para el efecto, se utilizan las siguientes fórmulas.

$$\%THD = \sqrt{\frac{V_3^2 + V_5^2 + V_7^2}{V_1^2}} \times 100 \quad \text{Ecuación 7}$$

Para la tasa de rechazo de modo común se utiliza la Ecuación 8:

$$CMRR = 20 \times \log\left(\frac{A_{diff}}{A_{SE}}\right) \quad \text{Ecuación 8}$$

Finalmente, habiendo realizado los análisis DC, AC y transitorio para la primera etapa del circuito OTA, se procede a resumir las características eléctricas obtenidas de todos estos

análisis en la siguiente tabla. Para la tabla que se presenta a continuación, la capacitancia de carga utilizada es de 50 pF.

OTA 1stg Características	Simulación Post-Layout
Tecnología	TSMC 180nm PMOS MVT
Voltaje de alimentación (V)	0.5
Potencia Promedio (μW)	15.85
Ganancia en lazo abierto (dB)	8.32
Frecuencia de corte en -3dB (kHz)	259
Ancho de banda [kHz]	608
Corriente de entrada @ 25°C (μA)	31.7
Slew Rate Rise (V/μs)	281
Slew Rate Fall (V/μs)	-281
Output Swing (V)	0.71
CMRR @1kHz	29.62
Capacitancia de carga (pF)	50
THD @-40dB input amplitud (%)	0.23
Margen de fase (°)	113
Rango Lineal (mV)	[-40.2;443]
Número de transistores	7
Transconductancia (μS)	111

Tabla 3. Características eléctricas circuito OTA primera etapa

3.4. Process corners.

Process corners o *process variability* corresponde a un mecanismo de variación de las características de los procesos y el ambiente del circuito, con la finalidad de analizar su funcionamiento dentro de los peores casos y considerando que, dentro de tecnología CMOS, existe la posibilidad de caracterizar a los transistores dependiendo de su velocidad en tres grupos: *typical (T)*, *fast (F)* y *slow (S)* (Weste y Harris, 2011). Principalmente, esta técnica corresponde a un método de diseño de experimentos que permite evaluar el rendimiento de los dispositivos realizados con tecnología CMOS, frente a posibles variaciones en los parámetros que pueden existir en la fabricación de la oblea final del circuito integrado (Razavi, 2017).

Por lo tanto, se realiza un análisis todas las combinaciones de comportamiento que corresponde a FF, SS, FS y SF en comparación con el comportamiento típico del dispositivo que es TT, para una temperatura de 25°C. Este análisis se realiza con el fin de poder comprobar la robustez del dispositivo frente a posibles variaciones dentro de la fabricación.

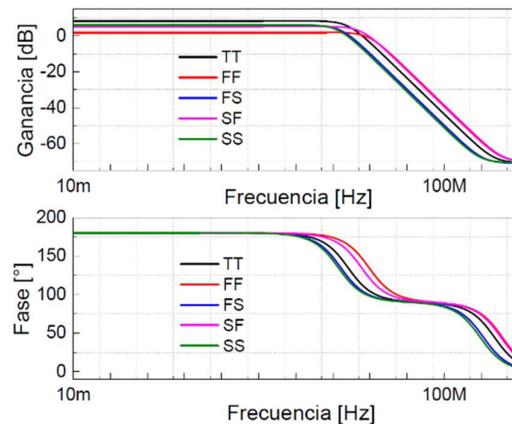


Figura 12. Variabilidad de proceso para la primera etapa – análisis en frecuencia

Realizando el análisis y medición de los valores para las diferentes variaciones de proceso, se define que el resultado óptimo corresponde a la operación del dispositivo en su proceso típico TT, con una ganancia de 8.32 dB para una temperatura de 25 °C. Sin embargo, para este valor de temperatura nominal, se obtienen ganancias de 5.99 dB para los procesos FS y SS, lo cual corresponde a un decrecimiento de ganancia del 28%. Esto se debe a que, al únicamente estar trabajando con tecnología PMOS, el proceso *slow* (*S*) posee mejores resultados para temperaturas positivas lo que indica que, para los procesos FF y SS, la sensibilidad del dispositivo es baja.

Verificando estos resultados obtenidos dentro del diagrama de Bode para los diferentes procesos, se observa que, para temperatura ambiente de 25°C, el dispositivo se muestra resultados robustos frente a las posibles variaciones en su fabricación.

Corner Analysis:	TT	FF	SS
Gain [dB]	8.32	1.92	5.99
GBW [kHz]	616	683	241
Phase Margin [°]	113	143	120

Tabla 4. Análisis de variabilidad de proceso primera etapa

Por lo tanto, en temperatura ambiente el peor caso de funcionamiento del circuito sería en el proceso *fast-fast* (*FF*), en donde se puede verificar un decrecimiento de ganancia del 76.9%. Sin embargo, aún para el peor de los funcionamientos, el OTA demuestra una salida con amplificación positiva y un ancho de banda de operación 10% mayor.

Capítulo 4: Segunda etapa del OTA

En el presente capítulo se añade una segunda etapa al diseño de nuestro OTA para mejorar el desempeño y obtener resultados comparables a los circuitos de las referencias.

4.1. Diseño de la segunda etapa.

Para diseñar esta etapa se decide mantener una salida diferencial, es decir, de cada salida de la primera etapa se añadirá un circuito de amplificación exactamente igual. Este diseño de amplificación se lo realizará con un *common source* basado en la misma topología de solo PMOS. En esta topología es necesario añadir un transistor adicional al amplificador puesto que la corriente debe provenir de la polarización del espejo de corriente diseñada en la Sección 2.3.

En la Figura 13 se presenta el circuito de amplificación para esta etapa. El transistor superior es el encargado de interconectar el espejo de corriente con esta nueva etapa mediante V_e . Refiriéndonos nuevamente a la Ecuación 3, la corriente a través del transistor es directamente proporcional al ancho de su compuerta por lo que este transistor es diseñado con el máximo *aspect ratio* establecido en el Capítulo 2 por lo que se establece un ancho de compuerta de 25 μm . Este es el transistor encargado de polarizar el *common source* compuesto por los transistores siguientes.

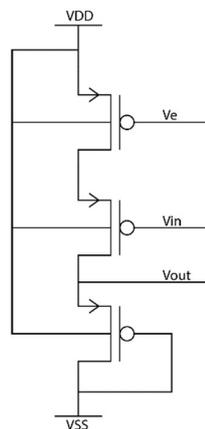


Figura 13. Esquema Common Source PMOS Only

El siguiente transistor por dimensionar corresponde al que interconecta la primera con la segunda etapa, por medio del punto V_{in} en la Figura 13. Dado que este recibe la salida de la

etapa previa y la amplifica, se necesita una alta transconductancia para obtener la mejor ganancia posible. Por este motivo nos referimos a la Ecuación 4 donde se determina que la transconductancia también es directamente proporcional al ancho de la compuerta. Es así como en este caso también se dimensiona el transistor con el máximo *aspect ratio*.

Finalmente, se necesita una carga activa entre etapa de amplificación y la polarización negativa. En medio de este y el transistor anterior tendremos la salida de este diseño, por lo cual se necesita que la carga resistiva sea lo más alta posible para poder retener la mayor diferencia de potencial. Dado que la resistencia es el recíproco de la transconductancia, lo que se busca es cumplir con el menor *aspect ratio* tal como en las cargas de la primera etapa. Esto nos deja con un dimensionamiento de $0.5 \mu\text{m}$ para el ancho de la compuerta. A continuación, se presenta el esquema con la segunda etapa de amplificación para cada salida diferencial, la misma está compuesta por los transistores del M8 al M13.

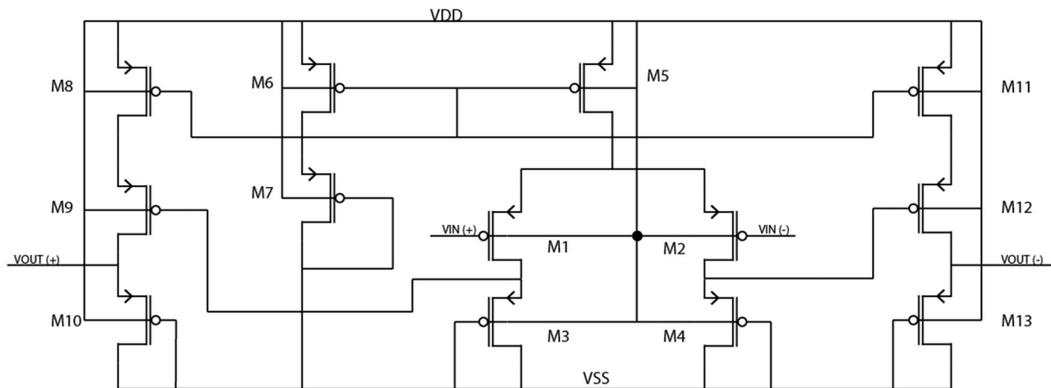


Figura 14. Esquema eléctrico OTA PMOS Only

En la Tabla 5 se presenta el dimensionamiento de los transistores del esquema de la Figura 14 con la planificación respectiva de *Fingers* para la construcción física del circuito.

En el Anexo B se presenta el *layout* final de este diseño.

Dispositivo	L [μm]	W [μm]	Número de Fingers
M1, M2, M8, M9, M11, M12	0.25	25	25
M3, M4, M10, M13	0.25	0.5	1
M5	0.25	8.0	16
M6	0.25	3.0	5
M7	0.25	0.6	1

Tabla 5. Dimensionamiento de transistores del OTA

4.2. Análisis AC.

Como se ha mencionado previamente, el estudio en pequeña señal del dispositivo es importante para comprender su funcionamiento y su comportamiento. Por lo tanto, es necesario obtener el diagrama de Bode del circuito para analizar su comportamiento en el dominio de la frecuencia. Analizando la nueva topología propuesta para el OTA, se puede observar que la segunda etapa corresponde a la construcción de circuitos *source* común conectados en cascada a las salidas de la primera etapa. Debido a ello, analizado una de las salidas modificadas, los transistores M9 y M10 corresponden a un *source* común que posee una ganancia resultante de $A_v = -gmR$, en donde el transistor M10 corresponde a la carga y se la ubica como resistencia. En la Figura 15, se observa el equivalente en pequeña señal para obtener la expresión de la ganancia del circuito total considerando los ramales de transistores M1, M3, M9 y M10:

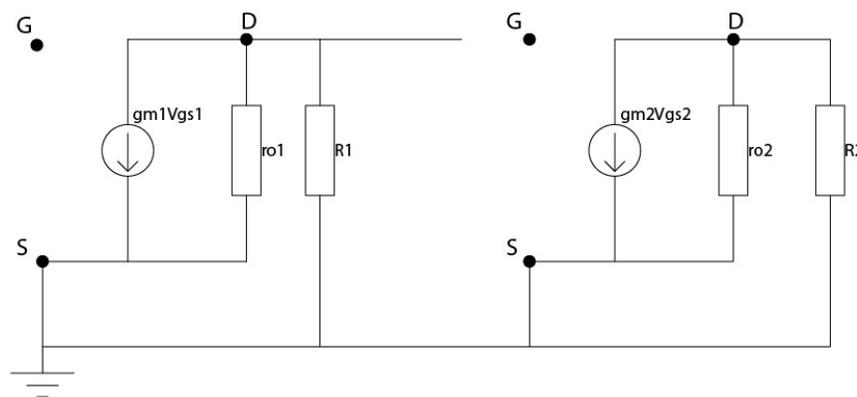


Figura 15. Análisis pequeña señal OTA

Verificando este circuito, se puede definir que el voltaje de salida de la primera etapa $V_{out1} = -g_{m1}V_{gs}R_1$, siendo este el valor del voltaje de entrada para la segunda etapa. Esto

quiere decir que $V_{out2} = -g_{m2}V_{out1}R_2$. Reemplazando los valores previamente analizados, y tomando en consideración que el voltaje de salida de la primera etapa corresponde a la entrada de la segunda, se tiene una expresión para la ganancia de la segunda etapa de la forma $A = gmR$. Obteniendo nuevamente esta expresión para la ganancia del ramal de salida opuesto y, realizando la relación entre estos, se obtiene la misma ecuación de ganancia para la salida diferencial, se puede definir que la ganancia total del circuito OTA de dos etapas es:

$$A_{VD} = g_{m2}R_2 \quad \text{Ecuación 9}$$

Por lo tanto, se procede a realizar una simulación del circuito para obtener el diagrama de Bode del sistema para una carga capacitiva de 50pF. De esta manera, se puede comprobar las mediciones para los valores de ganancia, ancho de banda y margen de fase.

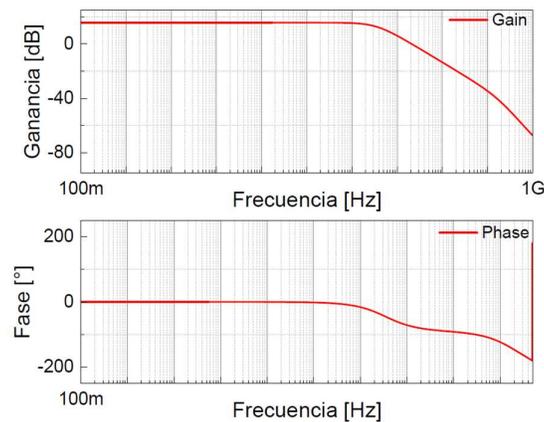


Figura 16. Diagrama de bode 2 etapas

Observando el diagrama de Bode para la segunda etapa del OTA, se determina que este posee una ganancia en la banda pasante de 15.7dB. Igualmente, del diagrama de Bode se extrae el valor del ancho de banda GBW, el cual, para este caso de dos etapas, crece a un valor de 2.08MHz. Esto demuestra que el rendimiento y estabilidad del circuito es mejor, ya que igualmente se posee un valor de margen de fase de -81.3 y corte a -3dB en 347kHz.

Adicionalmente, observando el diagrama de Bode correspondiente a la Figura 18, se realiza el análisis de estabilidad del circuito determinando el margen de fase y de ganancia

respecto a -180° . Esto con la finalidad de determinar si el circuito es estable respecto a la ubicación de sus polos y ceros de su función transferencia. Las condiciones de estabilidad mencionan que, para que un sistema sea estable, su margen de fase y de ganancia respecto a -180° deben ser positivos. Por lo tanto, se realiza la medición de dichos valores, obtenido un resultado de 56.1dB para el margen de ganancia y 98.7° para el margen de fase. De esta manera, se pudo determinar que el sistema diseñado es estable (Miao, Xin y Zhao, 2019).

4.3. Análisis DC.

Al igual que en la primera etapa, se hace un barrido hacia una de las entradas y se mide el voltaje diferencial obtenido a la salida OTA. La curva obtenida se muestra en la Figura 17, como se puede apreciar, al igual que en la sección 3.2 se presentan 3 regiones del amplificador. La región de interés en este caso es la lineal que, en comparación a la primera etapa, es menor, con un rango entre -28.7 y 126 mV. Este rango es de un total de 154.7 mV, es considerablemente menor al de la primera etapa, pero es un resultado esperado al añadir 6 transistores.

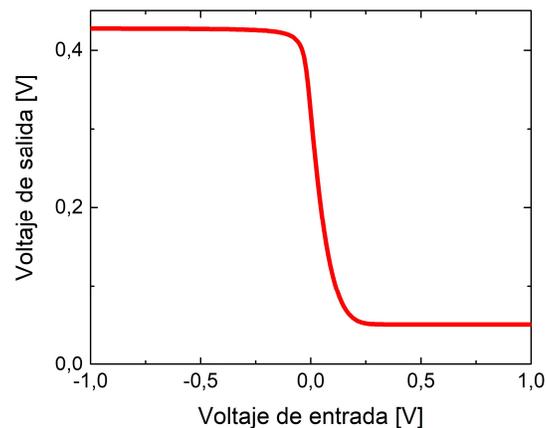


Figura 17. Voltaje de salida respecto a la entrada del OTA

4.4. Análisis transitorio.

En este nuevo análisis transitorio, se establecen los mismos parámetros que en la sección 3.3. La frecuencia es de 1 kHz para ambas señales de entrada y están desfasadas 180° una con respecto de la otra. Como ya se describió previamente, lo fundamental de este análisis es

determinar la linealidad de nuestro amplificador. Esto, verificando que la forma de onda a la entrada se mantenga a la salida cambiando nada más su amplitud.

En la Figura 18, se observa las curvas de la entrada diferencial (negro) y de la salida diferencial (rojo). Aquí se aprecia la amplificación en 15.7 dB de la salida respecto a la entrada. Esta segunda etapa de amplificación actúa sobre la primera en función de la Ecuación 6, provocando que la señal invertida con anterioridad se vuelva a invertir obteniendo en banda pasante un desfase de 360° o 0° . Todo este análisis avala lo visto dentro del análisis AC, tanto en la curva de ganancia como de fase. Además, se puede apreciar que la entrada diferencial es una señal sinusoidal y a la salida, a pesar de la amplificación, se mantiene la forma de onda comprobando la linealidad del circuito diseñado.

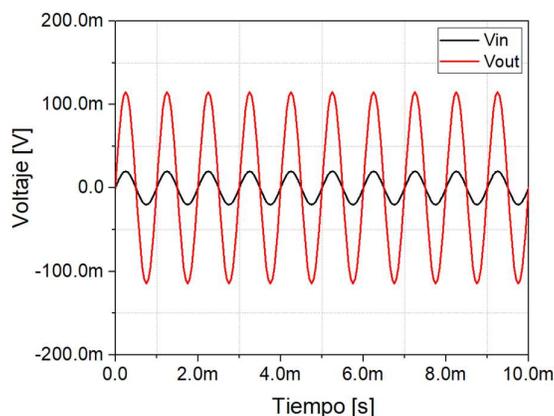


Figura 18. Voltaje en función del tiempo

Finalmente, se vuelve a utilizar la Ecuación 7 y la Ecuación 8 para completar la extracción de características eléctricas del OTA con los valores de THD y CMRR respectivamente. Todas las características del OTA con las dos etapas diseñadas en este trabajo se presentan en la Tabla 6. En lo que respecta al THD, el valor aumenta, pero se mantiene por debajo de 1 por lo que la distorsión no es significativa. Por el lado del CMRR se tiene una mejora del valor, lo que se puede atribuir a la mejora de ganancia en banda pasante.

OTA 2stg Características	Simulación Post-Layout
Tecnología	TSMC 180nm PMOS MVT
Voltaje de alimentación (V)	0.5
Potencia Promedio (μW)	40.15
Ganancia en lazo abierto (dB)	15.7
Frecuencia de corte en -3dB (kHz)	347
Ancho de banda [kHz]	2080
Corriente de entrada @ 25°C (μA)	80.3
Slew Rate Rise (V/ μs)	248
Slew Rate Fall (V/ μs)	-403
Output Swing (V)	0.92
CMRR @1kHz	53.46
Capacitancia de carga (pF)	50
THD @-40dB input amplitude (%)	0.92
Margen de fase (°)	-81.3
Rango Lineal (mV)	[-28.7;126]
Número de transistores	13
Transconductancia (μS)	242

Tabla 6. Características eléctricas circuito OTA

4.5. Process corners.

Para el caso, se realiza el análisis de variabilidad de proceso con el fin de comprobar si el diseño es robusto ante las variaciones dentro de su proceso de fabricación. Por ende, se realiza un análisis en frecuencia para los procesos FF, SS, FS y SF en comparación con el proceso TT, con el fin de verificar la variación en cada caso. Como valor de temperatura, se utiliza 25°C correspondiente a una temperatura normal de operación.

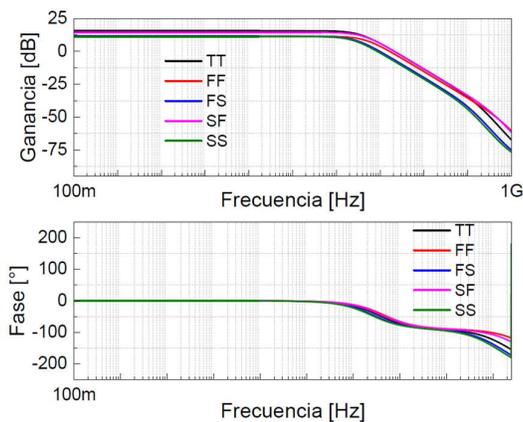


Figura 19. Variabilidad de proceso para OTA – análisis en frecuencia

Observando los resultados, se define que la segunda etapa del circuito OTA presenta una mejora, puesto que es más robusta frente a las posibles variaciones de proceso. Esto se debe a que su ganancia en TT es de 15.7dB y, para variaciones FF, FS y SS, la ganancia decrece únicamente en un 27%, ya que éstas son de 11.4dB. Para el proceso SF, el decrecimiento únicamente es del 8.2% que corresponde a 14.4dB. De esta manera, se verifica que la sensibilidad del dispositivo a cambios en el proceso de fabricación es baja.

Igualmente, se verifican los resultados del diagrama de Bode en una temperatura ambiente de 25°C de manera similar a la primera etapa. De estos resultados se verifica que la segunda etapa presente un diseño robusto, ya que no presentan alta sensibilidad a variaciones en su proceso.

Corner Analysis:	TT	FF	SS
Gain [dB]	15.7	11.4	11.4
GBW [MHz]	2.08	1.64	0.85
Phase Margin [°]	-81.4	-74.6	-74.7

Tabla 7. Análisis de variabilidad de proceso OTA

Observando los resultados reportados en la Tabla 8, el peor caso para temperatura ambiente de la segunda etapa corresponde al proceso *slow-slow (SS)*, en donde se tiene un decrecimiento del 59.1% del ancho de banda. Sin embargo, las ganancias permanecen constantes en todas las variaciones de proceso, demostrando que el circuito posee baja sensibilidad ante estas variaciones.

4.6. Comparación de resultados.

Como se mencionó en la introducción, este diseño resultó como derivación de la topología *NMOS Only* de Richelli, et al (2018). Es por este motivo, que en este punto resulta necesario realizar una comparación entre estas topologías. Esto se realiza con el objetivo de verificar tanto mejoras como bajas en el desempeño de un OTA en un cambio de topología. La comparación en cuestión se detalla en la Tabla 8.

Característica	<i>NMOS Only</i> (Richelli, et al, 2018)	<i>PMOS Only</i> (Este trabajo)
Polarización	Low Vdd	Ultra low Vdd
Ganancia [dB]	35	16
GBW [MHz]	29	2
Área [μm^2]	16000	636
FOM	0.2	1.29

Tabla 8. Comparación de resultados entre topologías

La primera característica por discutir es la polarización del circuito. El uso de una polarización baja permite acceder a casi cualquier aplicación, incluso biomédicas, como consecuencia de no exigir una diferencia de potencial alta. Para el caso de este trabajo, el diseño es compatible con una polarización *Rail-to-Rail* de 0.5 V mientras que para el caso de la topología *NMOS Only*, el diseño tenía una alimentación de 1.8 V.

La siguiente comparación corresponde a las características AC de los diseños. Revisando la Tabla 8 se puede notar claramente que la topología *NMOS Only* tiene mejores características. En el caso de ganancia, la diferencia es de poco más del doble en contra de *PMOS Only*. En el ancho de banda la diferencia no es significativa por lo que veremos después.

Por último, es indispensable ver hacia las dos últimas características a la vez. Una de ellas corresponde al área que ocupan en layout. La optimización de espacio es muy importante en el escalamiento de la tecnología. En este caso, nuestro diseño ocupa mucho menos espacio que *NMOS Only*, pero considerando que esta topología tiene una etapa de amplificación más que *PMOS Only*. Otra consideración es la Figura de Mérito (FOM por sus iniciales en inglés) en la cual se aplica la Ecuación 10 (Garradhi, Hassen, Ettaghzouti, y Besbes, 2015), indicador del desempeño del circuito en cuestión. Como se puede ver, el valor de FOM es mayor para nuestro diseño, considerando que tenemos desventaja en el GBW, podemos atribuirlo al valor de corriente de entrada. La única forma de obtener un valor mucho mayor es teniendo una corriente mucho menor, lo que resultaría finalmente en un consumo de potencia mínimo.

$$FOM = \frac{GBW}{I_{VDD}} C_L \quad \text{Ecuación 10}$$

CONCLUSIONES

El Amplificador Operacional de Transconductancia (OTA) diseñado únicamente con tecnología PMOS es presentado junto con su análisis para su primera y segunda etapa. Ambos diseños son estudiados con el objetivo de poder ofrecer un diseño mejorado y optimizado en función de su dimensionamiento, consumo de potencia, área del dispositivo y características eléctricas y de rendimiento. Principalmente, se puede concluir que el diseño del OTA propuesto en el presente trabajo, demuestra una mejora frente al circuito OTA presentado en el artículo de investigación de Richelli, et al (2018) en términos de área, consumo de voltaje, potencia y en la figura de mérito de desempeño del dispositivo. Esto se debe a que el OTA *PMOS only* propuesto en el presente documento demuestra una reducción del área en un 96%, así como una mejora de la figura de mérito pasando de 0.2 a 1.29. Esto demuestra un correcto dimensionamiento de los transistores utilizados, así como una optimización del área del circuito aprovechando las características propias de la tecnología PMOS y de la librería.

Por otra parte, se puede concluir que el diseño de la segunda etapa alcanza una mejora notable en su ganancia respecto al diseño de una etapa, puesto que la ganancia crece en un 92% respecto a la primera etapa. A pesar de que el diseño de Richelli, et al (2018), reporta una ganancia de 35dB, el diseño del OTA *PMOS only* demuestra una ganancia favorable tomando en consideración el valor de voltaje de polarización utilizados para ambos diseños. Esto indica que el diseño *PMOS only* posee una ganancia destacable a pesar de utilizar únicamente el 27% del voltaje de polarización utilizado por el diseño *NMOS only* propuesto por Richelli, et al (2018). Esto permite concluir que el diseño *PMOS only* demuestra una correcta optimización del consumo de voltaje y, consecuentemente, del consumo de potencia del circuito. Adicionalmente, estas mejoras en consumo de potencia y voltaje no comprometen las características en AC del circuito, puesto que este presenta una significativa ganancia en lazo abierto, margen de fase y ancho de banda, demostrando una correcta implementación y

desarrollo del dispositivo que asegura el correcto aprovechamiento de las características que se pueden obtener de un diseño novedoso como el de *PMOS only*.

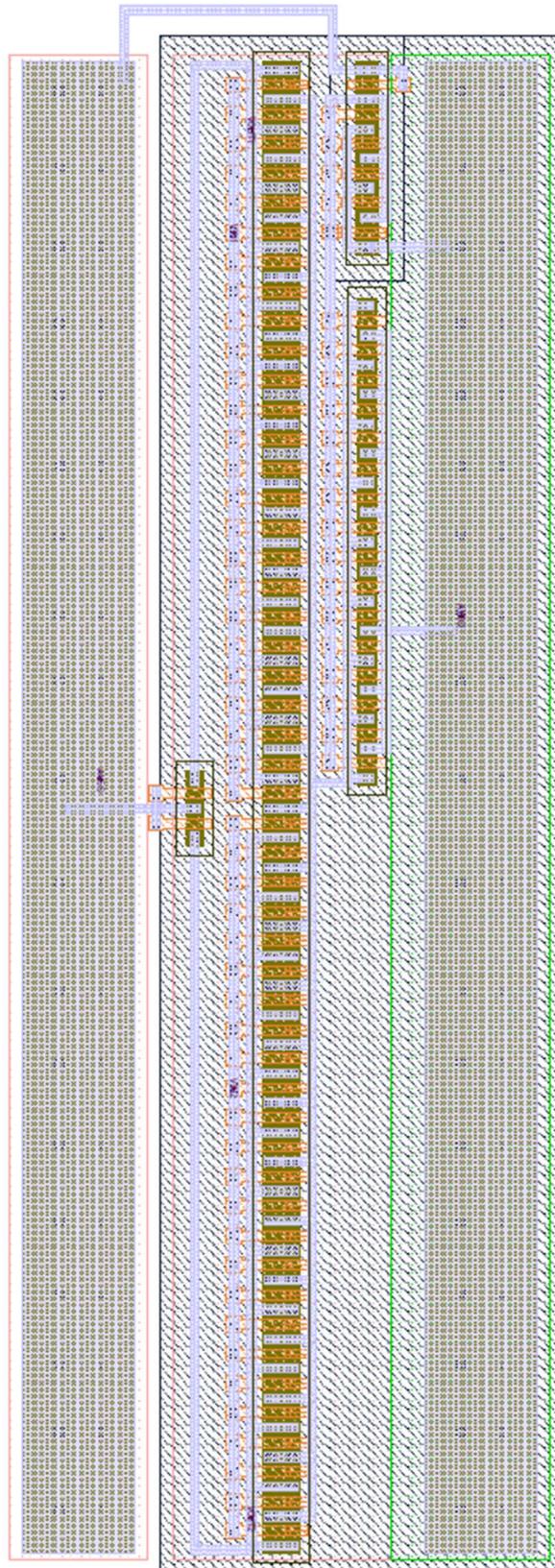
Realizando un análisis más detallado de los diseños presentados, tanto para la primera como para la segunda etapa del circuito OTA *PMOS only*, se elabora la simulación de las variaciones de proceso o *process corners* para una temperatura nominal y para temperaturas en extremo. De este análisis se puede concluir que ambas etapas demuestran un diseño robusto, con una mayor relevancia dentro del análisis de la segunda etapa, puesto que, en temperaturas nominales, la ganancia del diseño decrece únicamente en un 27% para procesos FF, FS y SS, lo que permite concluir un correcto funcionamiento del dispositivo ante posibles variaciones en el proceso de fabricación y, demostrando que para temperaturas positivas, el proceso *slow (S)* posee una mejor respuesta frente al proceso *fast (F)* en transistores PMOS. Por lo tanto, el dispositivo propuesto demuestra baja sensibilidad ante variaciones en su proceso de fabricación y ante variaciones extremas de temperatura, indicando así que el diseño es robusto y soporta estas posibles variaciones.

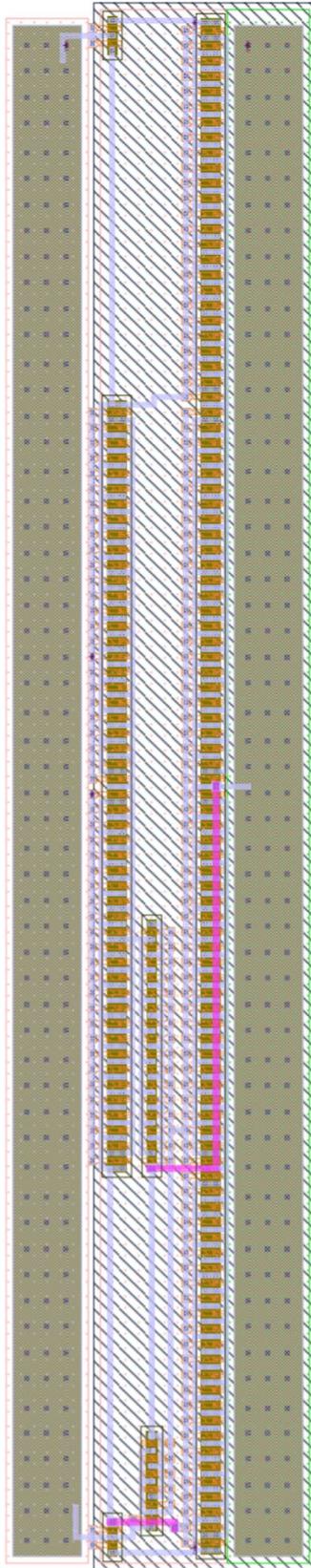
Este trabajo demuestra así, un significativo avance en el diseño de circuitos analógicos de bajo consumo de potencia y voltaje, debido al importante resultado obtenido en ambos parámetros para el OTA *PMOS only* propuesto. Por ende, se puede concluir que el diseño cumple con los requisitos y necesidades existentes actualmente en la industria de los circuitos integrados. Principalmente, este diseño puede ser utilizado dentro de circuitos biomédicos, gracias a su bajo consumo de potencia y área; igualmente, cumple con los requisitos necesarios para ser utilizado en circuitos de Internet de las Cosas, debido a que este, al ser un circuito analógico con un importante resultado de ganancia, ancho de banda y características eléctricas, constituye como un bloque fundamental de construcción en circuitos analógicos de mayor complejidad. Adicionalmente, este circuito *PMOS only* demuestra las ventajas y características positivas que pueden ser aprovechadas al utilizar dispositivos PMOS MVT.

Finalmente, se puede concluir que el trabajo permitió el análisis e implementación de una topología novedosa y desafiante, puesto que únicamente se utilizan transistores tipo PMOS, los cuales poseen características eléctricas intrínsecas que pueden causar dificultades en el diseño. Estas características son su sensibilidad al ruido, baja ganancia y velocidad de respuesta ante cambios en su entrada. Sin embargo, el presente diseño demuestra la optimización y correcto uso de las características y ventajas de un transistor PMOS. En futuras investigaciones y aplicaciones, se recomienda realizar un estudio y análisis detallado de las posibles mejoras en ganancia que se pueden realizar mediante la polarización de los bultos, así como una optimización del voltaje de polarización a valores más bajos, con la finalidad de aumentar las posibles aplicaciones del circuito.

REFERENCIAS BIBLIOGRÁFICAS

- Garradhi, K., Hassen, N., Ettaghzouti, T., y Besbes, K. (2015). Low Voltage Low Power Highly Linear OTA using Bulk Driven Technique. 2015 27th International Conference on Microelectronics (ICM). Conferencia llevada a cabo en Casablanca, Maruecos.
- Hu, C. (2009). *Modern Semiconductor Devices for Integrated Circuits*. California, US: Pearson Education
- Miao, L., Xin, J. y Zhao, B. (2019). Revisit Nyquist-Bode Stability Criteria for Power Electronic System with Non-minimum Phase System. 2019 IEEE 4th International Future Energy Electronics Conference (IFEEC). Conferencia llevada a cabo en Singapur, Singapur.
- Nayak, A., et al. (2019). Design of High Gain Operational Transconductance Amplifiers in 180nm CMOS Technology. *IEEE International Conference on Distributed Computing, VLSI, Electrical Circuits and Robotics (DISCOVER)*. Conferencia llevada a cabo en Manipal, India.
- Rashid, M. (2011). *Microelectronic Circuits Analysis and Design*. Connecticut, US: Cengage Learning.
- Razavi, B. (2017). *Design of Analog CMOS Integrated Circuits*. New York, US: McGraw-Hill Education.
- Rezaei, F. y Azhari, S. (2010). A highly linear Operational Transconductance Amplifier (OTA) with high common mode rejection ratio. *2010 International Conference on Signal Acquisition and Processing*. Conferencia llevada a cabo en Bangalore, India.
- Richelli, A. et al. (2018). A Survey of Low Voltage and Low Power Amplifier Topologies. *Journal of Low Voltage and Low Power Amplifier Topologies*, 8, 1-20. doi: 10.3390/jlpea8030022.
- Sedra, A. y Smith, K. (2002). *Microelectronic Circuits*. Oxford, UK: Oxford Series.
- Wieder, A. y Neppel, F. (1992). CMOS Technology Trends and Economics. *IEEE Micro*. 12(4), 10-19.
- Weste, N. y Harris, D. (2011). *CMOS VLSI Design A Circuit and System Perspective*. Massachusetts, US: Pearson Education Inc.

ANEXO A: LAYOUT DE LA PRIMERA ETAPA DEL OTA

ANEXO B: LAYOUT DEL OTA CON 2 ETAPAS

ANEXO C: CÓDIGO DE MATLAB PARA GENERACIÓN DE BODES

```
FREQ = [Frequency vector];
Gain = [Custom compiler gain vector (complex numbers)]

Vout_Gain = 20.*log10(Gain);
Vout_phase = abs((angle(Gain))*(180/pi));
subplot(2,1,1)
semilogx(FREQ,real(Vout_Gain))
xlabel('Frequency [Hz]')
ylabel('Gain [dB]')
grid on
title('Bode diagram C=100pF')
subplot(2,1,2)
semilogx(FREQ, Vout_phase)
grid on
xlabel('Frequency [Hz]')
ylabel('Phase [°]')
```