

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

**Comparación de Dispositivos de 10nm TFET y FinFET a través
de Síntesis de Circuitos Digitales operando a Voltajes Ultra-Bajos**

Mateo José Rendón Arias

Ingeniería Electrónica y Automatización

Trabajo de fin de carrera presentado como requisito
para la obtención del título de
Ingeniero en Electrónica

Quito, 13 de diciembre de 2021

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

HOJA DE CALIFICACIÓN DE TRABAJO DE FIN DE CARRERA

**Comparación de Dispositivos de 10nm TFET y FinFET a través de Síntesis
de Circuitos Digitales operando a Voltajes Ultra-Bajos**

Mateo José Rendón Arias

Nombre del profesor, Título académico

**Ramiro Taco, PhD
Luis Miguel Prócel, PhD**

Quito, 13 de Diciembre de 2021

© DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en la Ley Orgánica de Educación Superior del Ecuador.

Nombres y apellidos: Mateo José Rendón Arias

Código: 00201689

Cédula de identidad: 1805372131

Lugar y fecha: Quito, 13 de diciembre de 2021

ACLARACIÓN PARA PUBLICACIÓN

Nota: El presente trabajo, en su totalidad o cualquiera de sus partes, no debe ser considerado como una publicación, incluso a pesar de estar disponible sin restricciones a través de un repositorio institucional. Esta declaración se alinea con las prácticas y recomendaciones presentadas por el Committee on Publication Ethics COPE descritas por Barbour et al. (2017) Discussion document on best practice for issues around theses publishing, disponible en <http://bit.ly/COPETHeses>.

UNPUBLISHED DOCUMENT

Note: The following capstone project is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this project – in whole or in part – should not be considered a publication. This statement follows the recommendations presented by the Committee on Publication Ethics COPE described by Barbour et al. (2017) Discussion document on best practice for issues around theses publishing available on <http://bit.ly/COPETHeses>.

RESUMEN

En el presente trabajo se estudia y compara a los transistores de 10nm FinFET y TFET a través de distintos niveles de abstracción iniciando por los dispositivos, pasando a las compuertas lógicas, a módulos combinacionales simples, y llegando a microncontroladores complejos. La necesidad de comprender cuándo los transistores TFET tienen una ventaja de rendimiento en cuanto a potencia consumida y velocidad de operación nace a partir de limitaciones físicas que procesos básicos como el CMOS planar han experimentados a lo largo de las tendencias de miniaturización y portabilidad de dispositivos. Los dispositivos FinFET son escogidos como un punto de comparación ya que su estructura tridimensional similar al proceso planar CMOS corrige algunas de sus limitaciones.

El proceso inició con la calibración en términos de corriente y capacitancia de los dispositivos TFET hacia los FinFET donde se experimentó la asimetría, mayor capacitancia, y mejor entrega de corriente para un mismo voltaje de alimentación del primero. La construcción de cadenas utilizando compuertas lógicas dimensionadas mostró la tendencia que marcaría a ambos dispositivos: el FinFET consume hasta 3.8x veces menos energía pero sufre una caída exponencial de rendimiento al disminuir el voltaje de alimentación mientras que el TFET no presenta esta misma desventaja obteniendo una frecuencia de operación hasta 4.7x veces mejor en voltajes de alimentación menores a 400mV a costo de mayor energía. Bajo la figura de mérito Producto Delay-Energía se observó que el TFET tiene una amplia ventaja en voltajes ultrabajos.

La caracterización de compuertas lógicas en librerías de celdas estándar mostró que el TFET presenta una mejor potencia de fuga a bajos voltajes (disminución del -11%), menor retraso de propagación sobre distintas condiciones de entrada y de carga, y una capacitancia de entrada significativamente más grande que las contrapartes FinFET (2.86x veces más grande

en promedio). La síntesis de circuitos combinatoriales extensos demostró un mismo comportamiento en cuanto a la superioridad del TFET a bajos voltajes respecto a la figura de mérito Producto Energía-Delay y esta tendencia se confirmó con la síntesis de dos microprocesadores complejos con un gran número de transistores y compuertas. El TFET demostró una superioridad aún mayor de 13.0x veces más velocidad en el microprocesador MSP-430 caracterizado por ser un diseño de óptima utilización de recursos ya que la versión sintetizada con transistores TFET presentó una capacidad de llegar a mayores frecuencias de operación y de reportar menor consumo de potencia total a 200mV (-34.8% en promedio) y 300mV (-3.3% en promedio) cuando la velocidad de trabajo se relajaba. Esto muestra un gran atractivo en cuanto al uso de dispositivos TFET a voltajes ultrabajos y es necesario estudiar en un futuro trabajo si estas propiedades se mantienen en modelos físicos de este tipo de transistore.

Palabras clave: Calibración, Caracterización, FinFET, Librerías de Celdas Estándar, MSP-430, Síntesis, TFET, Voltaje Ultrabajo.

ABSTRACT

This work studies and compares the FinFET and TFET transistors through different abstraction levels beginning with devices, then to logic gates, simple combinational modules, and arriving to complex microcontrollers. The necessity to understand when the TFET transistors have a performance advantage in terms of consumed power and speed of operation is justified by the physical limitations that basic processes like the planar CMOS have experimented throughout the miniaturization and device portability tendencies. The FinFET devices are chosen as a point of comparison since their tridimensional structure similar to the CMOS planar process is able to overcome some of its limitations.

The process began with the calibration in terms of current and capacitance of the TFET devices towards the FinFET ones where the asymmetry, higher gate capacitance, and larger on-current for an equal supply voltage of the former was evident. The implementation of chains using sized logical gates demonstrated the tendency that would set both devices apart: the FinFET consumes 3.8x times less energy but suffer an exponential decrease in performance when the supply voltage is reduced; meanwhile, the TFET does not exhibit this disadvantage obtaining a frequency of operation 4.7x higher at supply voltages smaller than 400mV at the cost of higher energy consumption. Under the Energy-Delay Product figure of merit, it was observed that the TFET has a vast advantage in the ultralow voltage range.

The characterization of logic gates through standard cell libraries showed that the TFET exhibits a better leakage power at smaller supply voltages (reduction of -11%), a smaller propagation delay under several different conditions of input and load, and a larger input capacitance than their FinFET counterparts (2.86x times larger on average). The synthesis of large combinational circuits demonstrated a similar behaviour in terms of the TFET superiority at low voltages in terms of the Energy-Delay Product figure of merit and this tendency was

confirmed with the synthesis of two complex microcontrollers made out of a large number of transistors and gates. The TFET demonstrated an even higher superiority of being 13.0x faster under the MSP-430 microprocessor which is characterized for being a design that optimized the use of its resources since the version synthesized with TFET transistors presented a capability of reaching higher frequencies of operation and even exhibiting a lower total power at 200 (-34.8% on average) and 300mV (-3.3% on average) when the speed of operation was relaxed. This demonstrates the great benefits of using TFET devices at ultralow voltages and it is necessary to study them in the future to investigate if these properties are maintained while using physical models of these types of transistors.

Keywords: Calibration, Characterization, FinFET, MSP-430, Standard Cell Libraries, Synthesis, TFET, Ultralow voltage.

TABLA DE CONTENIDO

Introducción	14
Desarrollo del Tema.....	18
Parte I: Calibración de Dispositivos.....	18
Parte II: Caracterización y Creación de Librerías Estándar	25
Parte III: Síntesis de Circuitos para Comparación	32
Conclusiones	41
Referencias Bibliográficas	44

ÍNDICE DE TABLAS

Tabla 1: Dimensionamiento de las redes de Pull-Up (PUN) y Pull-Down (PDN) de compuertas lógicas básicas basadas en dispositivos TFET y FinFET	22
Tabla 2: Noise Margin normalizado para el 50% del voltaje de alimentación en un rango de 200 a 400mV de las compuertas lógicas básicas INV, NAND2, NAND3, NOR2, NOR3.....	22
Tabla 3: Especificaciones de parámetros para la elaboración de librerías de celdas estándar con Synopsys SiliconSmart	27
Tabla 4: Capacitancia de Entrada en aF para las entradas de las compuertas lógicas elaboradas con transistores FinFET y TFET	30

ÍNDICE DE FIGURAS

Figura 1: Vista transversal de fabricación del proceso Complementary Metal Oxide Semiconductor CMOS	15
Figura 2: Representación de la arquitectura FinFET con transistores tipo n y p	16
Figura 3: Representación de la arquitectura TFET con transistores tipo n y p	17
Figura 4: Respuesta de corriente de dren de dispositivos TFET y FinFET (a) tipo-p y (b) tipo-n sobre un rango de voltaje de compuerta-fuente de 0.0 a 0.5 V con un voltaje de dren-fuente de 0.1 y 0.3V	19
Figura 5: Capacitancia de compuerta de dispositivos TFET y FinFET (a) tipo-p y (b) tipo-n sobre un rango de voltaje de compuerta-fuente de 0.0 a 0.5 V con un voltaje de dren-fuente de 0.0 y 0.3V	20
Figura 6: Diagrama de mariposa de un inversor basado en (a) dispositivos TFET y en (b) dispositivos FinFET a 300mV luego del proceso de dimensionamiento.....	21
Figura 7: Diagrama de energía vs delay para tres cadenas de compuertas lógicas básicas hechas de inversores, una secuencia NAND2-NOR2 y una secuencia NAND3-NOR3 para un rango de voltaje de alimentación de entre 300 a 500mV.....	23
Figura 8: Diagrama de Producto Energía-Delay sobre el voltaje de alimentación para tres cadenas de celdas combinacionales lógicas simples.	24
Figura 9: Diagrama de flujo del software de caracterización Synopsys SiliconSmart	26
Figura 10: Estructura de D Flip-Flop con transistores de paso e inversores a la entrada y salida para actuar como buffers	27

Figura 11: Potencia de Fuga para las compuertas lógicas (a) INV, NOR2, NOR3, y (b) DFF, NAND2, NAND3 hechas con FinFET y TFET sobre un rango de voltaje de 200 a 500 mV.....	28
Figura 12: Ancho de pulso mínimo de reloj en transiciones altas y bajas para un D Flip-Flop elaborado con transistores FinFET y TFET	29
Figura 13: Representación tridimensional del retraso de propagación de las compuertas lógicas INV, NAND2, y NOR2 a (a-c) 300mV y a (d-f) 400mV elaboradas con dispositivos FinFET y TFET sobre un rango de pendientes de entrada y capacitancias de carga.....	31
Figura 14: Diagrama de flujo del software de caracterización Synopsys Design Compiler	33
Figura 15: Análisis de (a) Frecuencia, (b) Potencia Dinámica, y (c) Potencia de Fuga para la síntesis de una compuerta AND, un multiplexor 16:1 MUX, y un decodificador $\log_2(N):N$ DEC con entradas variable de 8 a 128 para un voltaje de alimentación de 300mV.....	34
Figura 16: Análisis de (a) Frecuencia, (b) Potencia Total, y (c) EDP para la síntesis con descripción funcional de un sumador (ADD), multiplicador (MUL), y comparador (COM) basados en dispositivos TFET y FinFET a un rango de voltaje de 200 a 400mV.....	35
Figura 17: Análisis de (a) Frecuencia, (b) Potencia Total, y (c) EDP para la síntesis con descripción estructural de un sumador Ripple-Carry Adder (RCA), Carry-Lookahead Adder (CLA), y un multiplicador (MUL) basados en dispositivos TFET y FinFET a un rango de voltaje de 200 a 400mV.....	36
Figura 18: Esquema del Microprocesador Básico de 3-ciclos.....	37
Figura 19: Análisis de (a) Frecuencia, (b) Potencia Total, y (c) EDP para la síntesis de microcontroladores B3M y MSP basados en dispositivos TFET y FinFET a un rango de voltaje de 200 a 400mV.....	38

Figura 20: Potencia total consumida para los microcontroladores B3M y MSP sintetizados con librerías FinFET y TFET actuando a frecuencias fijas de operación bajo un voltaje de alimentación de 300mV..... 39

Figura 21: Potencia total consumida para los microcontroladores MSP sintetizados con librerías FinFET y TFET actuando a frecuencias fijas de operación bajo un voltaje de alimentación de 200, 300, y 400mV..... 40

INTRODUCCIÓN

En el inicio, la microelectrónica se podía valer del escalamiento para presentar diseños más compactos, eficientes, y con menor consumo energético. En las últimas décadas, esta tendencia no ha sido sostenible debido a que la miniaturización se ha enfrentado con límites físicos, industriales, y logísticos; por lo tanto, el enfoque actual está centrado en diferentes métodos para mantener el progreso tecnológico proporcionado por la electrónica. El Internet of Things (IoT), los sistemas biomédicos, y los dispositivos móviles son algunos de los ejemplos de aplicaciones que se han podido lograr y mejorar a través del escalamiento de nodos tecnológicos. Las aplicaciones portátiles están comúnmente restringidas por baterías de tamaño limitado por lo que su uso debe ser eficiente energéticamente; es decir, el consumo de potencia de estos dispositivos debe ser bajo para conseguir un mayor tiempo de vida [1-3]. El método más popular y efectivo para disminuir el consumo de potencia en un determinado circuito es la reducción de voltaje de alimentación o escalamiento de voltaje; por ende, un diseño de consumo de ultra-baja potencia se traduce en un diseño de ultra-bajo voltaje [4-5].

El escalamiento de nodos tecnológicos junto al escalamiento de voltaje han llevado al proceso de fabricación de transistores Complementary Metal-Oxide Semiconductor (CMOS) hacia sus límites de rendimiento. La Figura 1 muestra una vista lateral del proceso de fabricación CMOS donde vale la pena resaltar la impresión de secciones de un transistor capa por capa de manera bidimensional. CMOS ha sido durante varias décadas el proceso más popular y confiable sobre el cual realizar diversos diseños de circuitos integrados. El escalar el voltaje es especialmente eficiente en el proceso CMOS debido a la relación cuadrática entre voltaje de alimentación y energía dinámica [6]. Sin embargo, reducir el voltaje en CMOS también acarrea ciertas desventajas como lo es el aumento de sensibilidad a parámetros del circuito, crecimiento exponencial de retraso en rapidez de operación máxima, y el dominio de

la potencia de fuga sobre la operación del circuito [4] [6]. Una limitación propia de la física de conducción de CMOS es el parámetro del subthreshold swing (SS), definido como el cambio necesario en el voltaje de compuerta que debe ser aplicado para generar un incremento de una década en la corriente de salida [7]. CMOS tiene un subthreshold swing limitado a 60mV/dec a temperatura ambiente [7-8]. Se evidencia entonces la problemática de encontrar y comparar nuevos dispositivos que sean capaces de superar las barreras que conlleva utilizar el proceso clásico CMOS.

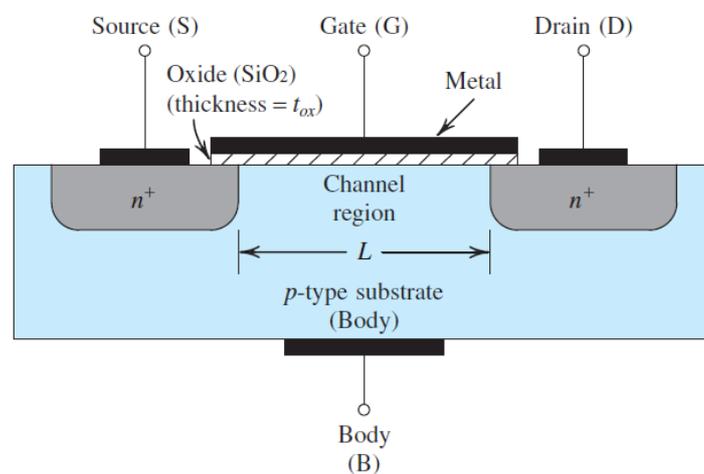


Figura 1: Vista transversal de fabricación del proceso Complementary Metal Oxide Semiconductor CMOS [9]

El dispositivo FinFET se ha convertido en una alternativa popular al proceso CMOS. Su esquema se presenta en la Figura 2 donde se evidencia su principal característica de ser un proceso tridimensional ya que el dispositivo ahora cuenta con un ancho y una altura. El modelo FinFET presentado y utilizado en este trabajo tiene unas dimensiones de longitud de compuerta $L_G = 14\text{nm}$, ancho de aleta $t_{fin} = 8\text{nm}$, y alto de aleta $h_{fin} = 21\text{nm}$ [10]. Los dispositivos FinFET son capaces de corregir varios problemas propios de CMOS en nodos tecnológicos pequeños como el ser más escalables, tener una reducida corriente de compuerta, excelente control sobre efectos de canal corto, y mayor disipación de potencia de fuga [5] [11]. Este nuevo dispositivo ha logrado reemplazar al proceso CMOS convencional en nodos tecnológicos menores a los 20nm [12]. A pesar de estas ventajas, la física de conducción del

FinFET es la misma que la del proceso CMOS por lo que está confinada a la emisión termiónica de portadores que también limita su subthreshold slope a 60mV/dec a temperatura ambiente [1].

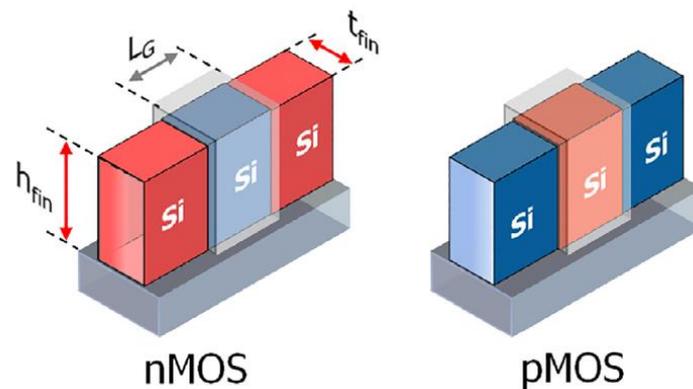


Figura 2: Representación de la arquitectura FinFET con transistores tipo n y p [10]

Una segunda alternativa a los transistores FinFET y al proceso estándar CMOS es el dispositivo Tunnel-FET (TFET) que utiliza el efecto túnel de banda-a-banda como mecanismo principal de conducción. Se puede observar en la Figura 3 a la representación física de la arquitectura de un TFET donde la principal observación es que también es un dispositivo tridimensional, pero que está compuesto de distintos materiales en sus secciones de dren y fuente por lo que tiene una asimetría inherente [10]. Los dispositivos TFET que se considerarán en este trabajo están elaborados con nanowires de AlGaSb y InAs con un largo de lado de $L_s = 7\text{nm}$ y un largo de compuerta de $L_G = 20\text{nm}$ [10]. Ya que el TFET no tiene la limitación física de crear un canal de inversión, se puede obtener un subthreshold slope mejor (más pequeño) [1], [7], [10], [13-14]. Se han evidenciado dispositivos que llegan a presentar un SS de 40mV/dec llegando a haber casos tan bajos como 15 mV/dec [8]. Algunos otros beneficios que este dispositivo puede presentar es que su corriente de encendido es mayor para voltajes bajos, maximizando así la tasa de corriente de encendido y apagado, o que su SS se mantiene constante a cambios de temperatura [7], [10]. El TFET puede llegar a presentar varias desventajas como el hecho de que su capacitancia está dominada por la barrera de canal-fuente

y es mayor que la capacitancia de Miller de un dispositivo FinFET lo cual causa picos de voltaje cuando el circuito recibe una transición, aumentando así su consumo de potencia [1]. Es importante verificar bajo qué condiciones el dispositivo TFET puede presentarse como un competidor realista a los FinFET y si incluso los podría llegar a reemplazar.

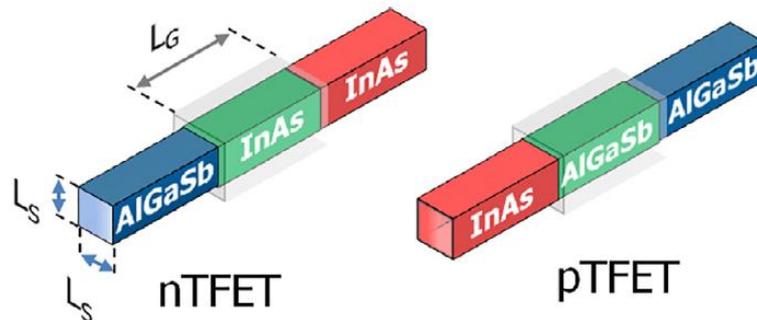


Figura 3: Representación de la arquitectura TFET con transistores tipo n y p [10]

Luego de haber introducido la problemática que enfrentan los dispositivos móviles de requerir diseños de baja potencia, bajo voltaje, y rendimiento óptimo, así como las limitaciones de las técnicas y procesos estándar actuales, se presentaron a dos dispositivos de comportamiento y ventajas diferentes, FinFETs y TFETs. El presente proyecto final se encargará de comparar a estos dispositivos a través de varios benchmarks desde un nivel de dispositivo hasta la síntesis de microprocesadores complejos con miles de compuertas lógicas. Este trabajo tiene como componente innovador la creación propia de librerías de celdas estándar con dispositivos FinFET y TFET para la síntesis de circuitos. Para esto se estudiaron a los dispositivos desde su descripción básica, caracterización de celdas estándar, y síntesis de circuitos complejos de gran tamaño. El resto del trabajo está organizado de la siguiente manera: el desarrollo incluye tres partes donde se discute la calibración de dispositivos, la creación de librerías estándar, y la síntesis de circuitos. Se cierra el trabajo con conclusiones generales del proyecto final.

DESARROLLO DEL TEMA

Parte I: Calibración de dispositivos

Los dispositivos FinFET utilizados en este trabajo son obtenidos a través de un esquema de Predictive Technology Model (PTM), es decir un modelo predictivo del nodo tecnológico de 10nm. Estos modelos predictivos se encuentran disponibles en [15] e incluyen dos tipos de versiones: alto rendimiento (HP) y baja potencia de standby (LSTP). Debido a que el enfoque de este proyecto es hacia el bajo consumo de potencia (y, por lo tanto, bajo voltaje), se utilizan los modelos LSTP. Otra razón por la cual escoger las versiones LSTP es que los dispositivos TFET también pueden ser catalogados como de baja potencia de standby por su requerimiento de menor voltaje para una misma corriente de encendido. Los dispositivos TFET se describen a través de Look-Up Tables (LUT) provistos por los autores de [10] hacia el Instituto de Micro y Nanoelectrónica de la Universidad San Francisco de Quito. Las LUTs contienen la corriente de dren, así como las capacitancias de dren-compuerta y dren-fuente de los modelos TFET para poder ser simulados a través de archivos Verilog-A.

Los dispositivos TFET requieren de una calibración con respecto a los dispositivos FinFET con el fin de lograr una comparación justa entre ambos. La justificación de este proceso se basa en que la menor SS de los TFET se puede explotar en una de dos maneras: colocando un voltaje umbral similar al FinFET lo cual hará que el TFET tenga una menor corriente de apagado, o colocando la misma corriente de apagado en ambos dispositivos para que el TFET pueda entregar una mayor corriente de encendido a un menor voltaje de alimentación [10]. Dado que el enfoque de este trabajo es la operación en voltajes de alimentación ultra bajos, se coloca la misma corriente de apagado en ambos dispositivos.

La Figura 4 muestra la respuesta de corriente de dren-fuente de los dispositivos TFET y FinFET tipo-p y tipo-n graficado en un rango de voltaje de alimentación de 0 a 500mV

utilizando voltajes dren-fuente de 100 y 300mV. Esta gráfica indica la calibración de los dispositivos cuando el voltaje dren-fuente es de 300mV. Se ha colocado en los dispositivos TFET la misma corriente de apagado (es decir a un voltaje de compuerta-fuente de 0V) que los FinFET, específicamente 1.30pA para los dispositivos tipo-p y 1.49pA para los dispositivos tipo-n. Se destaca que los dispositivos TFET poseen una pendiente mucho más empinada que los FinFET, por lo que son capaces de entregar una corriente de encendido más grande a un menor voltaje. Debe notarse que esta ventaja desaparece alrededor de los 300 y 400mV ya que el TFET está trabajando a voltajes ultrabajos. Otra observación importante es la asimetría de las respuestas de corriente entre TFET y FinFET a voltajes de dren-fuente de 100 y 300mV, y entre TFET tipo-p y tipo-n. Esto se debe a la asimetría física en los materiales utilizados para formar el dren y la fuente del TFET.

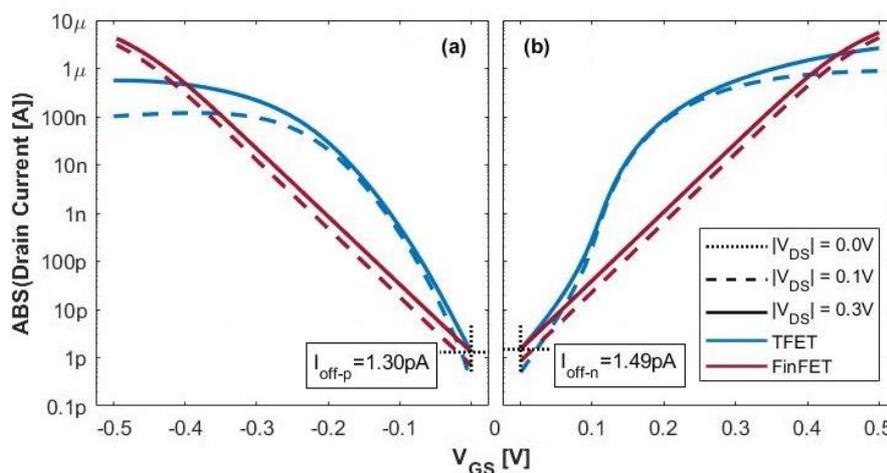


Figura 4: Respuesta de corriente de dren de dispositivos TFET y FinFET (a) tipo-p y (b) tipo-n sobre un rango de voltaje de compuerta-fuente de 0.0 a 0.5 V con un voltaje de dren-fuente de 0.1 y 0.3V

Otro punto de calibración importante es el de la capacitancia de compuerta de los dispositivos. En la Figura 5 se muestra la capacitancia de compuerta de los dispositivos FinFET y TFET tipo-p y tipo-n graficados sobre un voltaje de alimentación de 0 a 500mV considerando voltajes de dren-fuente de 0 y 300mV. Se ha calibrado el dispositivo TFET para que su capacitancia extrínseca (es decir su capacitancia a un voltaje de alimentación de 0mV) en un

voltaje de dren-fuente de 300mV sea igual que los 30aF de capacitancia extrínseca de los FinFET. Cabe notar de nuevo que la asimetría de los dispositivos TFET está presente y es mucho más evidente que la asimetría de los dispositivos FinFET debido a su estructura física. También se puede apreciar que la capacitancia de compuerta del TFET es mucho más grande para voltajes de dren-fuente bajos y experimentan un cambio de magnitud más brusco que en los FinFET.

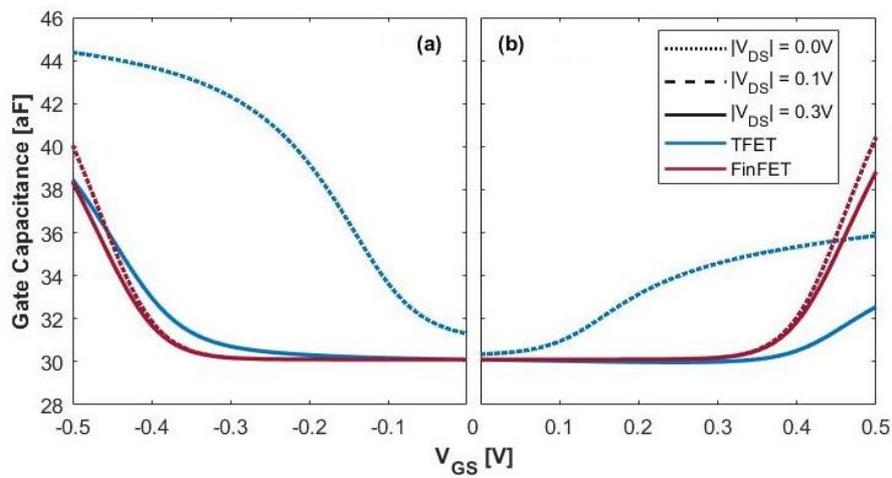


Figura 5: Capacitancia de compuerta de dispositivos TFET y FinFET (a) tipo-p y (b) tipo-n sobre un rango de voltaje de compuerta-fuente de 0.0 a 0.5 V con un voltaje de dren-fuente de 0.0 y 0.3V

La inherente asimetría física de los dispositivos TFET requiere de un proceso de dimensionamiento para asegurarse de que las compuertas lógicas que se contruyan con TFETs sean competitivas. El proceso elegido se centra en buscar las dimensiones de los transistores que generen que sus compuertas lógicas actuando como un inversor produzcan una curva de transferencia centrada en el 50% del voltaje de alimentación. Se presenta en la Figura 6 un ejemplo para ilustrar este proceso donde la curva de transferencia se replica de manera inversa para generar un diagrama de mariposa de un inversor basado en transistores TFET y FinFET a un voltaje de alimentación de 300mV. Un dimensionamiento adecuado consigue maximizar los lóbulos del diagrama de mariposa lo cual aumenta el margen de ruido estático o el ruido de voltaje mínimo de una celda necesario para cambiar el estado lógico de la compuerta.

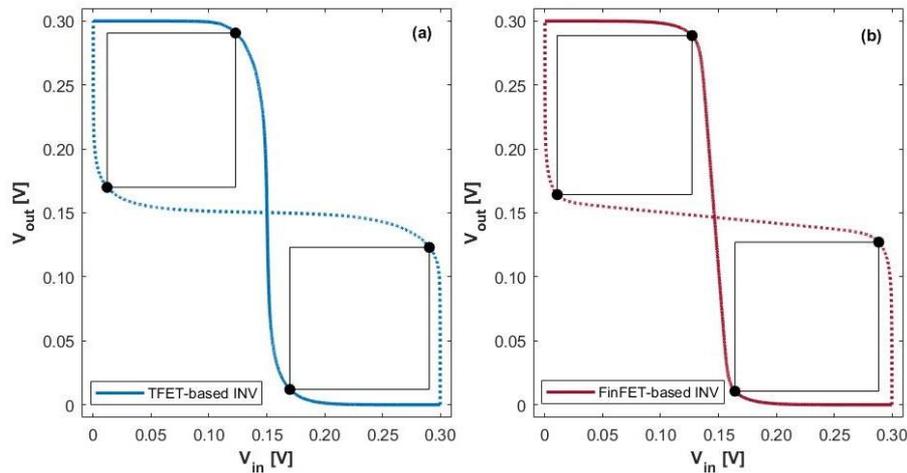


Figura 6: Diagrama de mariposa de un inversor basado en (a) dispositivos TFET y en (b) dispositivos FinFET a 300mV luego del proceso de dimensionamiento

La Tabla 1 muestra los resultados del dimensionamiento de 5 compuertas lógicas combinacionales básicas: inversor, NAND2, NOR2, NAND3, y NOR3 basadas en dispositivos TFET y FinFET. Cabe notar que todas las dimensiones son discretas dado que esta es la naturaleza de dispositivos tridimensionales como TFET y FinFET, y que las compuertas basadas en TFETs requieren de ratios de dimensionamiento más grandes debido a la asimetría entre transistores tipo-p y tipo-n para esta compuerta, en contraste a la simetría del FinFET. La Tabla 2 muestra los resultados de Noise Margin en todas las compuertas dimensionadas a 200, 300, y 400mV. Se observa que el esquema de dimensionamiento logra una misma robustez en las compuertas TFET y en sus contrapartes FinFETs demostrando que se aplica las respuestas asimétricas del TFET. A voltajes menores se mantiene una robustez similar, pero a 400mV se observa que la robustez del FinFET aumenta mientras que las del TFET baja. Esto se debe a que la respuesta de corriente del FinFET es mucho más simétrica y constante a voltajes superiores a los 300mV, mientras que este parámetro en el dispositivo TFET es asimétrico y no constante por lo que no se puede mantener la misma robustez al cambiar el voltaje de alimentación.

Tabla 1: Dimensionamiento de las redes de Pull-Up (PUN) y Pull-Down (PDN) de compuertas lógicas básicas basadas en dispositivos TFET y FinFET

	Multiplier used for the sizing of the TFET-based gates				
	INV	NAND2	NOR2	NAND3	NOR3
PUN	3	3	4	3	5
PDN	1	6	1	17	1

	Multiplier used for the sizing of the FinFET-based gates				
	INV	NAND2	NOR2	NAND3	NOR3
PUN	1	1	1	1	1
PDN	1	3	1	6	1

Tabla 2: Noise Margin normalizado para el 50% del voltaje de alimentación en un rango de 200 a 400mV de las compuertas lógicas básicas INV, NAND2, NAND3, NOR2, NOR3

Supply Voltage [mV]	Noise Margin as a Percentage of 50% the Supply Voltage									
	FinFET-based gates					TFET-based gates				
	INV	NAND2	NAND3	NOR2	NOR3	INV	NAND2	NAND3	NOR2	NOR3
200	70.8%	72.3%	72.5%	69.2%	67.7%	66.0%	68.0%	69.0%	65.0%	65.0%
300	77.6%	80.5%	80.9%	77.6%	77.5%	74.0%	77.4%	78.1%	75.5%	75.0%
400	81.2%	84.5%	84.0%	81.2%	81.2%	67.0%	65.4%	66.7%	62.3%	60.0%

Se elaborará un estudio de rendimiento en términos de velocidad (retraso) y energía consumida como un primer acercamiento para la implementación de los dispositivos en compuertas lógicas. Para esto se elige la elaboración de tres cadenas de compuertas lógicas basadas en 20 inversores, 20 compuertas NAND2-NOR2, y 20 compuertas NAND3-NOR3 actuando como inversores. Cada una de estas tres cadenas tiene dos inversores a su entrada que actúan como buffers y una carga a su salida de tipo Fan-Out-4. El diagrama de energía vs delay para las tres cadenas sobre un rango de operación de 300 a 500mV se muestra en la Figura 7. La primera observación notable es que, a través de todo el rango de operación, las cadenas hechas con los dispositivos TFET consumen más energía que sus contrapartes hechas de FinFET, pero se ven menos afectadas en su rendimiento de velocidad (ya que su retraso no varía tanto en comparación con las cadenas FinFET). Una cadena más compleja presenta un consumo de energía similar, pero un aumento considerable en el retardo de toda la estructura.

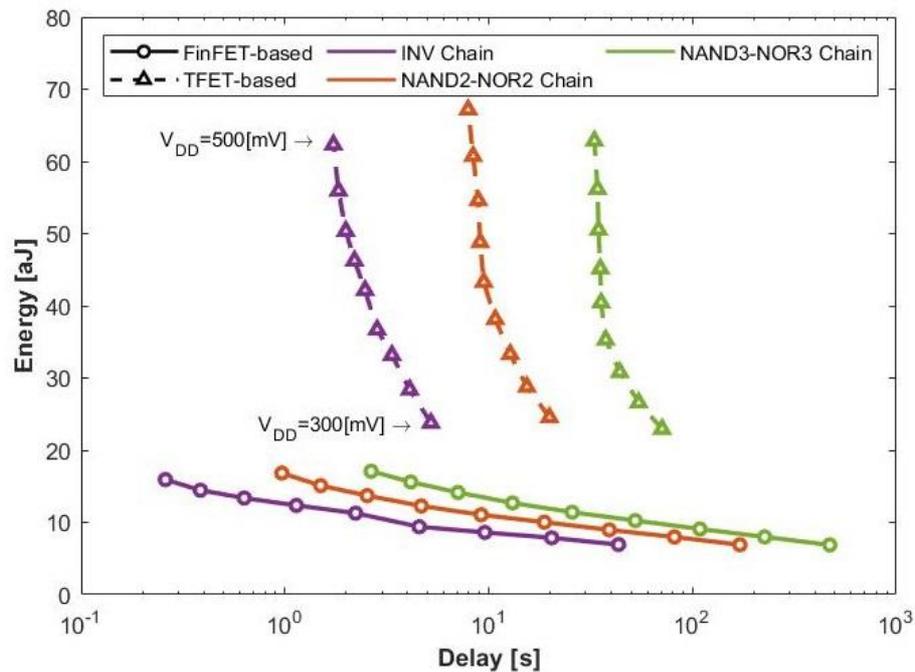


Figura 7: Diagrama de energía vs delay para tres cadenas de compuertas lógicas básicas hechas de inversores, una secuencia NAND2-NOR2 y una secuencia NAND3-NOR3 para un rango de voltaje de alimentación de entre 300 a 500mV.

Un segundo método de comparación presentado es utilizando la figura de mérito de Producto Energía-Delay (EDP). El diagrama de EDP graficado respecto al voltaje de alimentación para las tres cadenas elaboradas se presenta en la Figura 8. Es deseable que esta figura de mérito sea baja para que la cadena consuma menos energía y tenga un retraso de propagación menor (es decir que alcanza una mayor rapidez por una alta frecuencia). Se puede observar que las cadenas elaboradas con TFET tienen un EDP relativamente constante a lo largo del rango de voltaje de alimentación, pero el EDP de un FinFET aumenta exponencialmente al reducir el voltaje de alimentación. A pesar de que el TFET tiene un EDP más alto para valores de voltaje de alimentación mayores, su lento cambio comparado con el FinFET hace que obtenga una ventaja en términos de EDP para voltajes de alimentación menores a 350mV.

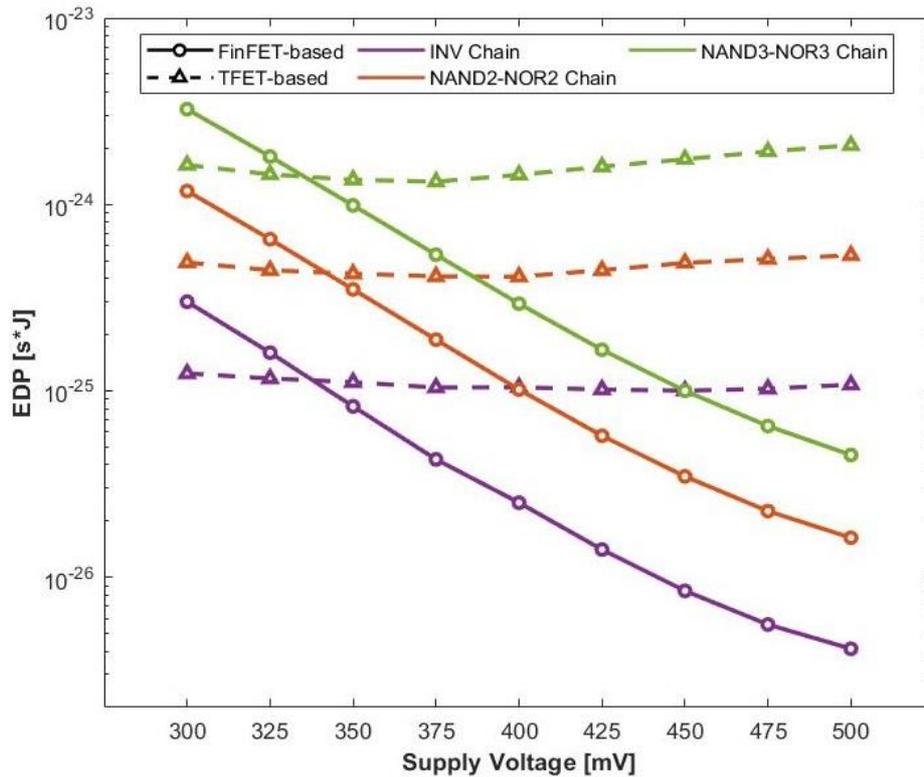


Figura 8: Diagrama de Producto Energía-Delay sobre el voltaje de alimentación para tres cadenas de celdas combinatoriales lógicas simples.

A través de una primera manipulación de los dispositivos TFET y FinFET se ha demostrado las propiedades de compuertas combinatoriales actuando en cadenas extensas bajo diferentes condiciones de carga y forma de onda de entrada. Se observó que el TFET tiene una clara ventaja en términos de rendimiento de velocidad, especialmente a bajos voltajes, pero consume una mayor energía a lo largo de todo el rango de voltaje de alimentación. Utilizando la figura de mérito de EDP, se puede encontrar que el trade-off de mayor energía con mayor rendimiento es mejor a voltajes menores de 350mV. Esto permite continuar a la creación de circuitos más complejos para observar si la tendencia mejora o se pierde.

Parte II: Caracterización y creación de librerías estándar

El diseño de circuitos más complejos se realizará a través de la creación de librerías estándar con el software de caracterización Synopsys SiliconSmart. SiliconSmart permite caracterizar a módulos combinacionales lógicos básicos en términos de potencia de fuga, potencia activa, retraso de propagación, y tiempos de transición sobre un rango de transiciones de entrada y cargas capacitivas. Esta información se contiene en librerías donde cada compuerta lógica está especificada en términos de propiedades de tiempo de retraso y consumo de potencia, y se pueden utilizar en softwares de síntesis para la construcción automática de circuitos más complejos.

En la Figura 9 se especifica el flujo de trabajo de este software. Se inicia con la creación de un punto de caracterización que tendrá la estructura de todos los archivos de salida deseado. Se puede crear un archivo llamado `configure.tcl` donde se especifiquen todos los parámetros para la caracterización como la temperatura, el voltaje de alimentación, las unidades de las librerías, los modelos de los dispositivos por caracterizar, y los rangos de pendientes de transición de entrada así como de capacitancia de carga. Las celdas por caracterizar se deben importar a través de netlists donde se realiza una especificación estructural de las compuertas. Es opcional entonces modificar estas celdas para luego poder precaracterizar y caracterizar las celdas con los parámetros especificados en el archivo de `configure.tcl`. Luego se tienen dos salidas importantes en todo el flujo: el modelaje de los datos de caracterización, es decir las librerías, y datasheets donde se presenta un resumen de las compuertas caracterizadas. En esta sección se explicará sobre los parámetros utilizados para configurar el software y se presentarán datos relevantes de caracterización de las librerías.

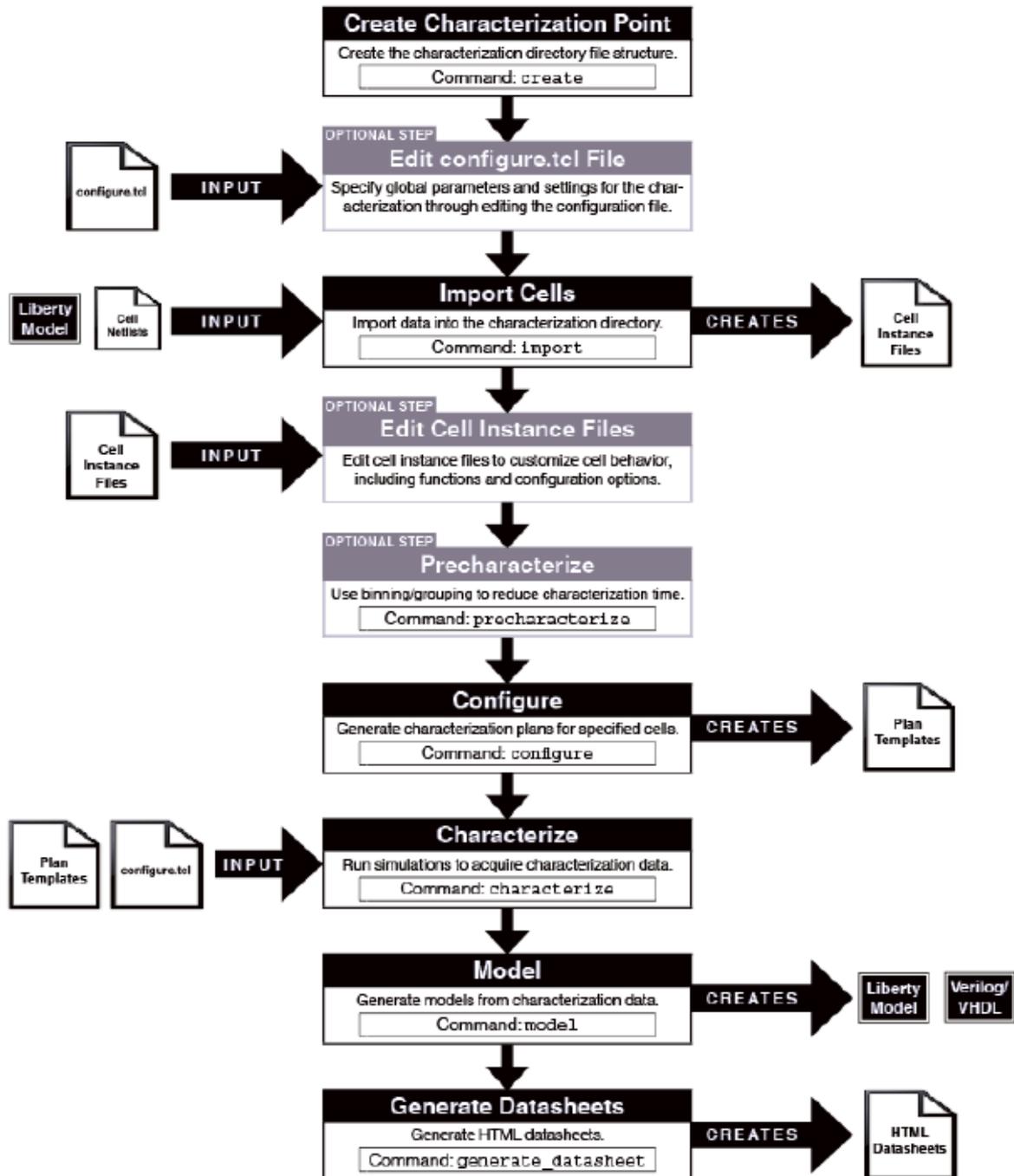


Figura 9: Diagrama de flujo de trabajo del software de caracterización Synopsys SiliconSmart [16]

Específicamente, las librerías que serán utilizadas en este trabajo se dividen en dos. Las librerías que serán destinadas para la síntesis de circuitos más complejos contendrán solamente las compuertas D Flip-Flop (DFF), Inversor (INV), NAND2, y NOR2. Se caracterizarán librerías extra que también contengan compuertas NAND3 y NOR3 para poder ilustrar en esta sección el comportamiento de los dispositivos FinFET y TFET en niveles de complejidad más

el de la potencia de fuga. La Figura 11 muestra la potencia de fuga para las celdas estándar sobre un rango de voltaje de alimentación de 200 a 500mV. Se separó la información en dos grupos diferentes. Las compuertas INV, NOR2, NOR3 tienen un dimensionamiento similar (en especial las dimensiones de su pull-down network que son iguales) por lo que presentan una potencia de fuga similar. En general, las compuertas TFET en este grupo tienden a poseer una mayor potencia de fuga que las compuertas FinFET en voltajes mayores a 300mV, pero ligeramente menor a voltajes menores. En el segundo grupo, los DFF hechos con compuertas TFET presentan una potencia de fuga mayor que sus contrapartes de FinFET debido al uso de las compuertas de transmisión. Las compuertas NAND2 y NAND3 hechas con TFET logran tener una potencia de fuga menor en voltajes bajos. Su disparidad en comparación con las compuertas del primer grupo se debe a que necesitan un dimensionamiento mucho más grande.

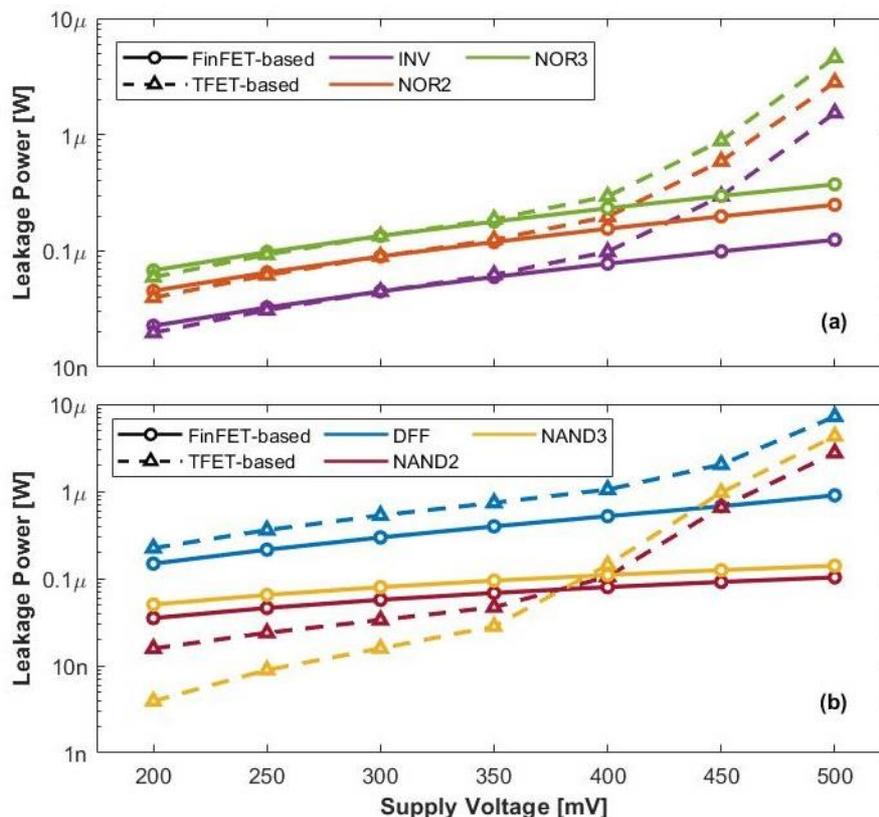


Figura 11: Potencia de Fuga para las compuertas lógicas (a) INV, NOR2, NOR3, y (b) DFF, NAND2, NAND3 hechas con FinFET y TFET sobre un rango de voltaje de 200 a 500 mV.

Otra propiedad relevante producto de la caracterización del DFF es el ancho mínimo del pulso de reloj que esta compuerta necesita. El DFF es la compuerta base para la creación de circuitos secuenciales por lo que el pulso del reloj limita la velocidad de operación que un microprocesador con grandes bloques combinacionales y secuenciales puede tener. La Figura 12 muestra el ancho mínimo del pulso de reloj para una transición de subida y de bajada de un DFF elaborado a través de transistores FinFET y TFET para un rango de voltajes de 200 a 500mV. Es deseable requerir un menor ancho mínimo de pulso de reloj ya que de esta manera se podrán realizar más operaciones en un tiempo fijo. Se observa que para voltajes menores a 400mV, el DFF construido con transistores TFET es más veloz que su contraparte FinFET. Se puede ver de manera cuantitativa que el rendimiento en cuando a velocidad del FinFET decrece (su retraso aumenta) de manera exponencial al reducir el voltaje de alimentación debido a sus respuestas de corrientes descritas en la parte I.

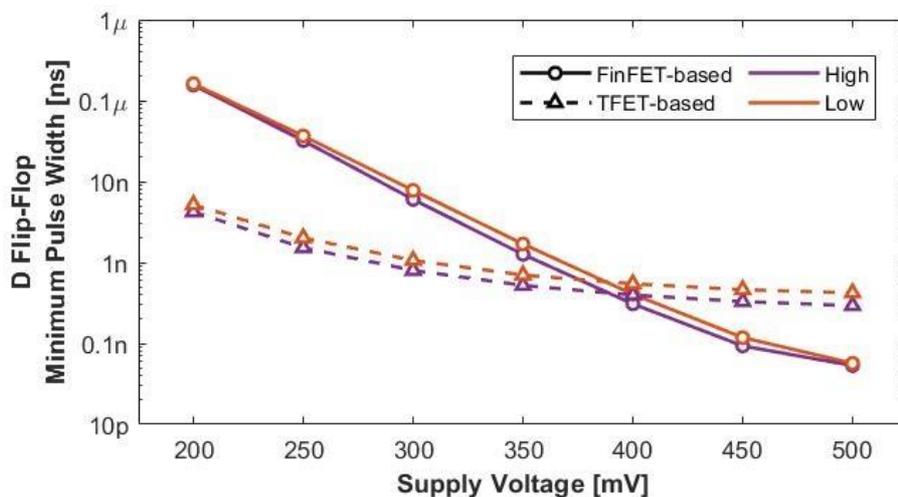


Figura 12: Ancho de pulso mínimo de reloj en transiciones altas y bajas para un D Flip-Flop elaborado con transistores FinFET y TFET

La capacitancia de entrada de las entradas de las compuertas lógicas contenidas en las librerías de transistores FinFET y TFET se encuentran en la Tabla 4. Se debe notar que la compuerta DFF contiene dos entradas, CLK y D, debido a que la capacitancia de entrada en ambos puertos es significativamente distinta ya que la primera está conectada a un pass-

transistor, mientras que la segunda a un inversor buffer. Las demás compuertas a pesar de llegar a tener varios puertos de entrada solo presentan una capacitancia ya que la conexión de los puertos es similar para todas; específicamente, a través de la compuerta de los transistores. En todas las compuertas lógicas se tiene el hecho común de que las implementaciones TFET tienen una capacitancia de entrada mayor que sus correspondientes con transistores FinFET en concordancia con las especificaciones teóricas introducidas anteriormente. También se puede observar que compuertas con un mismo sizing (por ejemplo la entrada D del DFF y la capacitancia de entrada de INV son iguales ya que ambos presentan inversores en sus estructuras) tienen capacitancias similares como es esperado.

Tabla 4: Capacitancia de Entrada en aF para las entradas de las compuertas lógicas elaboradas con transistores FinFET y TFET

Input Capacitance [fF]		
Gate	FinFET	TFET
DFF - CLK	267	675
DFF - D	94	231
INV	94	231
NAND2	189	489
NAND3	331	1060
NOR2	94	290
NOR3	94	350

Finalmente, se estudia el retraso de propagación de las compuertas caracterizadas. La Figura 13 muestra una representación tridimensional del retraso de las compuertas INV, NAND2, NOR2 basadas en dispositivos FinFET y TFET a 300 y 400mV de voltaje de alimentación sobre un rango de pendientes de entrada y de capacitancia de carga. Se observa que a ambos voltajes de alimentación las implementaciones FinFET son más lentas (tienen un mayor retraso de propagación) al compararlas con sus contrapartes TFET. Esto demuestra que bajo las mismas condiciones de carga, el TFET puede ser más veloz incluso a voltajes tan grandes como 400mV, a pesar de que la diferencia de ventaja TFET a FinFET disminuya.

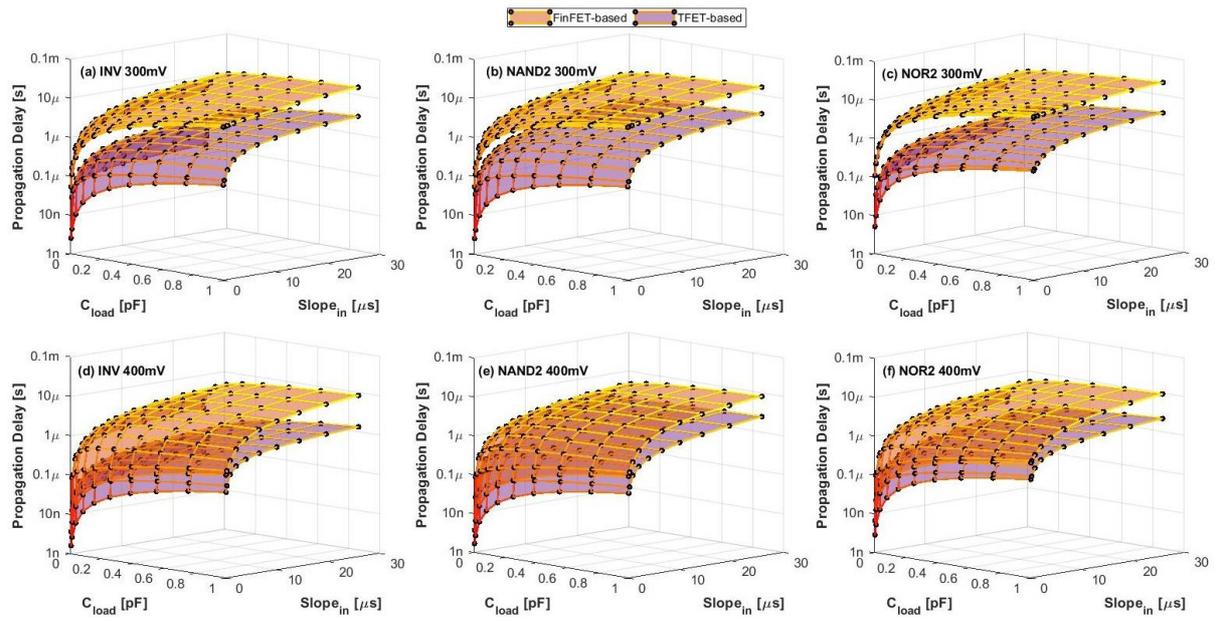


Figura 13: Representación tridimensional del retraso de propagación de las compuertas lógicas INV, NAND2, y NOR2 a (a-c) 300mV y a (d-f) 400mV elaboradas con dispositivos FinFET y TFET sobre un rango de pendientes de entrada y capacitancias de carga.

Parte III: Síntesis de circuitos para comparación

Luego de realizar una validación sobre las características básicas como potencia de fuga, retraso de propagación, y capacitancia de entrada en la sección anterior, se procede a aplicar las librerías generadas para sintetizar circuitos más complejos. Esta sección explicará el proceso donde se utilizó el software Synopsys Design Compiler para síntesis de módulos combinacionales básicos y microprocesadores complejos. Se iniciará explicando primero el flujo de diseño de Design Compiler.

Synopsys Design Compiler es una herramienta de software que convierte a circuitos digitales descritos a través de lenguaje HDL (hardware description languages) en versiones funcionales construidas a partir de compuertas lógicas básicas almacenadas en una librería especificada. El diagrama de flujo de la Figura 14 muestra que Synopsys Design Compiler recibe en lenguaje HDL a la especificación del circuito donde lo compila a través del uso de restricciones de tiempo y con el uso de compuertas lógicas en las librerías de tecnología determinadas. El software Design Compiler es capaz de realizar optimizaciones en términos de área, datapath, timing, o potencia; sin embargo, en este proyecto los resultados presentados solamente consideran una síntesis básica sin ninguna optimización. Se tiene como salidas del flujo una netlist optimizada utilizando las diferentes compuertas de las librerías de tecnología y análisis de área, tiempo, y potencia en formato de reportes.

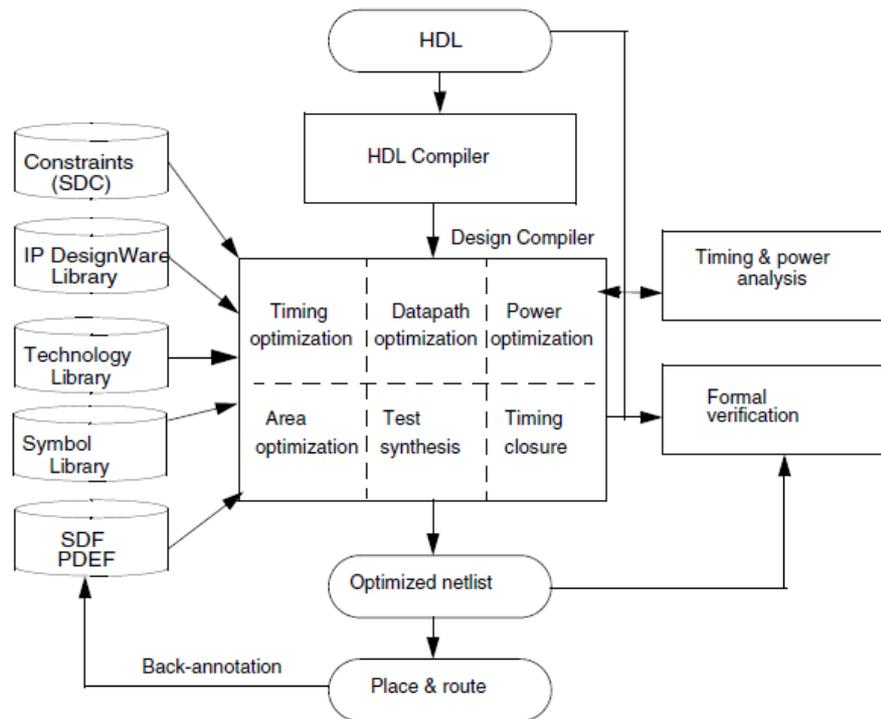


Figura 14: Diagrama de flujo de trabajo del software de caracterización Synopsys Design Compiler [17]

Los primeros circuitos que se van a sintetizar son circuitos combinacionales básicos más complejos que compuertas lógicas. Se eligió una compuerta AND de N entradas, un multiplexor 16:1 de entrada con tamaño N-bits, y un decodificador de entrada de tamaño $\log_2(N)$ -bits y salida de tamaño N-bits. La Figura 15 muestra la frecuencia, potencia dinámica, y potencia de fuga normalizada para el tamaño variable de todos los circuitos desde N=8 a N=128 actuando a un voltaje de alimentación de 300mV. Se observa que las implementaciones TFET mantienen una ventaja constante sobre sus contrapartes FinFET a pesar de que el tamaño de estas compuertas aumente considerablemente. La potencia dinámica en las implementaciones TFET es mayor que las implementaciones FinFET a lo largo de todo el rango de tamaños mientras que la potencia de fuga es mayor para las versiones diseñadas con transistores FinFET que para las versiones TFET a lo largo de todo el rango de entradas.

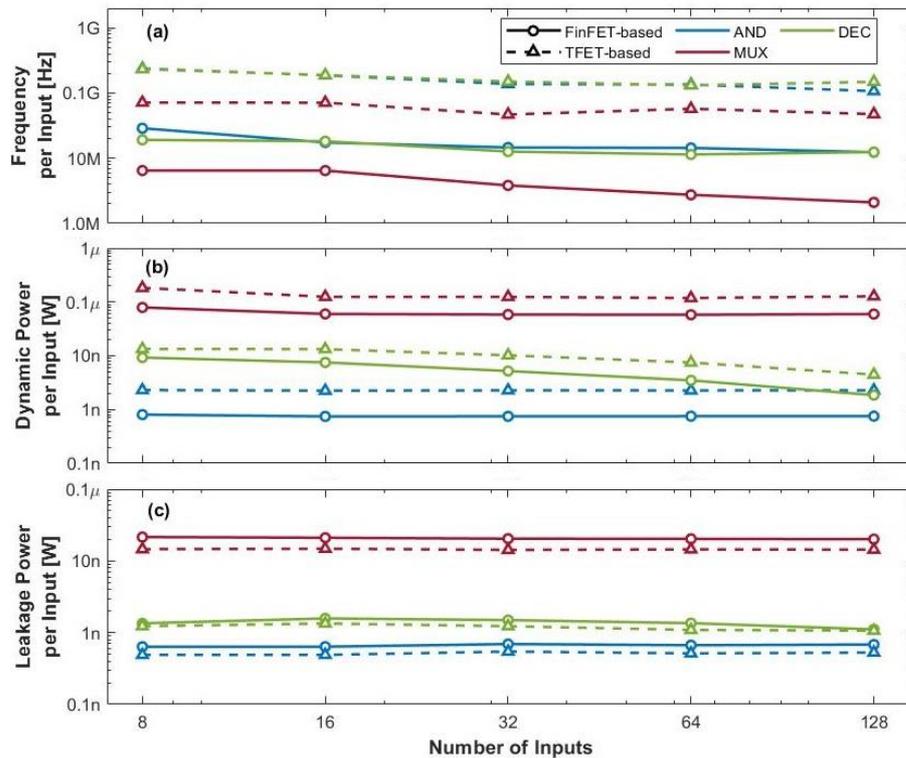


Figura 15: Análisis de (a) Frecuencia, (b) Potencia Dinámica, y (c) Potencia de Fuga para la síntesis de una compuerta AND, un multiplexor 16:1 MUX, y un decodificador $\log_2(N):N$ DEC con número de entradas variable de 8 a 128 para un voltaje de alimentación de 300mV.

El siguiente conjunto de circuitos que se van a sintetizar son un sumador de 64-bits, un comparador de 64-bits, y un multiplicador de 64-bits descritos funcionalmente. La Figura 16 muestra la frecuencia máxima de operación, la potencia total consumida, y la figura de mérito EDP para estos módulos combinacionales a lo largo de un voltaje de alimentación de 200 a 400mV. Se muestra que los dispositivos descritos funcionalmente basados en transistores TFETs son mucho mas veloces en todo el rango, con una frecuencia máxima a la par de las implementaciones FinFET a 400mV. Sin embargo, se observa que la diferencia en potencia entre implementaciones FinFET y TFET es bastante elevada. No obstante, el EDP de las implementaciones TFET es mejor a voltajes de alimentación cercanos a los 400mV lo cual demuestra la competitividad de las implementaciones TFET.

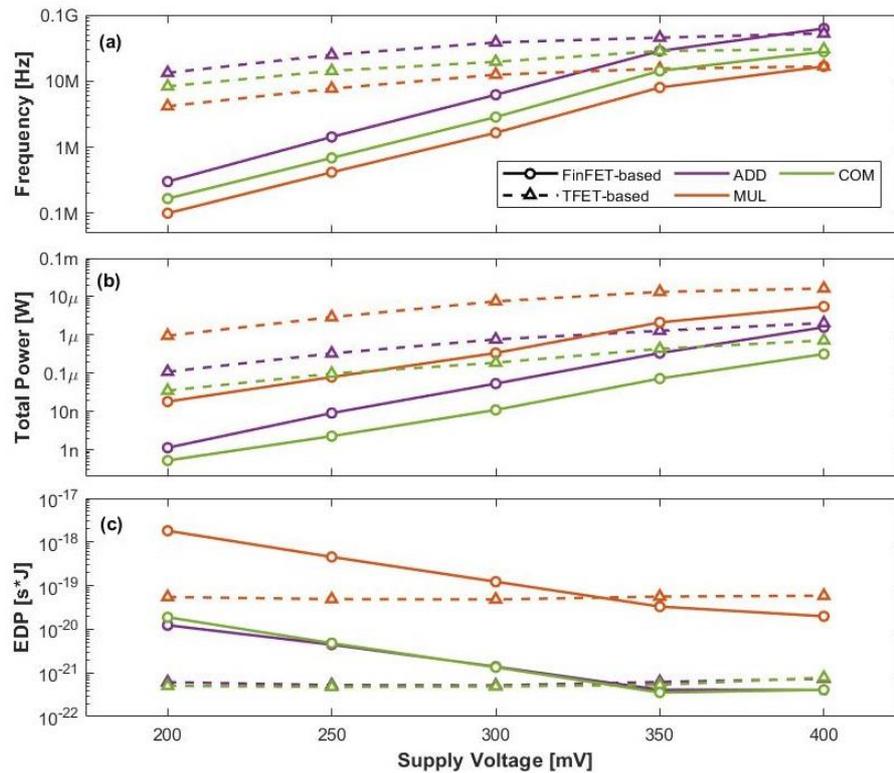


Figura 16: Análisis de (a) Frecuencia, (b) Potencia Total, y (c) EDP para la síntesis con descripción funcional de un sumador (ADD), multiplicador (MUL), y comparador (COM) basados en dispositivos TFET y FinFET a un rango de voltaje de 200 a 400mV.

Ahora se van a sintetizar son un sumador Ripple-Carry Adder de 64-bits, un sumador Carry-Lookahead Adder de 64-bits, y un multiplicador de 32-bits descritos estructuralmente. La Figura 17 muestra de nuevo los parámetros de frecuencia máxima de operación, potencia total, y EDP a lo largo de un rango de voltaje de alimentación de 200 a 400mV. Se observa que el rendimiento en términos de velocidad se mantiene, pero que ahora el consumo de potencia de las implementaciones TFET es mucho más cercano a sus contrapartes FinFETs, lo cual no es cierto cuando los circuitos estaban descritos funcionalmente en lugar de estructuralmente. La ventaja de los circuitos TFET en términos de EDP ahora es por sobre los 350mV. Estas dos últimas observaciones demuestran que implementaciones basadas en dispositivos TFET pueden ver sus ventajas incrementadas en diseños estructurados, eficientes, y compactos que optimicen la operación de dichos módulos.

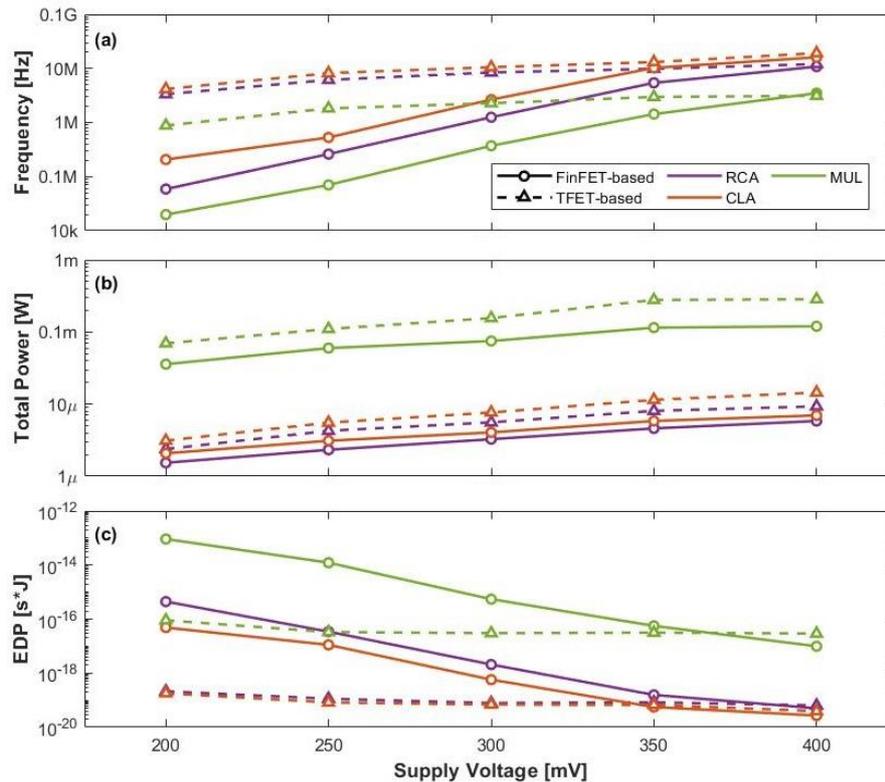


Figura 17: Análisis de (a) Frecuencia, (b) Potencia Total, y (c) EDP para la síntesis con descripción estructural de un sumador Ripple-Carry Adder (RCA), Carry-Lookahead Adder (CLA), y un multiplicador (MUL) basados en dispositivos TFET y FinFET a un rango de voltaje de 200 a 400mV.

Los últimos resultados de esta sección compararán el rendimiento de diseños basados en transistores TFET y FinFET a través de la síntesis de microprocesadores. El primer diseño se muestra en la Figura 18 con el esquema de un microprocesador básico multietapa de 3-ciclos (B3M) que tiene 3 buses de entrada de tamaño variable que se puede usar como operandos, una unidad de control comandada por una señal $cmdin$ de 6 bits que se encarga de habilitar las etapas de los registros, seleccionar las salidas de los multiplexores, y controlar a la unidad lógica aritmética ALU. El segundo diseño es el MSP-430, un microcontrolador eficiente y compacto de 16-bits de acceso abierto considerado como un benchmark estándar para la síntesis e impresión de microcontroladores. El MSP-430 sintetizado en esta sección no incluye ningún tipo de memoria o periférico extra, sino que es la versión más simple del microcontrolador.

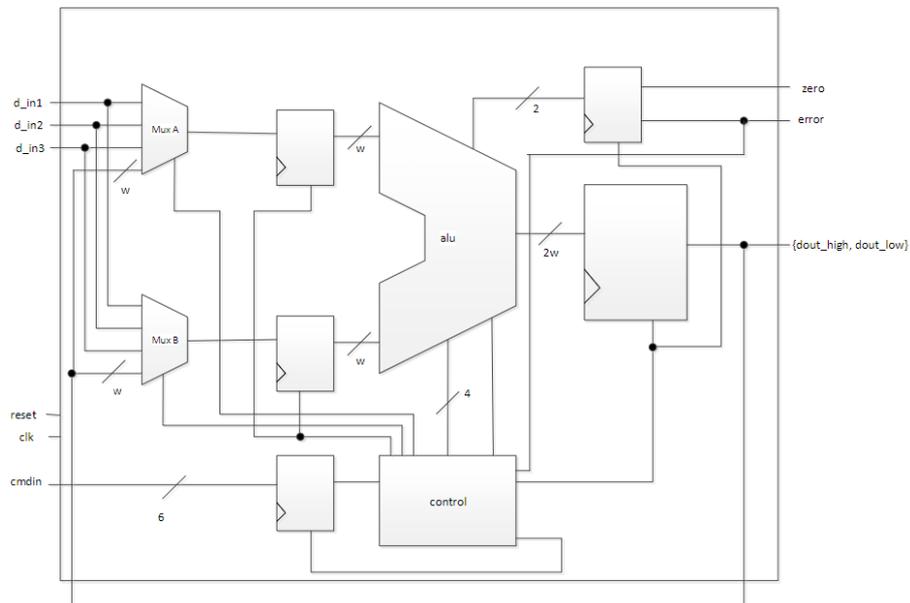


Figura 18: Esquema del Microprocesador Básico de 3-ciclos [18]

En la Figura 19 se muestran las frecuencias máximas de operación, potencia total, y EDP de ambos tipos de microcontroladores luego de un proceso de síntesis utilizando un rango de voltajes de alimentación de 200 a 400mV. Se observa que las frecuencias máximas de operación decaen más rápido para los diseños basados en transistores FinFET al disminuir el voltaje que para los dispositivos TFET (por ejemplo, para el MSP el FinFET llega a 0.1MHz en 200mV y a 25MHz en 400mV, pero la implementación TFET varía de 4.2MHz a 17.5MHz en ese mismo rango). Se observa también de manera general que las implementaciones TFET son mucho más veloces que sus contrapartes FinFET para voltajes de alimentación menores a 400mV, puesto a que en este voltaje se pierde la ventaja y los microprocesadores basados en FinFET son más rápidos. También se observa que el diseño del microprocesador MSP alcanza frecuencias de operación más rápidas que el B3M a pesar de ser un diseño más complejo ya que es un benchmark estándar. En general, las implementaciones TFET consumen más potencia total.. Se observa también que a pesar de que se están sintetizando circuitos complejos con gran cantidad de compuertas, el TFET sigue manteniendo una clara ventaja frente al FinFET en voltajes de alimentación menores a 350mV mostrando en este rango un EDP menor.

De nuevo, cabe notar que las implementaciones FinFET empeoran drásticamente al disminuir el voltaje de alimentación mientras que sus contrapartes TFET se mantienen constantes. Otra última observación importante es que el rendimiento del microprocesador B3M es peor que el rendimiento del MSP al tener un EDP mayor a pesar de que el último microprocesador es mucho más complejo.

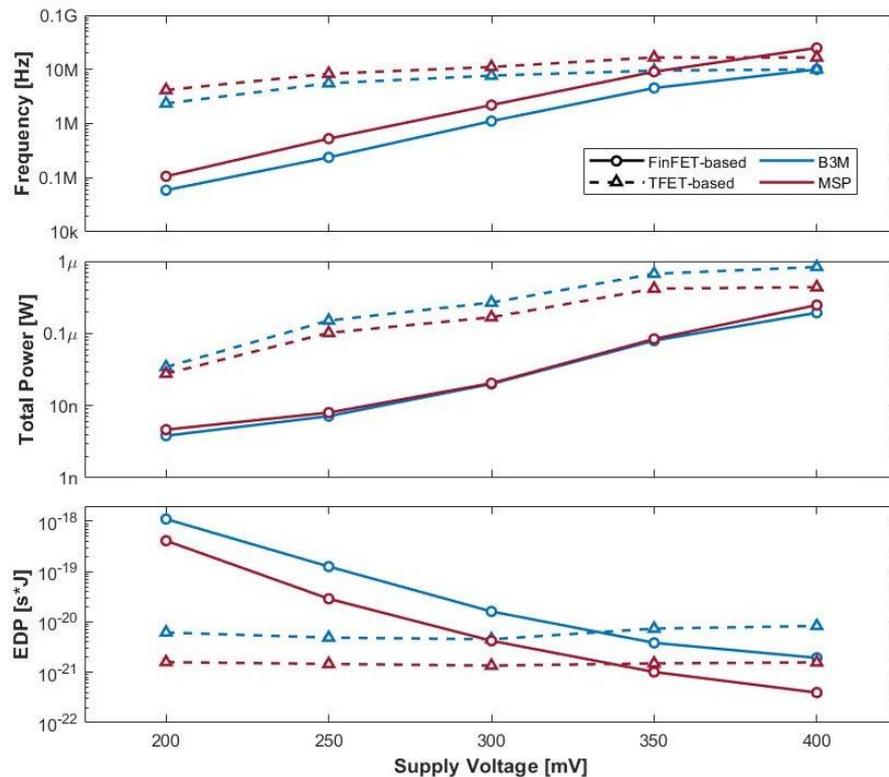


Figura 19: Análisis de (a) Frecuencia, (b) Potencia Total, y (c) EDP para la síntesis de microcontroladores B3M y MSP basados en dispositivos TFET y FinFET a un rango de voltaje de 200 a 400mV.

Los anteriores análisis han indicado que los circuitos sintetizados a base de transistores TFET siempre tienen mayor rendimiento en cuanto a velocidad a coste de una mayor potencia, pero que el trade-off entre estos dos parámetros es positivo hacia el TFET al medir su Producto Energía-Delay. Ahora se analizará si los microprocesadores basados en librerías TFET pueden tener un menor consumo de potencia actuando a una frecuencia fija y comparándolos con sus contrapartes sintetizadas con FinFET. La Figura 20 muestra los microprocesadores MSP y B3M sintetizados con librerías TFET y FinFET a 300mV operando en un amplio rango de

frecuencias de operación cuyo máximo está limitado por la frecuencia máxima de los diseños FinFET (ya que son más lentos en este voltaje). Se observa que para el microprocesador B3M el diseño TFET siempre consume una mayor potencia total a pesar de disminuir considerablemente la frecuencia de operación. En contraste, el diseño del microprocesador MSP sintetizado con la librería de transistores TFET sí llega a tener una mejor ventaja al reducir la frecuencia máxima de operación. Esto se debe a que el microprocesador B3M está descrito funcionalmente mientras que el MSP es un benchmark estándar optimizado constantemente.

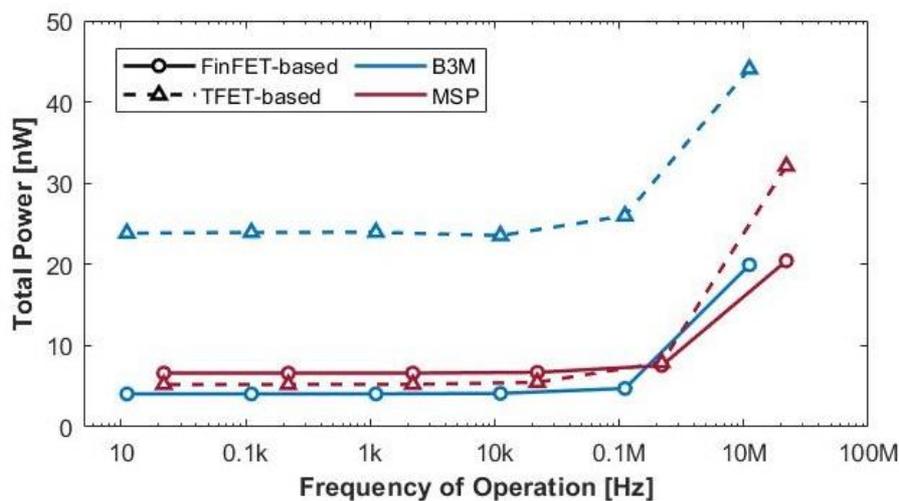


Figura 20: Potencia total consumida para los microcontroladores B3M y MSP sintetizados con librerías FinFET y TFET actuando a frecuencias fijas de operación bajo un voltaje de alimentación de 300mV.

Se centrará ahora en la síntesis del microprocesador MSP a voltajes de alimentación de 200, 300, 400mV como se muestra en la Figura 21 donde se grafica la potencia total de diseños sintetizados con librerías TFET y FinFET para un diverso rango de frecuencias. De nuevo, la frecuencia máxima de operación está limitada por el diseño más lento (MSP basado en TFETs para 400mV y MSP basado en FinFETs para 200 y 300mV). Se puede observar que a 400mV las implementaciones FinFET y TFET presentan una potencia total cercana pero el FinFET conserva una ventaja para todo el rango de frecuencias. A 300mV ocurre un cambio donde el TFET supera al FinFET al consumir menor potencia total reduciendo en mínimo 10 veces la frecuencia máxima de operación. Por último, la implementación TFET siempre consume

menos potencia total en comparación con su contraparte FinFET a 200mV corroborando así su superioridad a voltajes de alimentación ultra-bajos.

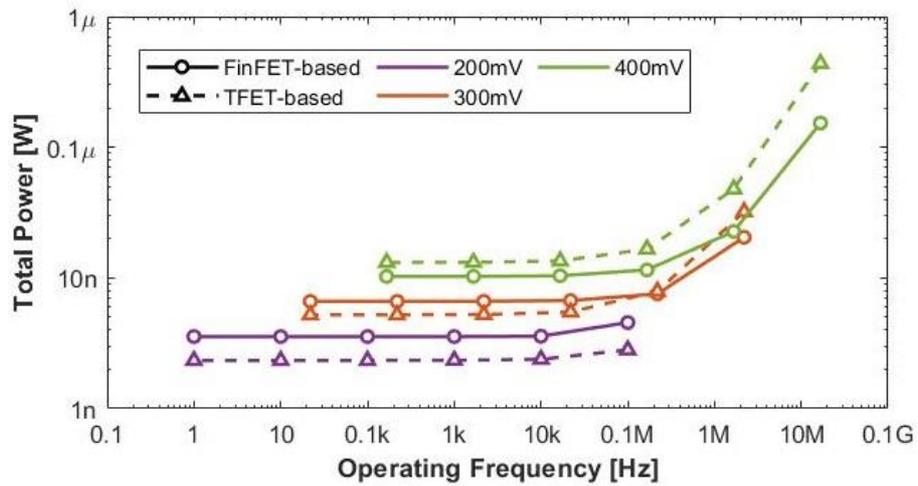


Figura 21: Potencia total consumida para los microcontroladores MSP sintetizados con librerías FinFET y TFET actuando a frecuencias fijas de operación bajo un voltaje de alimentación de 200, 300, y 400mV.

CONCLUSIONES

El presente trabajo se centra en una comparación entre dispositivos FinFET y TFET a través de diversos tamaños de abstracción en la construcción y síntesis de circuitos integrados. El escalamiento y desarrollo de aplicaciones móviles indican que la industria de la microelectrónica actual requiere de diseños que sigan manteniendo un rendimiento adecuado pero que sean eficientes energéticamente. La metodología más popular que cumple estos requerimientos es el diseño de ultra-bajo voltaje; sin embargo, esta táctica ha llevado a sus límites físicos del popular proceso CMOS con respecto al escalamiento de voltaje de alimentación. Se introduce entonces el dispositivo FinFET que ha reemplazado al proceso CMOS en los últimos nodos tecnológicos al corregir varias de sus carencias; no obstante, el mecanismo de conducción del FinFET y CMOS es el mismo por lo que el escalar el voltaje reduce de gran manera a su rendimiento en velocidad. El dispositivo Tunnel-FET (TFET) utiliza otro método físico de conducción por lo que su respuesta en corriente no logra degradarse de tal manera a coste de presentar un mayor consumo energético.

Se utilizaron modelos predictivos de baja potencia de standby para simular a los dispositivos FinFET y Look-Up Tables para los dispositivos TFET. Con el fin de realizar una comparación justa, se calibraron las respuestas de corriente y capacitancia de los TFET para que tengan un mismo comportamiento en estado de apagado que los FinFET. Se observó que en efecto el TFET podía alcanzar corrientes más altas para un mismo voltaje, pero que este efecto solo era evidente en un rango ultrabajo de voltajes. Se pudo apreciar también la asimetría entre dispositivos tipo-p y tipo-n, y el hecho de que la capacitancia de los TFET es mucho más grande. Esto requirió un proceso de dimensionamiento para disminuir los efectos de asimetría. Al aplicar los dimensionamientos y la calibración a cadenas de compuertas lógicas se encontró que las implementaciones TFET siempre consumen más energía, pero que a voltajes ultrabajos

tienen una frecuencia de operación mucho mejor que sus contrapartes FinFET lo cual se evidenció de mejor manera con la figura de mérito Producto Delay-Energía donde se mostró que el trade-off de obtención de velocidad a coste de más energía es positivo en voltajes menores a 350mV.

Una vez confirmado este comportamiento se investigó a un nivel superior a través de la caracterización de compuertas básicas y creación de librerías de celdas estándar con el software Synopsys SiliconSmart. Se encontró que el TFET puede mostrar una potencia de fuga menor a lo largo de varias compuertas lógicas para voltajes ultrabajos. Se encontró también que la implementación de D Flip-Flop realizada con transistores TFET es más rápida que su contraparte elaborada con FinFETs a voltajes menores a 400mV por lo que es un punto importante que presagió la capacidad de los TFETs de ser competitivos en módulos secuenciales más complejos. El proceso de caracterización también demostró que las compuertas elaboradas con dispositivos TFET tienen una capacitancia de entrada mayor que sus versiones FinFET. Finalmente, se encontró que el TFET es competitivo en términos de condiciones de pendiente de entrada y capacitancias de carga en cuanto a velocidad medida a través del retardo de propagación y el tiempo de transición. Esto confirmó que el nivel individual de todas las compuertas da un correcto comportamiento que ameritaba la síntesis de circuitos complejos.

La síntesis se basó en el uso del programa Synopsys Design Compiler donde se inició diseñando circuitos simples como compuertas AND, multiplexores, y decodificadores de gran número de entradas. El comportamiento general encontrado es que los dispositivos TFET mantienen una ventaja en términos de frecuencia de operación y potencia de fuga a pesar de generar dispositivos con un alto número de entradas. Luego se diseñaron circuitos sumadores, multiplicadores, y comparadores mostrando de nuevo que las implementaciones TFET tienen

un EDP menor para voltajes de alimentación de hasta 350mV a pesar de que ahora se estaba trabajando con módulos combinacionales de tamaño importante. Se realizó una síntesis de un microprocesador básico de 3 etapas B3M y de un microcontrolador benchmark estándar MSP-430 donde se mostró que las implementaciones TFET llegan a una frecuencia de operación más grande y a un EDP menor para voltajes de alimentación ultrabajos. Por último, se concluyo que los diseños TFET son mucho más beneficiosos en circuitos optimizados como el MSP-430 en contraste con el B3M ya que el primero lograba un consumo de potencia total menor a una frecuencia de operación relajada.

Finalmente, se concluye el presente trabajo indicando que los dispositivos TFET son una alternativa con mucho potencial para aplicaciones de bajo voltaje ya sea si el objetivo del diseñador es el de obtener un mejor rendimiento en cuanto a velocidad a coste de un mayor consumo de potencia o de llegar a una eficiencia energética superior a bajas velocidades de funcionamiento. Cabe recalcar que los modelos utilizados en este trabajo no son experimentales y todavía requieren de mejoras para que las simulaciones sean más realistas a los resultados que se obtendrían al implementar físicamente a los dispositivos TFET. Por lo tanto, un trabajo futuro recae en la obtención de modelos más fieles a la realidad para complementar las comparaciones presentes en este trabajo.

REFERENCIAS BIBLIOGRÁFICAS

- [1] T.-C. Wu, C.-J. Chen, Y.-N. Chen, V. P.-H. Hu, P. Su y C.-T. Chuang, «Evaluation of energy-efficient latch circuits with hybrid tunneling FET and FinFET devices for ultra-low-voltage applications,» *2015 28th IEEE International System-on-Chip Conference (SOCC)*, pp. 339-344, 2015.
- [2] K.-S. Chong, B.-H. Gwee y J. S. Chang, «A Low Energy FFT/IFFT Processor for Hearing Aids,» *2007 IEEE International Symposium on Circuits and Systems*, Vols. %1 de %21169-1172, 2007.
- [3] M. Alioto, «Ultra-Low Power VLSI Circuit Design Demystified and Explained: A Tutorial,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 59, nº 1, pp. 3-29, 2012.
- [4] R. Taco, M. Lanuzza y D. Albano, «Ultra-Low-Voltage Self-Body Biasing Scheme and Its Application to Basic Arithmetic Circuits,» *VLSI Design*, vol. 2015, pp. 1-10, 2015.
- [5] Q. a. L. X. Xie, Y. Wang, S. Chen, M. J. Dousti y M. Pedram, «Performance Comparisons Between 7-nm FinFET and Conventional Bulk CMOS Standard Cell Libraries,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, nº 8, pp. 761-765, 2015.
- [6] V. Saripalli, S. Datta, V. Narayanan y J. P. Kulkarni, «Variation-tolerant ultra low-power heterojunction tunnel FET SRAM design,» *2011 IEEE/ACM International Symposium on Nanoscale Architectures*, pp. 45-52, 2011.
- [7] K. Boucart y A. M. Ionescu, «Double-Gate Tunnel FET With High-K Gate Dielectric,» *IEEE Transactions on Electron Devices*, vol. 54, nº 7, pp. 1725-1733, 2007.
- [8] Q. Zhang, W. Zhao y A. Seabaugh, «Low-subthreshold-swing tunnel transistors,» *IEEE Electron Device Letters*, vol. 27, nº 4, pp. 297-300, 2006.
- [9] A. Sedra y K. Smith, *Microelectronic Circuits*, New York: Oxford University Press, 2015.
- [10] S. Strangio, F. Settino, P. Palestri, M. Lanuzza, F. Crupi, D. Esseni y L. Selmi, «Digital and analog TFET circuits: Design and benchmark,» *Solid-State Electronics*, vol. 146, nº 0038-1101, pp. 50-65, 2018.
- [11] S. Chen, Y. Wang, X. Lin, Q. Xie y M. Pedram, «Performance prediction for multiple-threshold 7nm-FinFET-based circuits operating in multiple voltage regimes using a cross-layer simulation framework,» *2014 SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, pp. 1-2, 2014.
- [12] A. Thean, «FinFET evolution for the 7nm and 5nm CMOS technology nodes,» *Solid State Technology*, vol. 56, pp. 18-19, 2013.
- [13] S. Strangio, P. Palestri, M. Lanuzza, D. Esseni, F. Crupi y L. Selmi, «Benchmarks of a III-V TFET technology platform against the 10-nm CMOS FinFET technology node considering basic arithmetic circuits,» *Solid-State Electronics*, vol. 128, pp. 37-42, 2017.

- [14] D. H. Morris, K. Vaidyanathan, U. E. Avci, H. Liu, T. Karnik y I. A. Young, «Enabling high-performance heterogeneous TFET/CMOS logic with novel circuits using TFET unidirectionality and low-VDD operation,» *2016 IEEE Symposium on VLSI Technology*, pp. 1-2, 2016.
- [15] Arizona State University, «Predictive Technology Model,» [En línea]. Available: <http://ptm.asu.edu/>.
- [16] Synopsys, «SiliconSmart ACE User Guide,» Synopsys, Mountain View, CA, 2016.
- [17] Synopsys, «Design Compiler User Guide,» Synopsys, Mountain View, CA, 2011.
- [18] Synopsys, «Verilog Lab III,» Synopsys, Inc., 2016.