

**UNIVERSIDAD SAN FRANCISCO DE QUITO**  
**USFQ**

**Colegio de Ciencias e Ingenierías**

**Diseño de una memoria no volátil de contenido direccionable  
(NV-BCAM) basada en MRAMs para sistemas de alto  
rendimiento**

**Oliver Sebastián Caisaluisa Aumala**

**Ingeniería Electrónica**

Trabajo de fin de carrera presentado como requisito  
para la obtención de título de  
Ingeniero Electrónico

Quito, 17 de mayo de 2024

**UNIVERSIDAD SAN FRANCISCO DE QUITO**  
**USFQ**

**Colegio de Ciencias e Ingenierías**

**HOJA DE CALIFICACIÓN**  
**DE TRABAJO DE FIN DE CARRERA**

**Diseño de una memoria no volátil de contenido direccionable (NV-BCAM)**  
**basada en MRAMs para sistemas de alto rendimiento**

**Oliver Sebastián Caisaluisa Aumala**

**Nombre del profesor, Título académico**

**Eduardo Holguín, Ph.D**

Quito, 17 de mayo de 2024

## © DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas. Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en la Ley Orgánica de Educación Superior del Ecuador.

Nombres y Apellidos: Oliver Sebastián Caisaluisa Aumala

Código: 00214695

Cédula de identidad: 1722348073

Lugar y Fecha: Quito, 17 de mayo de 2024

## ACLARACIÓN PARA PUBLICACIÓN

**Nota:** El presente trabajo en su totalidad o cualquiera de sus partes, no debe ser considerado como una publicación, incluso a pesar de estar disponible sin restricciones a través de un repositorio institucional. Esta declaración se alinea con las prácticas y recomendaciones presentadas por el Committee on Publication Ethics COPE descritas por Barbour et al. (2017) Discussion document on best practice for issues around these publishing, disponible en <http://bit.ly/COPETHeses>.

## UNPUBLISHED DOCUMENT

**Note:** The following capstone project is available through Universidad San Francisco de Quito institutional repository. Nonetheless, this project - in whole or in part - should not be considered a publication. This statement follows the recommendations presented by the Committee on Publication Ethics COPE described by Barbour et al. (2017) Discussion document on best practice for issues around these publishing, available on <http://bit.ly/COPETHeses>.

## RESUMEN

Los recientes avances en la cuarta revolución industrial involucran temas de big data e inteligencia artificial (AI). Estas aplicaciones requieren acceso a una gran cantidad de datos en paralelo a una alta velocidad. Las memorias RAM convencionales realizan el acceso a sus datos de forma secuencial lo que resulta en un elevado retardo en el proceso de lectura. Las memorias no volátiles de contenido direccionable (NV-BCAM) se presentan como una solución y alternativa eficaz dada su capacidad de búsqueda en paralelo dentro de la memoria en un único ciclo. Además, su característica no volátil permite reducir significativamente la potencia estática de la memoria presentada en memorias CAM con lógica complementaria (CMOS). Por lo tanto, se propone el diseño de una memoria NV-BCAM a partir de dispositivos no volátiles de doble juntura de túnel magnético (DMTJ) comandada por un único voltaje de alimentación para sistemas de alto rendimiento. El proyecto aborda el diseño, implementación y análisis de resultados de búsqueda de la memoria propuesta tanto a nivel de celda unitaria como para arreglos de celdas de 1-128 bits. Adicionalmente, se analiza el desempeño de la memoria ante variabilidad de proceso de los circuitos tanto para transistores así como para los dispositivos DMTJ.

**Palabras Clave:** Memoria, CAM, NV-BCAM, CMOS, DMTJ, Búsqueda, Variabilidad.

# ABSTRACT

Recent advances in the Fourth Industrial Revolution involve big data and artificial intelligence (AI) topics. These applications require access in parallel to a huge amount of data at high speed. Conventional RAM memories access the data sequentially resulting in high delay during the read process. Non-volatile content addressable memories (NV-BCAM) present as a solution and efficient alternative due to their parallel search capacity in a unique cycle. Additionally, their non-volatile characteristic allows for a significant reduction in static power compared to CAM memories with complementary logic (CMOS). Hence, the design of a NV-BCAM memory, based on non-volatile double magnetic tunnel junction (DMTJ) devices, controlled by a single supply voltage for high performance applications, is proposed. This project covers the design, implementation and analysis of search results in the proposed memory, both at the bitcell and 1-128 bit array levels. Furthermore, the performance of the memory circuits due to process variability is analyzed, considering both transistors and DMTJ devices.

**Keywords:** Memory, CAM, NV-BCAM, CMOS, DMTJ, Search, Variability.

# Índice

<b>1. INTRODUCCIÓN</b>	<b>10</b>
<b>2. DESARROLLO DEL TEMA</b>	<b>13</b>
2.1. Metodología . . . . .	13
2.2. Verificación Funcional DMTJ . . . . .	13
2.3. Verificación Funcional Celda Unitaria NV-BCAM . . . . .	15
2.3.1. Búsqueda . . . . .	17
2.3.2. Escritura . . . . .	17
2.4. Caracterización y Calibración de Circuito Selector de Voltaje . .	18
2.4.1. Dimensionamiento de Transistores en Cascodo . . . . .	20
2.4.2. Dimensionamiento de Transistor de Habilitación . . . . .	21
2.5. Configuración de 1-128 bits . . . . .	24
2.5.1. Diseño Top Level . . . . .	24
2.5.2. Calibración de Circuito Sense Amplifier . . . . .	27
2.6. Resultados Nominales . . . . .	28
2.6.1. Resultados Nominales de Búsqueda y Energía . . . . .	28
2.7. Simulaciones Montecarlo . . . . .	29
2.7.1. Margen de Estabilidad de Búsqueda . . . . .	30
2.7.2. Variabilidad de Proceso de Búsqueda - Retardo y Energía . . . .	31
2.7.3. Variabilidad de Circuito Selector de Voltaje . . . . .	33
<b>3. CONCLUSIONES</b>	<b>35</b>

## Índice de tablas

1.	Parámetros y Características del DMTJ . . . . .	14
2.	Dimensionamiento Circuito VMS . . . . .	24

## Índice de figuras

1.	Testbench - Caracterización de DMTJs . . . . .	14
2.	Caracterización - Cambios de Estado DMTJ . . . . .	15
3.	Diseño de celda unitaria NV-BCAM . . . . .	16
4.	Proceso de Búsqueda - Celda unitaria NV-BCAM . . . . .	18
5.	Proceso de Escritura - Celda unitaria NV-BCAM . . . . .	19
6.	Circuito Selector de Voltaje de Alimentación (VMS) . . . . .	20
7.	Dimensionamiento de Transistor en Cascodo ( $M_{C1}$ ) . . . . .	21
8.	Dimensionamiento de Transistor de Habilitación ( $M_{S2}$ ) . . . . .	22
9.	Análisis para n transistores en cascodo ( $M_{Cn}$ ) . . . . .	23
10.	Diseño Top Level 1-128 bits . . . . .	25
11.	Descripción de Peor Escenario de Búsqueda - 8-bits . . . . .	26
12.	Simulación de Peor Escenario de Búsqueda - 8-bits . . . . .	27
13.	Calibración - Sense Amplifier . . . . .	28
14.	Resultados Nominales - Retardo y Energía de Búsqueda . . . . .	30
15.	Margen de Búsqueda - Montecarlo . . . . .	31
16.	Resultados Variabilidad - Retardo y Energía de Búsqueda . . . . .	32
17.	Variabilidad de Circuito Selector de Voltaje VMS . . . . .	34

# 1. INTRODUCCIÓN

Los recientes avances en la cuarta revolución industrial involucran temas de big data e inteligencia artificial (AI). Estas aplicaciones requieren acceso a una gran cantidad de datos a una velocidad alta. Las memorias convencionales de acceso aleatorio (RAM) realizan el acceso a los datos de la memoria de manera secuencial lo que resulta en un elevado retardo en el proceso de lectura. [1] Además, una memoria tradicional toma una dirección de memoria como entrada y devuelve la información dentro de aquel bloque como salida, y dada la disponibilidad de una gran cantidad de datos, conocer la dirección exacta del bloque de memoria es una tarea difícil. [2]

Por este motivo, las memorias de contenido direccionable (CAM) se presentan como una solución y alternativa para buscar contenido dentro de la memoria a una velocidad alta, dado que toman el contenido que se desea buscar como entrada y devuelven el resultado de la búsqueda dentro de la memoria.[2] Generalmente, la celda de una memoria CAM está compuesta de una memoria de acceso aleatorio estática (SRAM) y una etapa de lógica de comparación. Sin embargo, las celdas convencionales poseen un elevado consumo de potencia, principalmente en stand-by debido a la corriente de fuga en especial en nodos tecnológicos menores a 45nm. [3]

Las memorias de contenido direccionable (CAM) son un tipo de memorias que implementan una circuitería dedicada a comparación. Esta etapa la realizan dentro de un solo ciclo de reloj, por lo cual resulta idónea para aplicaciones que requieren alta velocidad de búsqueda. [4] Las celdas de tipo binario (BCAM) permiten almacenar dos estados (1 o 0) mientras que las de tipo ternario (TCAM) permiten almacenar un estado adicional “no importa” (X). Algunas de las aplicaciones de las memorias CAM se basan en sistemas con capacidad de búsqueda elevada e intensiva, por lo tanto, se emplean en routers, compresión de datos y procesamiento de imágenes.[5]

Sin embargo, dentro de la tecnología Complementary Metal-Oxide-Semiconductor (CMOS) convencional la implementación de estas memorias conlleva un costo extra en complejidad del circuito y consumo de potencia. Para contrarrestar el elevado consumo de potencia se han presentado algunas alternativas a través de memorias no volátiles

que permiten almacenar el dato sin necesidad de un voltaje de alimentación permanente. El uso de memorias no volátiles emergentes (eNVMs) permiten ahorrar en consumo especialmente durante el estado de stand-by, de tal forma que se han presentado algunas propuestas de celdas CAM híbridas entre lógica CMOS y eNVMs.[3]

Las memorias RAM de transferencia de torque magnético (STT-MRAMs) basadas en dispositivos de juntura de túnel magnético (MTJs) son dispositivos magnéticos clasificados dentro de eNVMs que funcionan a través de varias capas magnéticas, los dispositivos simples (SMTJs) cuentan con 2 capas ferromagnéticas separadas por una fina capa de óxido de Magnesio (MgO). Por otro lado, los dispositivos de juntura doble (DMTJs) cuentan con 3 capas ferromagnéticas, 2 capas de referencia con una capa libre separada por MgO entre ambas. Estos dispositivos permiten obtener dos estados estables (0 y 1) a través de la orientación relativa de sus capas magnéticas. Pueden tener una orientación paralela o anti-paralela que describen los estados de baja resistencia (LRS) y alta resistencia (HRS) respectivamente. [6]

A través del uso de eNVMs con los dispositivos de doble juntura de túnel magnético (DMTJ) junto con lógica CMOS es posible implementar celdas CAM híbridas que permitan desarrollar operaciones de búsqueda en paralelo de forma rápida y a su vez resuelvan el problema de consumo de energía presentado en las celdas CAM convencionales implementadas utilizando únicamente lógica CMOS. Las celdas CAM binarias no volátiles(NV-CAMs)se pueden desarrollar a partir de varias topologías, entre ellas la topología de voltaje de divisor de voltaje que presenta un área bastante compacta de diseño a costa de mayores errores de búsqueda y consumo de energía relativo.[7] Por otro lado, el uso de DMTJs presenta una ventaja con respecto a los SMTJs en cuanto a su corriente para las operaciones de escritura y búsqueda. Por lo tanto, se pretende diseñar una memoria CAM binaria a partir de dispositivos magnéticos DMTJs con la topología de divisor de voltaje para obtener un área más compacta, bajo consumo de potencia y operaciones de búsqueda y escritura competitivas con respecto a memorias similares.[8]

A partir del diseño de una memoria NV-BCAM a partir de tecnología CMOS TSMC de 65nm y dispositivos de doble juntura de túnel magnético DMTJ se propone

una alternativa de memoria para aplicaciones de alto rendimiento que requieren búsqueda en paralelo de manera intensiva. Además, que implementa un solo voltaje de alimentación para comandar los circuitos de múltiple alimentación dentro de la celda unitaria.

## 2. DESARROLLO DEL TEMA

### 2.1. Metodología

El diseño de la memoria NV-BCAM en su totalidad, tanto de la celda unitaria, así como de arreglos de hasta 128 bits se realizará a partir de la herramienta de diseño de circuitos de Synopsys Custom Compiler. Primero, se caracterizan los dispositivos DMTJs a nivel del circuito a través de la verificación funcional de los mismos. Posteriormente, se diseña la celda unitaria BCAM a partir de DMTJs en la etapa de divisor de voltaje y lógica CMOS en la etapa de comparación. Una vez diseñada la celda unitaria se realiza la verificación funcional del circuito a través de simulación de operaciones de búsqueda y escritura en la celda.

Una vez verificado el funcionamiento de la celda NV-BCAM se procede a diseñar el controlador/selector de voltaje de alimentación. El diseño de este circuito comprende, al igual que el diseño de la celda unitaria, la caracterización y verificación del circuito a través de simulación, de tal forma que se obtiene la celda unitaria completa de la memoria propuesta. Además, se realiza un diseño top-level de la memoria y se analiza el desempeño de esta en arreglos de hasta 128 bits. Para finalizar, se analiza el desempeño de la memoria en su totalidad, tanto el conjunto de celdas unitarias como el circuito selector de voltaje de alimentación, bajo condiciones de variabilidad tanto de los DMTJs, así como los transistores que componen los circuitos.

### 2.2. Verificación Funcional DMTJ

Los dispositivos DMTJ permiten almacenar dos estados estables a partir de la magnetización de sus capas libres (FL) con respecto a sus capas de referencia (RL). A partir de la Figura 1 se observa el testbench utilizado para caracterizar el dispositivo así como la característica de sus dos estados. El Estado de Baja Resistividad (LRS) se obtiene cuando la capa libre del DMTJ posee una magnetización paralela a la capa de referencia superior del dispositivo ( $RL_T$ ) y anti-paralela a su capa de referencia inferior ( $RL_B$ ), a este estado se lo denotará con un valor de 0 a través de las simulaciones. Por

el contrario, el Estado de Alta Resistividad (HRS) se obtiene cuando la capa libre posee una magnetización paralela a la capa  $RL_B$  y anti-paralela a la capa  $RL_T$ , a su vez este estado será denotado con el valor de 1 en simulación. La corriente  $I_S$  denota la corriente que fluye a través del dispositivo DMTJ desde  $RL_T$  hacia  $RL_B$ . Además, los parámetros y características de los DMTJs empleados se describen a partir de la Tabla 1.

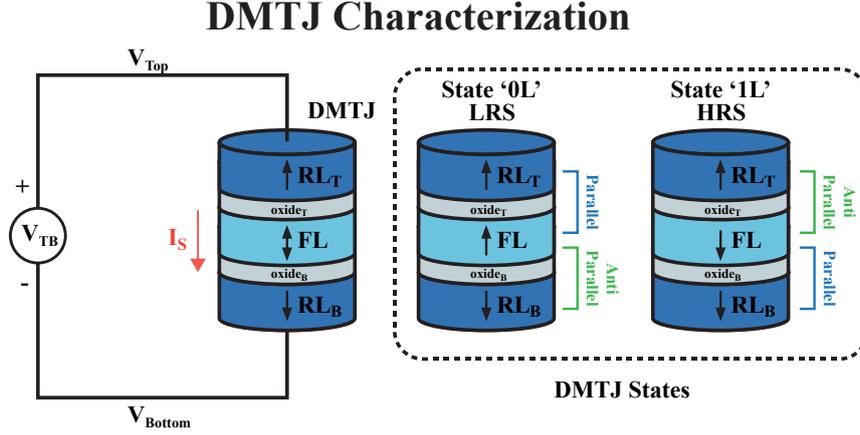


Figura 1: Testbench - Caracterización de DMTJs

Parámetro	Descripción	Valor
$d$	Diámetro del DMTJ	$24nm$
$t_{FL,1}$	Grosor de capa libre #1	$1.6nm$
$t_{FL,2}$	Grosor de capa libre #2	$1nm$
$t_{OX,T}$	Grosor de barrera de óxido superior	$0.8nm$
$t_{OX,B}$	Grosor de barrera de óxido inferior	$0.4nm$
$I_{C0}$	Corriente crítica de conmutación	$8.41\mu A$
$R_H$	Alta Resistencia (Estado)	$33.9k\Omega$
$R_L$	Baja Resistencia (Estado)	$11.4k\Omega$
$TMR$	Razón de magnetoresistencia de túnel	$196\%$

Tabla 1: Parámetros y Características del DMTJ

En la Figura 2 se observa el comportamiento de dos DMTJs, el primer dispositivo  $DMTJ_1$  inicia con un estado de baja resistividad mientras que el segundo dispositivo  $DMTJ_2$  inicia en un estado de alta resistividad. Cabe resaltar que para las simulaciones realizadas, el DMTJ se encuentra modelado a partir de Verilog-A. Ambos dispositivos son sometidos a un potencial  $V_{TB} = \pm 1.1V$  que genera una corriente tal, que produce un cambio de dirección de magnetización a partir del mecanismo de transferencia de torque de spin (STT). En particular, una corriente  $I_S$ , cuyo signo negativo implica que circula

desde la capa  $RL_B$  hacia la capa  $RL_T$ , produce un cambio de estado en el dispositivo hacia LRS mientras que una corriente en sentido opuesto produce un cambio de estado del DMTJ hacia HRS. Esto se produce siempre y cuando la corriente que circula por el DMTJ  $I_S$ , independientemente de su dirección, sea mayor a la corriente crítica del dispositivo  $I_{C0}$ , en este caso la corriente es aproximadamente  $100\mu A$ , por lo cual el tiempo de conmutación de estado se produce en un tiempo aproximado de 5ns.

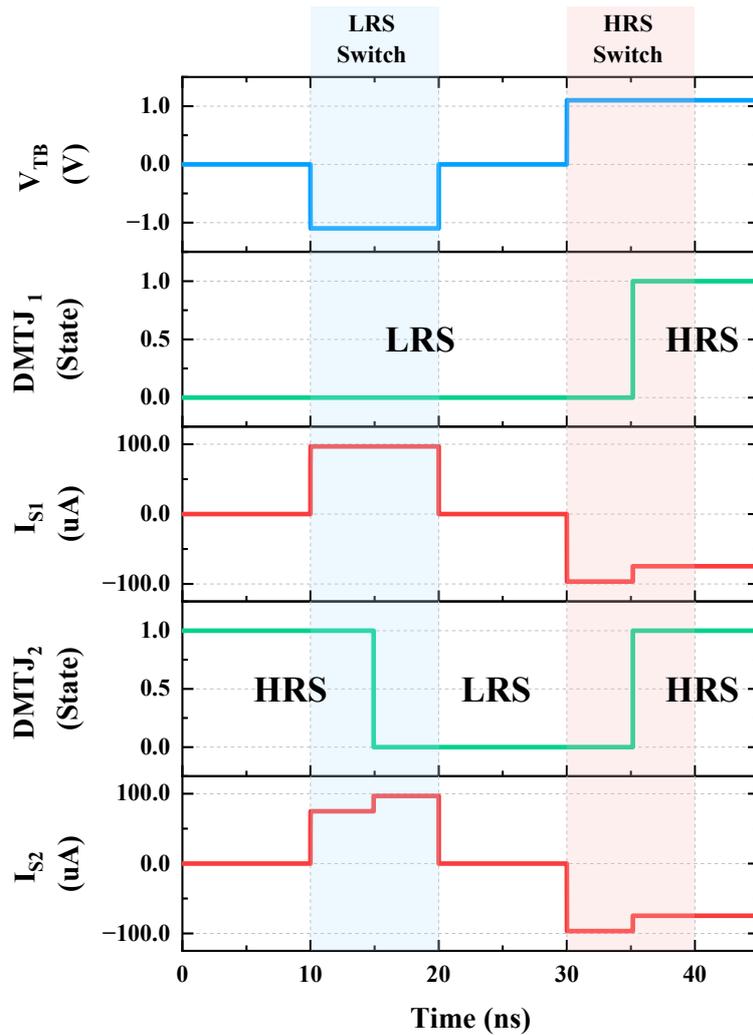


Figura 2: Caracterización - Cambios de Estado DMTJ

### 2.3. Verificación Funcional Celda Unitaria NV-BCAM

La celda unitaria NV-BCAM está compuesta de dos principales etapas: la red de Divisor de Voltaje y la red de Conmutación de Matchline como se puede divisar en la Figura 3. Al ser una memoria CAM, el acceso a la celda unitaria se lo realiza a través

de su línea de búsqueda o Search Line por sus siglas en inglés ( $SL$ ) y la evaluación de la búsqueda se ve reflejada a partir de su línea de coincidencia o Match Line por sus siglas en inglés ( $ML$ ). La primera etapa de Divisor de Voltaje está constituida por dos DMTJs en serie con la línea de  $SL$  y su complemento conectados al otro terminal del DMTJ, junto con dos transistores de habilitación  $M_{E1}$  y  $M_{E2}$ , ambos controlados por una señal de habilitación o Enable. Esta conexión produce que las entrada de  $SL$  con su complemento produzcan una corriente que atravesará ambos dispositivos en direcciones opuestas provocando que estos se magneticen con estados complementarios, y por tanto creando una celda unitaria estable. Cuando el DMTJ<sub>1</sub> está en LRS y el DMTJ<sub>2</sub> en HRS, se dice que la celda almacena 0L, y viceversa para cuando almacena 1L.

Por otro lado, la segunda etapa de la celda unitaria constituye la red de Conmutación de Matchline compuesta por un Buffer desplazado acoplado con un transistor que permite descargar la línea de  $ML$ . Esta descarga se controla a partir del voltaje  $V_O$  que a su vez está determinado por el Buffer desplazado, este Buffer implementa un voltaje de alimentación  $V_Y$  para el inversor  $I_1$  y  $V_{DD}$  para  $I_2$ . Esto permite una detección apropiada de los valores del divisor cuando existe 'match' o 'mismatch' con respecto al valor que se busca dentro de la celda.

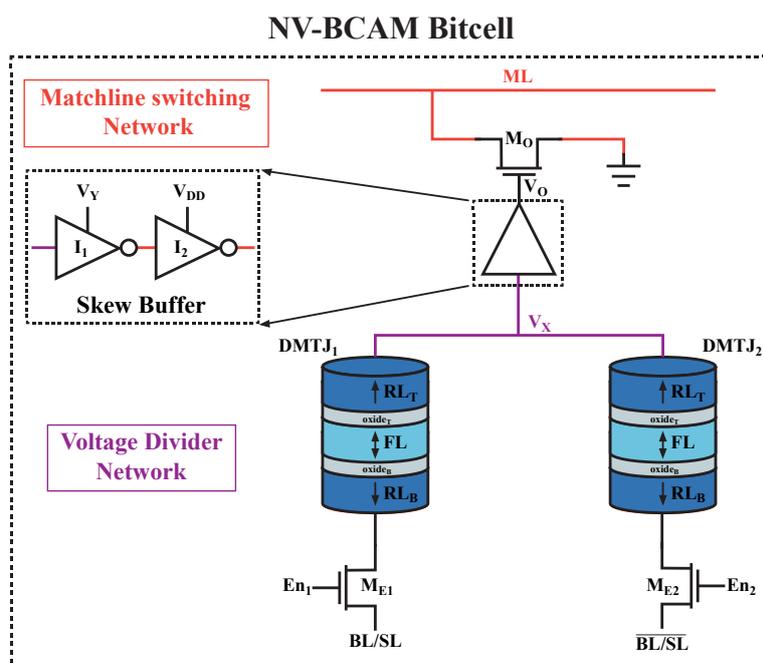


Figura 3: Diseño de celda unitaria NV-BCAM

### 2.3.1. Búsqueda

Para el proceso de búsqueda, dado que ambos DMTJ estarán en estados opuestos, el voltaje en el divisor producido aumentará o disminuirá dependiendo de la relación de sus estados al aplicar una señal con voltaje menor a VDD en la línea de  $SL$ . Cabe recalcar la importancia de utilizar un voltaje menor a VDD para evitar que el estado de los DMTJs cambie y como producto el dato almacenado en la celda se corrompa. En particular, se utiliza un voltaje de búsqueda  $V_{search} = 0.6V$  para la respectiva búsqueda del dato. Por ejemplo, al buscar un 0L en la celda se envía  $V_{search}$  a través de  $\overline{SL}$  y su complemento a través de  $SL$  respectivamente, si la celda almacenaba 0L entonces el voltaje del divisor  $V_X$  será menor al voltaje de conmutación del inversor  $I_1$  provocando que  $V_O$  sea 0 y por lo tanto, no se descargue la línea  $ML$ . Es así como es posible determinar, a través de la coincidencia entre el valor buscado y almacenado en la celda, casos de 'match', para coincidencia, o 'mismatch', para no coincidencia, a partir de la descarga de la  $ML$ . La Figura 4 describe el comportamiento de la  $ML$ ,  $V_O$  y la corriente a través de los DMTJs para diferentes casos de búsqueda sobre la celda unitaria NV-BCAM.

### 2.3.2. Escritura

El proceso de escritura en la celda utiliza el mismo principio de cambio de estado del DMTJ analizado previamente en la sección 2.2, pero aplicado a ambos dispositivos de la celda a partir de un voltaje de escritura  $V_{write} = VDD = 1.1V$ . Por ejemplo, si se desea escribir un 0L en la celda y el dato almacenado es de 1L, entonces se envía  $V_{write}$  a través de  $SL$  y su complemento en  $\overline{SL}$ , esto produce que la corriente atravesando ambos DMTJ en dirección opuesta cambie el estado de HRS hacia LRS en el DMTJ<sub>1</sub>, y viceversa para el DMTJ<sub>2</sub>. Sin embargo, dado que la corriente que atraviesa los DMTJs es considerablemente menor ( $15\mu A$ ) al caso considerado en la sección 2.2, entonces el tiempo de cambio de estado (escritura) de la celda es mayor con un valor de aproximadamente 70ns. La Figura 5 describe el cambio de estado de los DMTJs, así como su corriente para diferentes casos de escritura sobre la celda unitaria NV-BCAM.

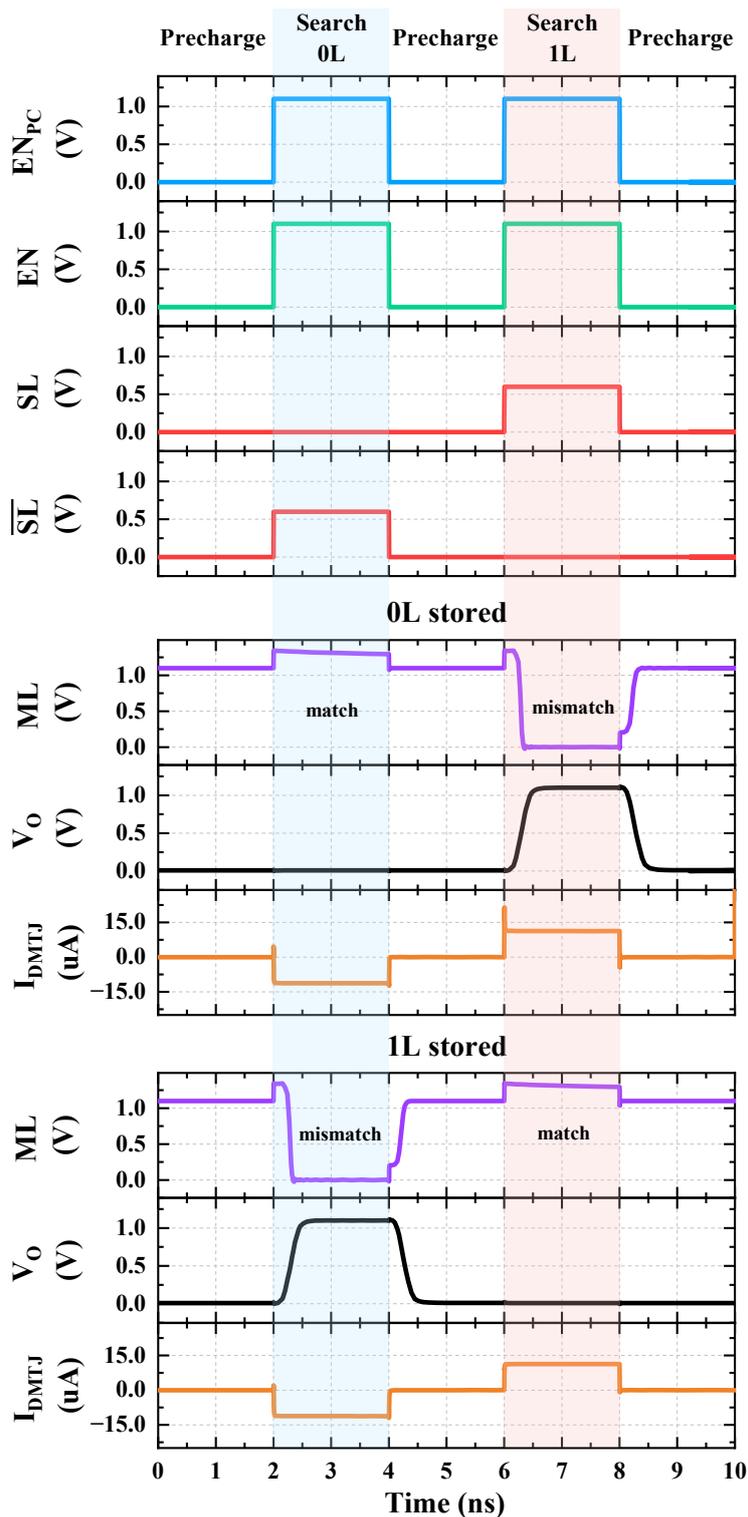


Figura 4: Proceso de Búsqueda - Celda unitaria NV-BCAM

## 2.4. Caracterización y Calibración de Circuito Selector de Voltaje

El circuito selector de voltaje de alimentación (VMS) por sus siglas en inglés de Voltage Mode Selector, permite seleccionar entre dos voltaje de alimentación en su salida

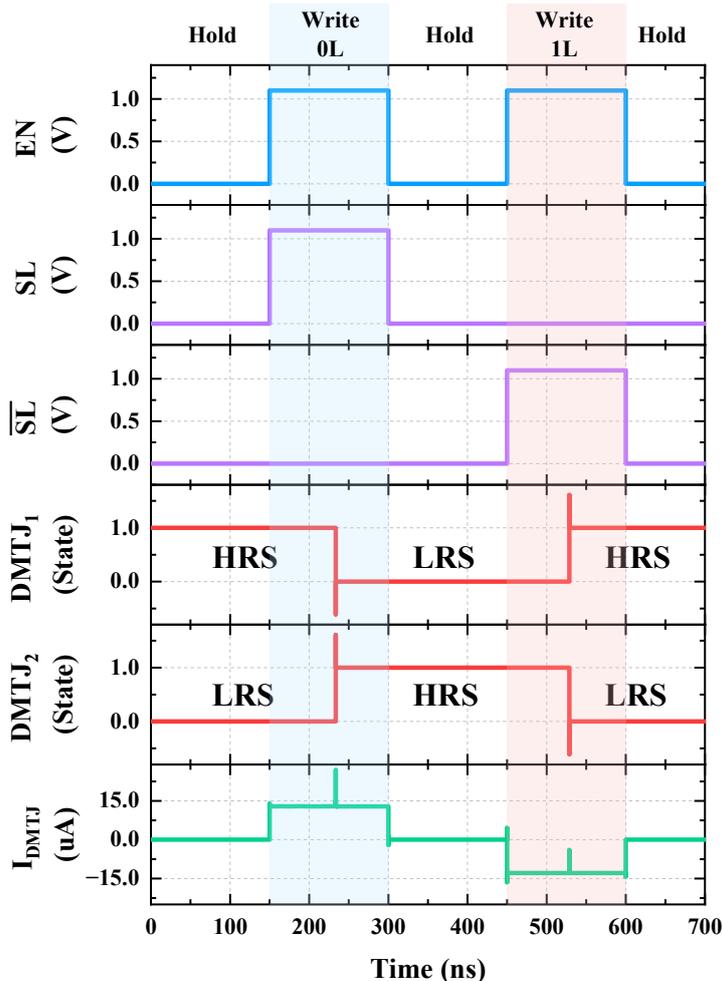


Figura 5: Proceso de Escritura - Celda unitaria NV-BCAM

a partir de dos ramas de selección y una sola alimentación de VDD. Este circuito está compuesto de dos ramas como se puede observar en la Figura 6 y dado que se implementa como circuito para voltajes de alimentación, solamente emplea transistores PMOS en su diseño.

La rama izquierda permite seleccionar el voltaje de alimentación completo a partir de un transistor de habilitación  $M_{S1}$  controlado por la señal VS, en caso de activar este transistor se obtiene que  $V_{VMS} = VDD$ . Mientras que la rama derecha permite seleccionar el voltaje de alimentación reducido a partir de un transistor de habilitación  $M_{S2}$  controlado por el complemento de VS, esta rama, a diferencia de la izquierda implementa n transistores en conexión de cascodo para reducir el voltaje de alimentación inicial y obtener que  $V_{VMS} = VDD - \Delta V$ . El control de activación de ambas ramas a partir de señales complementarias garantiza que ambas ramas no se encuentren habilitadas al

mismo tiempo. A continuación se describe la calibración del circuito VMS para obtener un voltaje reducido de  $V_{VMS} = 0.6V$  a partir de un voltaje de alimentación inicial  $VDD = 1.1V$ .

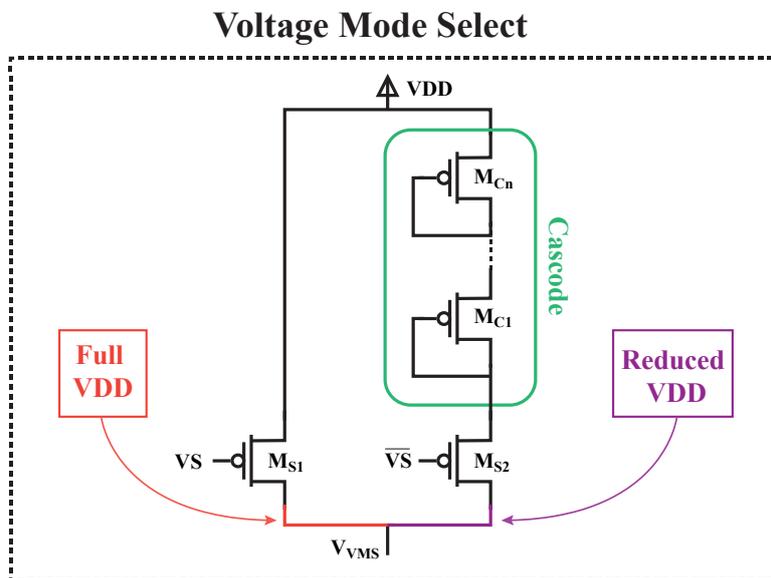
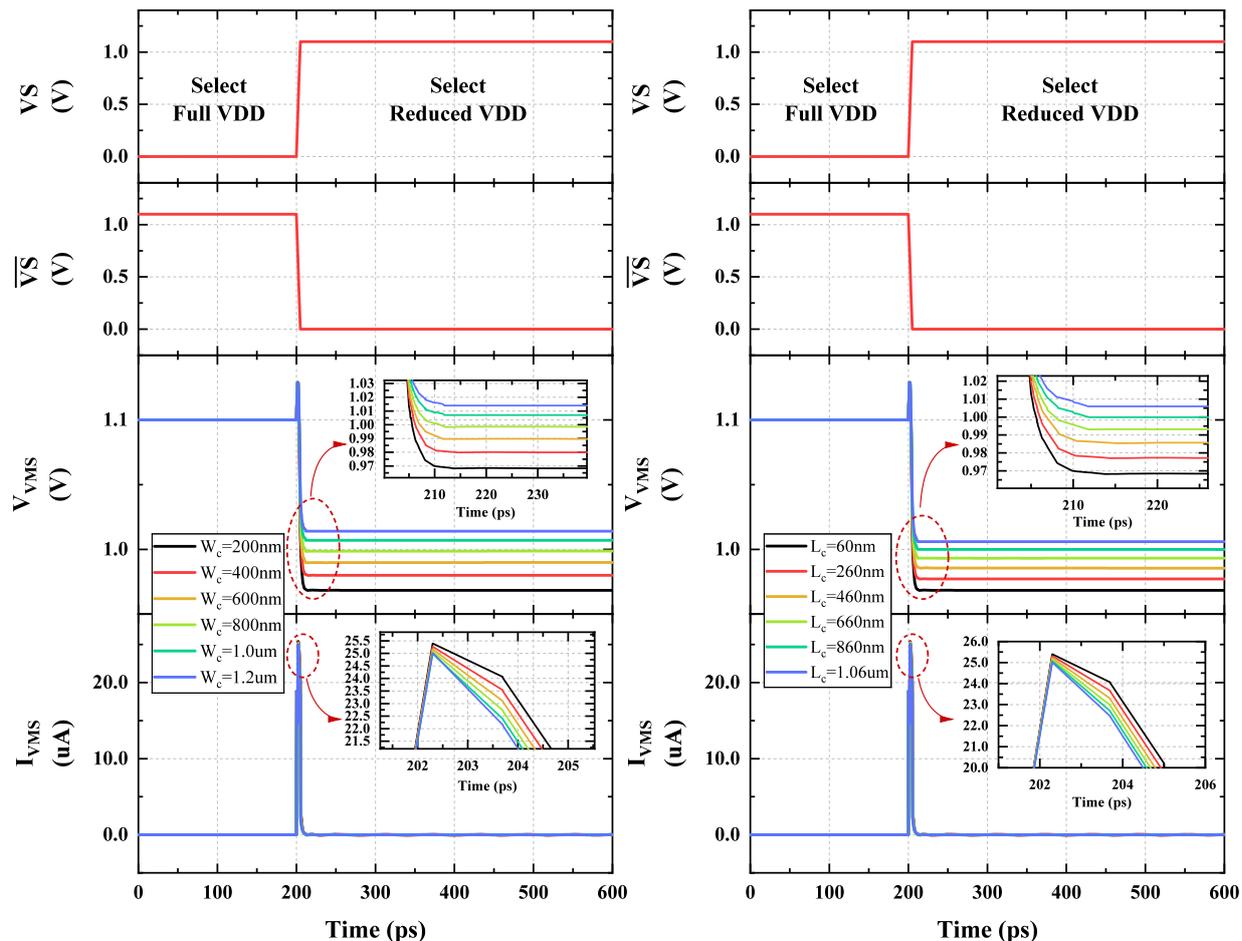


Figura 6: Circuito Selector de Voltaje de Alimentación (VMS)

#### 2.4.1. Dimensionamiento de Transistores en Cascodo

La conexión en cascodo de los transistores en la rama derecha de Figura 6 permiten reducir el voltaje de alimentación inicial hacia el voltaje secundario deseado  $V_{VMS} = 0.6V$ , cuyo valor corresponde al voltaje de lectura de la celda unitaria NV-BCAM propuesta como se detalló en la sección 2.3. La Figura 7a describe el análisis de dimensionamiento para un solo transistor en cascodo tanto para el ancho ( $W_C$ ) y largo ( $L_C$ ) de dicho transistor PMOS.

En cuanto al ancho de este, se analiza la respuesta del voltaje  $V_{VMS}$  así como la corriente de la salida  $I_{VMS}$  para 6 valores entre  $200nm < W_C < 1.2\mu m$ . Si bien el voltaje  $V_{VMS}$  disminuye con respecto al VDD inicial, esta disminución alcanza su mínimo en  $0.97V$  con un transistor de ancho mínimo  $W_C = 200nm$ , a medida que aumenta el ancho del transistor el voltaje en la salida aumenta de igual manera hasta alcanzar un máximo de  $1.02V$ . Por otro lado, al analizar el impacto del aumento de largo  $L_C$  del transistor se observa una tendencia similar a la presentada previamente con el ancho de este. El voltaje

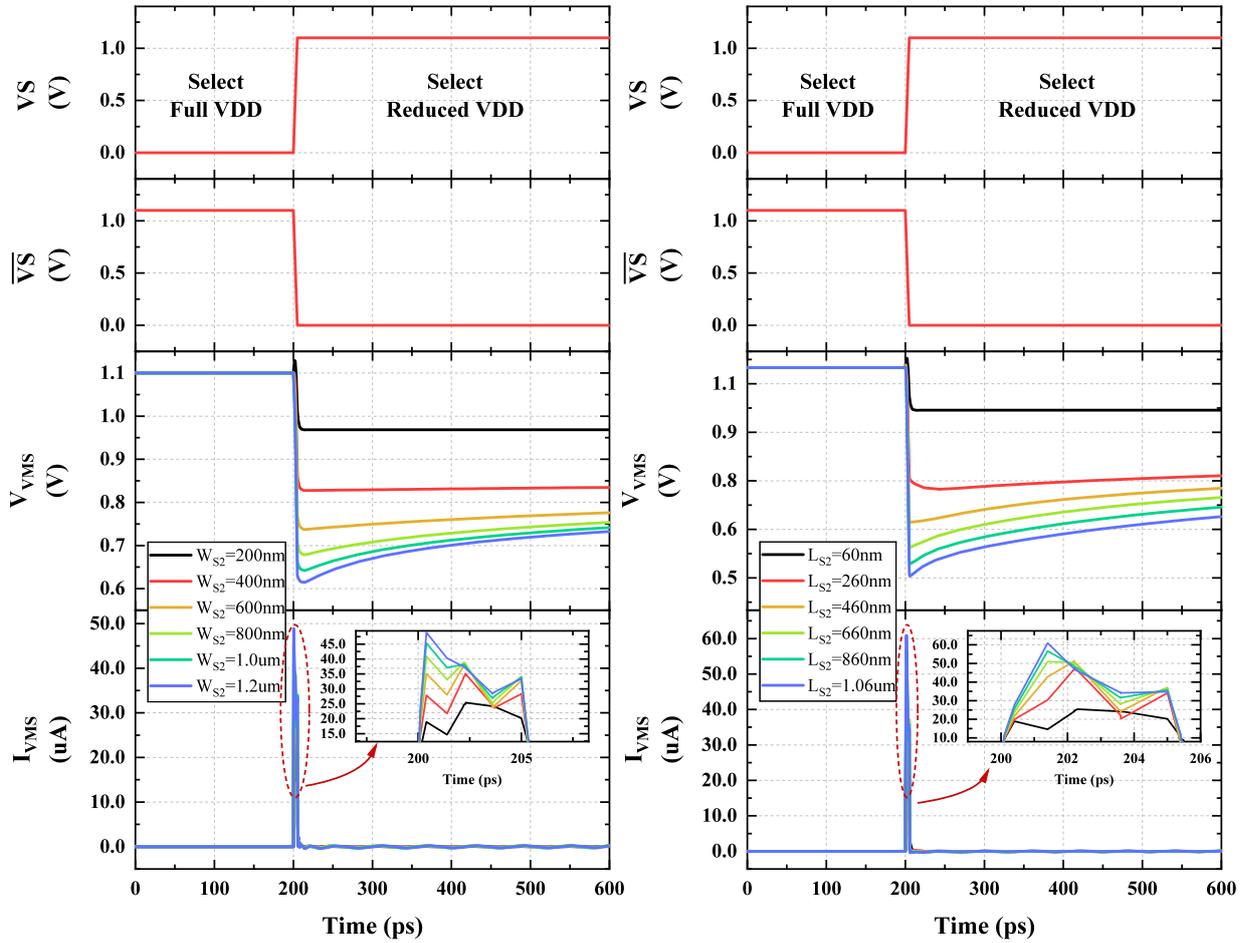
(a) Análisis de Ancho del Transistor ( $W_C$ )(b) Análisis de Largo del Transistor ( $L_C$ )Figura 7: Dimensionamiento de Transistor en Cascodo ( $M_{C1}$ )

$V_{VMS}$  aumenta a partir de su punto mínimo en 0.97V con un largo mínimo de  $L_C = 60nm$  hasta alcanzar 1.07V con  $L_C = 1.06\mu m$ . Si bien el voltaje de salida del circuito disminuye, este solamente alcanza un mínimo de 0.97V a través de sus dimensiones mínimas lo cual no cumple con nuestro objetivo de diseño.

#### 2.4.2. Dimensionamiento de Transistor de Habilitación

A continuación, se describe en la Figura 8a, el análisis de dimensionamiento para el transistor de habilitación de la rama de voltaje reducido tanto para su ancho ( $W_{S2}$ ) y largo ( $L_{S2}$ ). En cuanto a su ancho, se analiza la respuesta del voltaje  $V_{VMS}$  así como la corriente de la salida  $I_{VMS}$  para 6 valores entre  $200nm < W_{S2} < 1.2\mu m$ . En este caso, a diferencia de la tendencia observada en el análisis del transistor en cascodo, el voltaje  $V_{VMS}$  disminuye considerablemente hasta alcanzar su punto mínimo en aproximadamente

0.6V con un ancho  $W_{S2} = 1.2\mu m$ , mientras que se obtiene el punto máximo de  $V_{VMS} = 0.97V$  para el ancho mínimo de  $W_{S2} = 200nm$ .



(a) Análisis de Ancho del Transistor ( $W_{S2}$ )      (b) Análisis de Largo del Transistor ( $L_{S2}$ )

Figura 8: Dimensionamiento de Transistor de Habilitación ( $M_{S2}$ )

Ahora, con respecto a la corriente, esta posee un pico durante la conmutación del selector de voltaje, este pico presentado posee mayor magnitud a medida que el tamaño del transistor de habilitación incrementa, alcanzando un máximo de  $I_{VMS} = 45\mu A$  para un ancho  $W_{S2} = 1.2\mu m$  y un mínimo  $I_{VMS} = 25\mu A$  para un ancho mínimo  $W_{S2} = 200nm$ . Si bien ahora se logra disminuir el voltaje de alimentación hasta alcanzar el punto deseado alrededor de 0.6V, el voltaje  $V_{VMS}$  no permanece estable en ese valor sino que experimenta una especie de carga que aumenta el voltaje en este nodo. Esta carga se percibe a partir de  $W_{S2} = 600nm$  y su efecto incrementa notablemente para las curvas de  $W_{S2} = 800nm, 1.0\mu m, 1.2\mu m$ .

Ahora, al analizar el comportamiento del circuito ante el dimensionamiento del

largo del transistor de habilitación ( $L_{S2}$ ), se puede denotar una tendencia similar a la observada en el análisis de ancho  $W_{S2}$ , dado que el voltaje  $V_{VMS}$  disminuye hasta alcanzar un mínimo de  $0.5V$  con  $L_{S2} = 1.06\mu m$  y un máximo de  $0.97V$  con la dimensión mínima de largo. De la misma forma, este valor de voltaje sufre una carga que se evidencia a partir de  $L_{S2} = 460nm$ , sin embargo este efecto posee el mismo impacto al aumentar el largo del transistor.

Finalmente, se realiza un análisis posterior para determinar el comportamiento del  $V_{VMS}$  ante varios transistores en cascodo con la intención de mitigar este efecto de carga y estabilizar el voltaje de la salida del VMS en el valor deseado. La Figura 9 describe dicho comportamiento, en donde se denota el efecto de carga de  $V_{VMS}$  desde su punto mínimo en  $0.6V$  cuando el circuito implementa solamente un transistor en cascodo. Sin, embargo este efecto pasa por desapercibido al aumentar el número de transistores  $C_n = 2, 3, 4$  y el voltaje de salida permanece estable en el valor deseado de  $V_{VMS} = 0.6V$ . Es así como se calibra finalmente el circuito completo de selección de voltaje VMS con dos transistores en cascodo, cuyo dimensionamiento se muestra en la Tabla 2

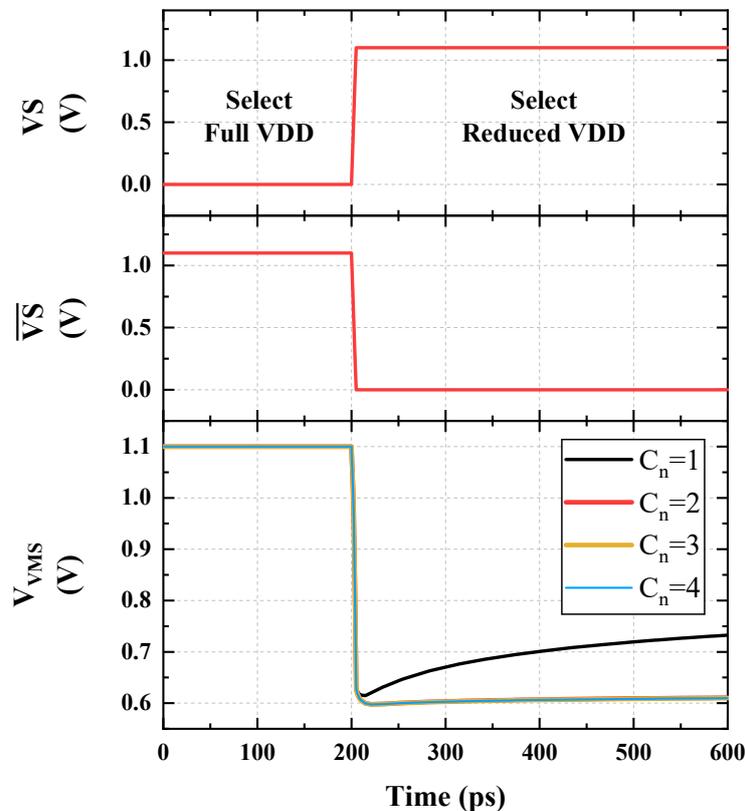


Figura 9: Análisis para  $n$  transistores en cascodo ( $M_{Cn}$ )

Componente	W (nm)	L(nm)
$M_{S1}$	200	60
$M_{S2}$	1200	60
$M_{C1,C2}$	200	60

Tabla 2: Dimensionamiento Circuito VMS

## 2.5. Configuración de 1-128 bits

### 2.5.1. Diseño Top Level

Una vez caracterizada la celda unitaria NV-BCAM, el siguiente paso consiste en realizar un diseño top level para arreglos de celdas unitarias desde 1 hasta 128 bits con incrementos de  $2^n$  bits, por lo tanto se analizan arreglos de 1, 2, 4, 8, 16, 32, 64 y finalmente 128 bits. El diseño top-level de la memoria se compone de dos partes principales, el arreglo de celdas unitarias y su periferia. La Figura 10 detalla la composición de ambas partes mencionadas. Por un lado, se tiene el arreglo de celdas unitarias compuestas por celdas 7T2MTJs, conformadas por 7 transistores y 2 MTJs, descritas previamente en la sección 2.3 con sus líneas de  $SL$  independientes para cada una de las celdas y la línea de  $ML$  compartida para todo el arreglo de celdas unitarias, el cual se nombrará a menudo como palabra, dado que emplea una única fila de n bits.

Por otro lado, se tienen los circuitos que componen la periferia de la memoria cuyo objetivo es permitir las operaciones de búsqueda y lectura dentro de la memoria. El circuito de precarga está comandado por un transistor PMOS, el cual se encarga de precargar la línea de  $ML$  antes de una operación de búsqueda. Otro de los circuitos de periferia importantes en la operación de búsqueda es el Sense Amplifier, dado que este circuito permite detectar la descarga de la línea de  $ML$  a partir de una diferencia de voltaje con respecto a VDD. A este circuito lo constituye un Buffer desplazado cuya calibración se explicará posteriormente en la sección 2.5.2

Dado que cada palabra en la memoria posee una línea independiente de  $SL$  y  $\overline{SL}$  para cada uno de sus bits, el proceso de escritura en cuanto a su retardo resulta similar tanto para una celda unitaria como para palabras más largas, por ejemplo 128 bits, debido a que este proceso se lleva a cabo en paralelo para este tipo de memorias

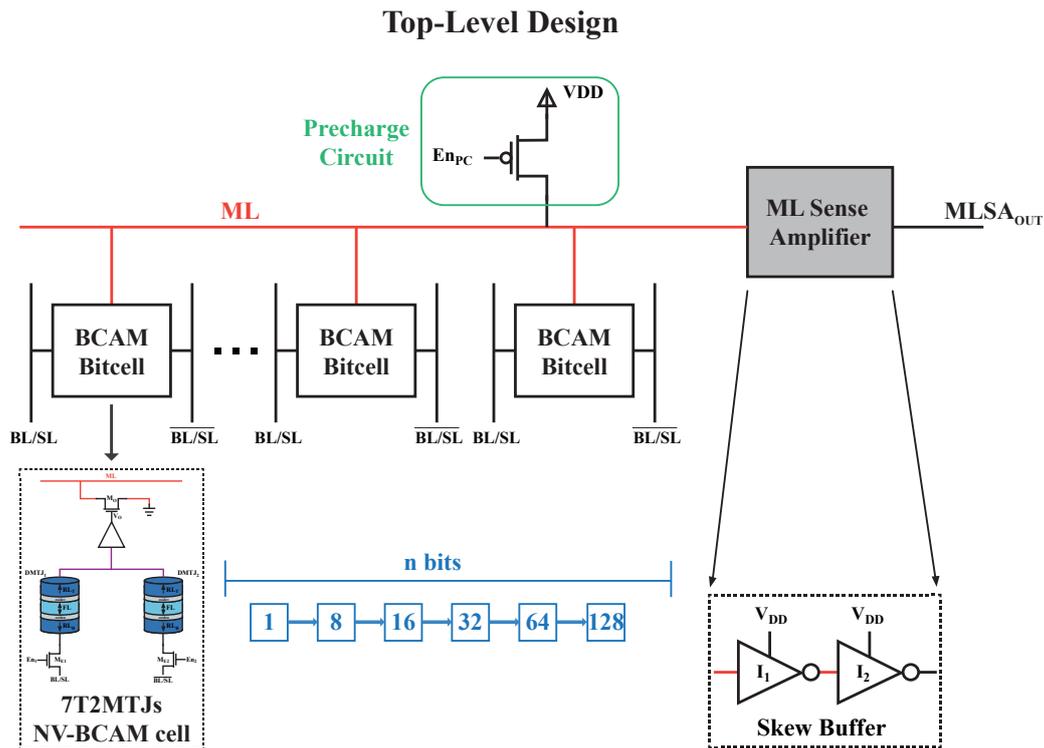


Figura 10: Diseño Top Level 1-128 bits

BCAM. Por el contrario, el proceso de búsqueda presenta mayor dificultad a medida que la palabra aumenta de tamaño, esto debido a que la comparación de la palabra buscada con respecto a la almacenada en la memoria se evalúa a partir de una sola línea de *ML* compartida, esta línea presentará una descarga en el caso de 'mismatch' y se mantendrá cargada en el caso de 'match'. Por lo tanto, los análisis posteriores de la memoria a nivel top-level se realizarán en cuanto al retardo y la energía de búsqueda para configuraciones desde 1-128 bits.

Además, los casos de búsqueda analizados se realizarán a partir del peor escenario de búsqueda para la memoria. La Figura 11 muestra el peor escenario de búsqueda para una palabra (arreglo) de 8-bits, mientras que la Figura 12 muestra la simulación de dicho escenario y la obtención del retardo de búsqueda para 'mismatch'. Para describir el peor escenario de búsqueda, se toma como valor inicial almacenado en la memoria de 8-bits el valor en hexadecimal de 0x01, siendo el bit menos significativo (LSB) el que almacene 1L, al realizar una operación de búsqueda del valor 0x00 se obtendrá un 'match' dentro de todos los bits de la memoria excepto en el LSB. Esto provocará que el 'mismatch' de

la palabra buscada con respecto a la almacenada se produzca por un único bit dentro de todo el arreglo, y por tanto la descarga de la línea  $ML$  se realice a partir de la celda unitaria del bit mencionado (a través de  $M_O$ ).

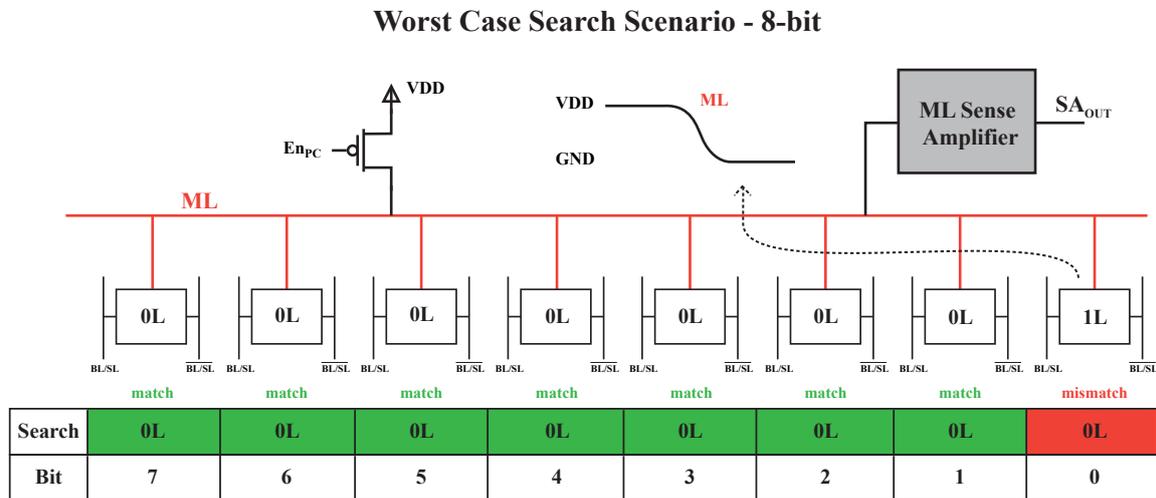


Figura 11: Descripción de Peor Escenario de Búsqueda - 8-bits

En la Figura 12 se presenta el timing diagram de referencia para una configuración de 8 bits. Al igual que en la descripción realizada en Figura 11 la palabra almacenada inicialmente en el arreglo es 0x01, por lo cuál al realizar la búsqueda de 0x01, al enviar  $V_{search} = 0.6V$  en las líneas de  $\overline{SL}_{7:1}$ , su complemento en las líneas  $SL_{7:1}$  y  $V_{search}$  en  $SL$  y su complemento en  $\overline{SL}$ , se obtiene un 'match' que provoca que la línea  $ML$  se mantenga cargada. En cambio, al realizar la búsqueda de 0x00 se obtiene un 'mismatch' a partir del LSB de la memoria generando que la línea  $ML$  se descargue. El retardo de búsqueda para esta configuración está definido por el 50% de subida de la señal  $EN_{PC}$  y el 50% de bajada de la señal de salida del Sense Amplifier  $SA_{OUT}$ .

Para posteriores simulaciones a nivel top-level de configuraciones/arreglos más extensos se utiliza el mismo principio de medición para el peor escenario de búsqueda que el implementado para una configuración de 8 bits, esto de acuerdo con la longitud de la palabra, de tal forma que la descarga de  $ML$  en caso de 'mismatch' se genere solo a partir de una sola celda.

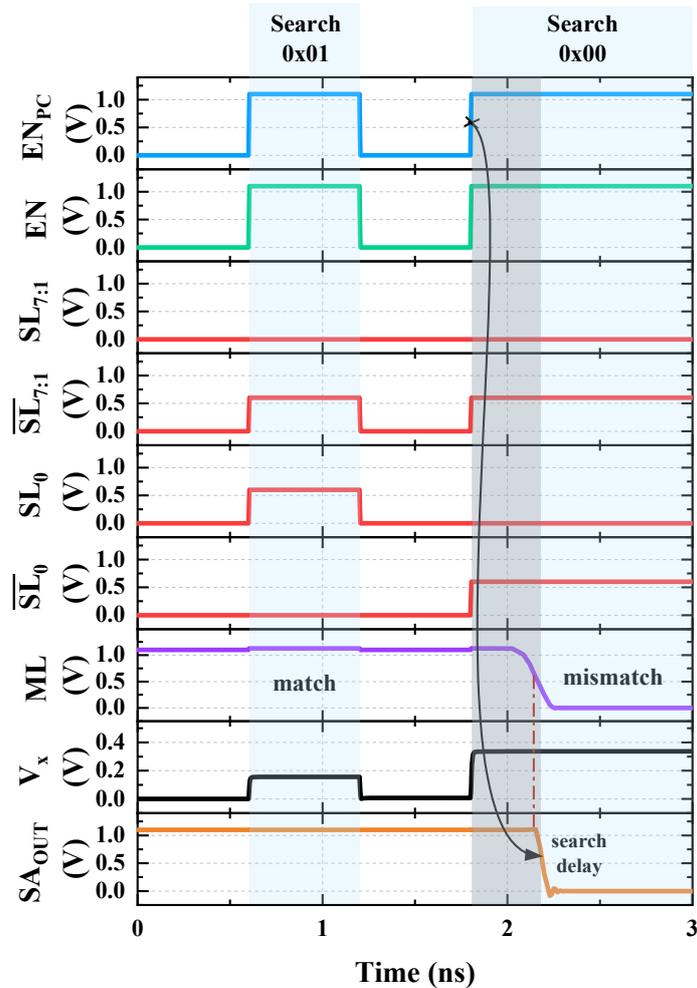


Figura 12: Simulación de Peor Escenario de Búsqueda - 8-bits

### 2.5.2. Calibración de Circuito Sense Amplifier

El circuito Sense Amplifier juega una parte fundamental en el diseño top-level de la memoria, especialmente para configuraciones con palabras considerablemente largas, por ejemplo 64,128 bits. Esto dado que permite detectar un 'mismatch' en la línea de  $ML$  a partir de un cierto porcentaje de la descarga de esta, permitiendo acelerar el proceso de búsqueda de forma considerable. Sin embargo, la adecuada calibración de este circuito permite reducir aún más el tiempo de búsqueda de la memoria al igual que la energía de búsqueda.

Como se mostró en la Figura 10 el circuito Sense Amplifier propuesta consiste en un Buffer desplazado gobernado a partir de un solo voltaje de alimentación VDD. La Figura 13 indica la curva de transferencia de este circuito Buffer ante diferentes dimensiones

de ancho de sus transistores PMOS ( $W_p$ ), manteniendo la dimensión de los transistores NMOS en su valor mínimo. Se busca aumentar la fuerza de pull-up del circuito de tal forma que el voltaje de conmutación de ambos inversores que componen el Buffer aumente y se acerque más hacia VDD.

De esta forma, el Sense Amplifier detectará la descarga de la línea de  $ML$  ante un porcentaje de descarga menor, lo cual implica a su vez una detección más rápida con menor consumo de energía. Finalmente, se escoge el ancho  $W_p = 3.2\mu m$ , con el cuál el circuito permite detectar la descarga de  $ML$  a partir de  $V_{IN\_SA} < 0.61V$ , a diferencia de la implementación inicial con dimensiones mínimas que permite sensar la descarga para  $V_{IN\_SA} < 0.50V$ .

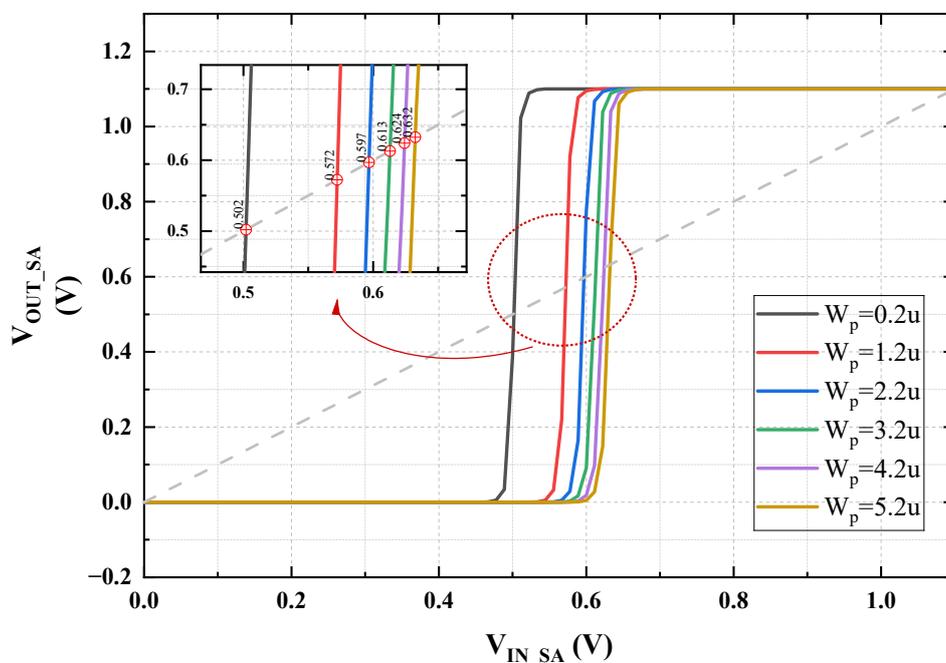


Figura 13: Calibración - Sense Amplifier

## 2.6. Resultados Nominales

### 2.6.1. Resultados Nominales de Búsqueda y Energía

Tomando en cuenta la configuración descrita previamente en la sección 2.5 para el peor escenario de búsqueda dado un arreglo de 1-128 bits, se obtienen los resultados nominales tanto de retardo como de energía de búsqueda para todos estos casos, los cuales

se muestran a través de Figura 14.

En cuanto al retardo de búsqueda, se obtiene un retardo de 237.9 ps para el 'mismatch' de una sola celda unitaria, mientras que para palabras de 8, 16, 32, 64 y 128 bits se obtienen retardos de búsqueda de 385 ps, 396.2 ps, 418.0 ps, 462.86 ps y 501.44 ps respectivamente. Como se observa en Figura 14 la tendencia de aumento de retardo de energía para arreglos desde 8-128 bits aumenta de forma casi lineal dado que en cada configuración se duplica el número de bits. Sin embargo, se evidencia que para todos los casos de búsqueda analizados, el tiempo de búsqueda es menor a 600 ps, lo cual representa un buen desempeño de la memoria al poseer operaciones con tiempo menor a 1 ns de latencia.

En cuanto a la energía búsqueda que también se puede evidenciar a partir de Figura 14 un aumento exponencial de la energía de búsqueda con 7.0 fJ, 14.5 fJ, 23.3 fJ, 42.7 fJ, 87.1 fJ y 177.7 fJ para arreglos de 1, 8 16, 32 ,64 y 128 bits respectivamente. Este aumento exponencial de energía se debe al aumento exponencial del número de celda unitarias para cada configuración a razón de  $2^n$  bits. Cabe resaltar que, para todos los casos analizados el consumo energético de la memoria resulta menor a 200 fJ lo cuál podría considerarse para aplicaciones low-power de igual manera. A continuación, se analiza el rendimiento tanto de la memoria con su periferia, así como del circuito VMS ante diferentes fuentes de variabilidad a través de análisis Montecarlo en la sección 2.7.

## 2.7. Simulaciones Montecarlo

Para determinar el impacto de la variabilidad tanto a nivel de transistor como mismatch, así como a nivel del DMTJ en cuanto a su proceso de fabricación, se realizan 1000 simulaciones Montecarlo. Estas simulaciones se realizan para determinar: el margen de estabilidad en el proceso de lectura de la memoria, el impacto de la variabilidad sobre el retardo de búsqueda junto con su energía, y por último, la variación de voltaje en el circuito selector de voltaje al obtener el voltaje reducido por una de sus ramas.

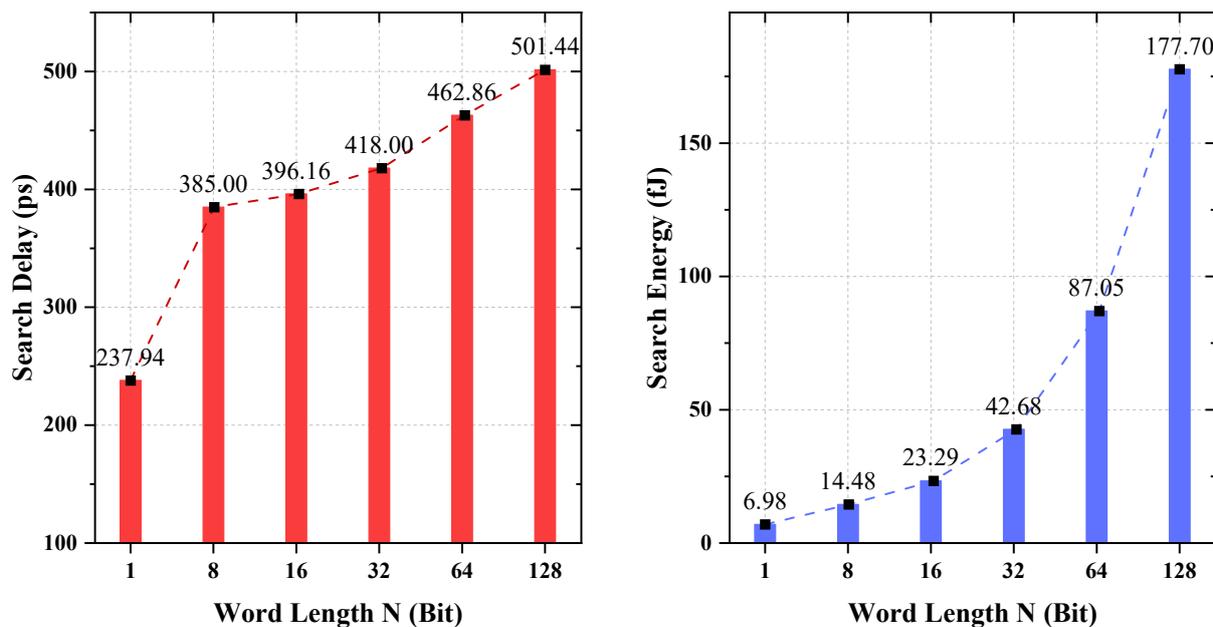


Figura 14: Resultados Nominales - Retardo y Energía de Búsqueda

### 2.7.1. Margen de Estabilidad de Búsqueda

La Figura 15 representa la función de densidad de probabilidad para el voltaje  $V_X$  obtenido en el divisor de voltaje entre ambos DMTJs en la celda unitaria de la NV-BCAM propuesta, mostrada en Figura 3. Se muestra la distribución del voltaje en este divisor para los casos de 'match' y 'mismatch' en el proceso de lectura. El voltaje de 'mismatch' resulta mayor que el de 'match' dado que, solamente al no existir una coincidencia de la palabra almacenada con respecto a la buscada, la línea  $ML$  se descargará a partir de la activación del NMOS  $M_O$  de la celda unitaria.

El voltaje de 'match' presenta una media de 155.6 mV con una desviación estándar de 6mV. Por otro lado, el voltaje de 'mismatch' presenta una media de 336.5 mV con una desviación estándar de 11.3mV, lo cual permite obtener un margen de detección de coincidencia de 180 mV. Además, la Figura 15 delimita ambas regiones de 'match' y 'mismatch' a partir de  $\mu - 3\sigma$  del voltaje de 'mismatch', lo cual determina que la línea  $ML$  se mantendrá cargada ('match') para  $0mV < V_X < 302.6mV$  y se descargará detectando 'mismatch' para  $V_X > 302.6mV$ .

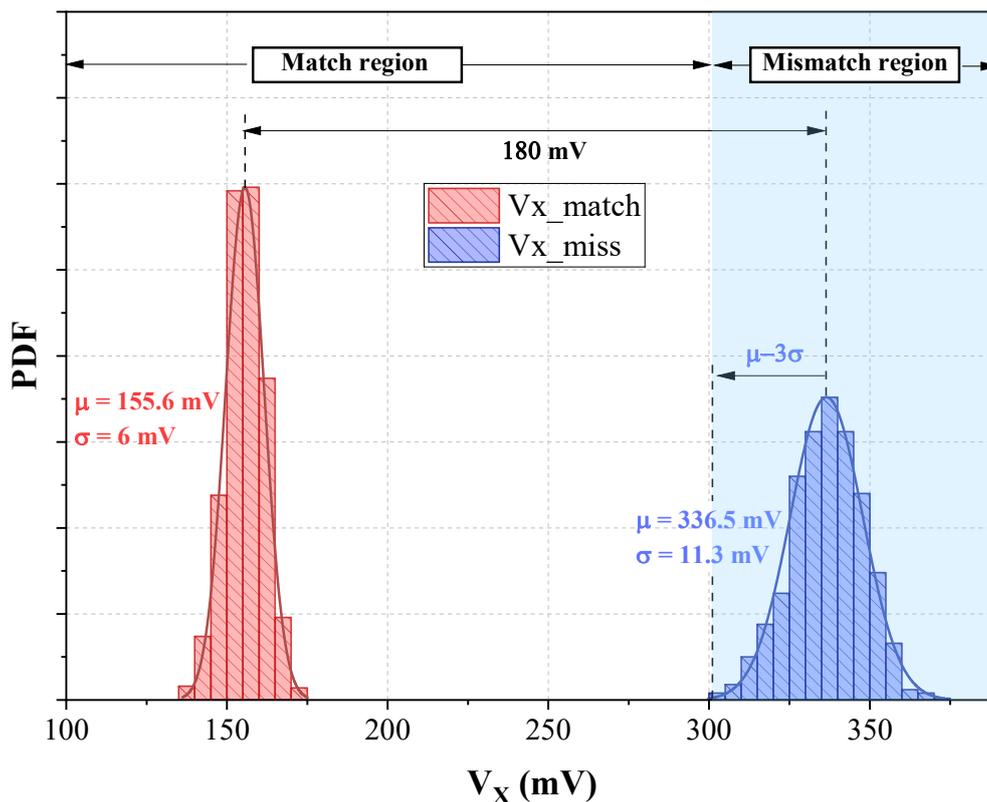


Figura 15: Margen de Búsqueda - Montecarlo

### 2.7.2. Variabilidad de Proceso de Búsqueda - Retardo y Energía

Ahora, con respecto a la variabilidad del proceso de lectura en cuanto a su retardo y energía se toma como referencia el peor escenario de búsqueda de 8 bits descrito en Figura 12, pero para palabras desde 1-128 bits. Una vez aplicadas las respectivas variaciones de 'mismatch' de transistores y de proceso del DMTJ se obtienen los resultados descritos en Figura 16. Esta figura muestra un análisis comparativo de los valores medios, junto con su respectiva desviación estándar para retardo y energía de búsqueda ya consideradas las variaciones de proceso.

Se muestra en Figura 16 una tendencia similar a la obtenida para el análisis nominal en la sección 2.6 para todas las configuraciones estudiadas. Sin embargo, tanto el retardo de búsqueda como la energía presentan un incremento debido a la variabilidad considerada. Es así que la celda unitaria tarda 295.8 ps en detectar un 'mismatch' en el peor caso consumiendo 7.43fJ, mientras que las configuraciones más largas de bits presentan un retardo de 468.2ps, 471.5ps, 511.3ps, 547.8ps y 608.4ps, con energía corres-

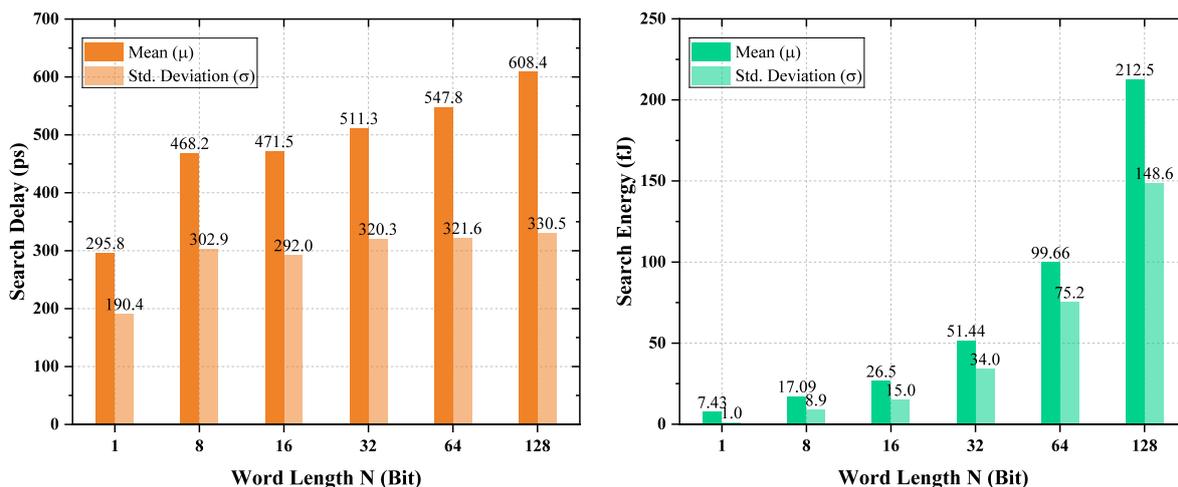


Figura 16: Resultados Variabilidad - Retardo y Energía de Búsqueda

pondiente a 17.1fJ, 26.5fJ, 51.4fJ, 99.7fJ y 212.5fJ para 8, 16, 32, 64 y 128 bits respectivamente. Cabe resaltar que los resultados obtenidos de retardo incluso con variabilidad presentan una búsqueda menor a 1ns lo cuál implica un diseño de memoria NV-BCAM de alto rendimiento y robusto ante variabilidad. No obstante, si bien la media presenta resultados similares a los nominales, la desviación estándar obtenida para los casos analizados muestran un impacto considerable tanto para el retardo y la energía de búsqueda. Se muestra en Figura 16 el retardo de búsqueda ante 'mismatch' de una celda unitaria NV-BCAM con una variación estándar de 190.4ps con respecto a su media de 295.8ps. Lo mismo sucede con configuraciones de palabras más extensas, como por ejemplo el caso de 8 bits, cuyo retardo posee una desviación estándar de 302.9ps con respecto a su media de 468.2ps, si se toma en cuenta una variación de  $\sigma$  desde el valor nominal, entonces el retardo obtenido será de aproximadamente 750ps, lo cuál se asemeja más a una configuración de 128 bits.

En cuanto a la variación de energía para las configuraciones descritas, esta no posee un impacto tan pronunciado en cuanto a la desviación estándar con respecto a la media. Por ejemplo, al tomar como referencia la energía de búsqueda de 8 bits, se tiene una desviación estándar de 8.87fJ con respecto a la media de 17.09fJ, lo cuál si se aplica una variación de  $\sigma$  desde el valor nominal, la energía será equivalente a 26fJ, valor que se asemeja a la energía de búsqueda de una palabra de 16 bits y no de 128 bits como en el caso del retardo.

A pesar de esto, cabe recalcar que las variaciones consideradas se realizan sobre el peor caso de búsqueda sobre arreglos extensos, lo cual implica una baja probabilidad del sistema a estar expuestos sobre estos casos con variaciones tan agresivas como las observadas a través de los resultados.

### 2.7.3. Variabilidad de Circuito Selector de Voltaje

Finalmente, se analiza la variabilidad del circuito selector de voltaje de alimentación, una vez caracterizada la variación de la NV-BCAM, además de configuraciones de búsqueda para palabras extensas. Esto con la finalidad de determinar y caracterizar la variación del voltaje que será aplicado a la celda unitaria, especialmente mediante su voltaje reducido  $V_{VMS} = 0.6V$  para realizar operaciones de búsqueda a través de las líneas de búsqueda  $SL$  y  $\overline{SL}$ . A partir de Figura 17 se describe la variación obtenida en los transistores PMOS que componen este circuito en el voltaje de salida  $V_{VMS}$ , en Figura 17a se muestra el diagrama de tiempo de las 1000 simulaciones Montecarlo realizadas para las señales de selección (entradas)  $VS$  y  $\overline{VS}$ , y la respuesta de  $V_{VMS}$  para la selección de voltaje completo y reducido. A su vez, Figura 17b muestra la relación entre la desviación de estándar con respecto a la media para 10 puntos uniformemente distribuidos sobre el periodo de selección de voltaje reducido.

Si bien a partir del diagrama en Figura 17a se observa la variación de las 1000 muestras aleatorias del circuito especialmente en la sección de selección de voltaje reducido, resulta difícil cuantificar el impacto de la variación. Por lo tanto, Figura 17b cuantifica este impacto a partir de la relación entre la desviación estándar con respecto a la media para 10 puntos en el periodo de voltaje reducido. Esta relación se describe a partir de un porcentaje que indica cuán agresiva es la variación tomando en cuenta su valor nominal. Es así, que se puede determinar que la variación posee un impacto menor sobre el circuito selector de voltaje con el transcurso del ciclo.

Además, si bien la variación es mayor cerca de la conmutación del circuito desde voltaje de VDD completo hacia el reducido, esta no influye significativamente en el voltaje de salida del selector  $V_{VMS}$ . Por ejemplo, si se toma en cuenta la variación en 240ps, se

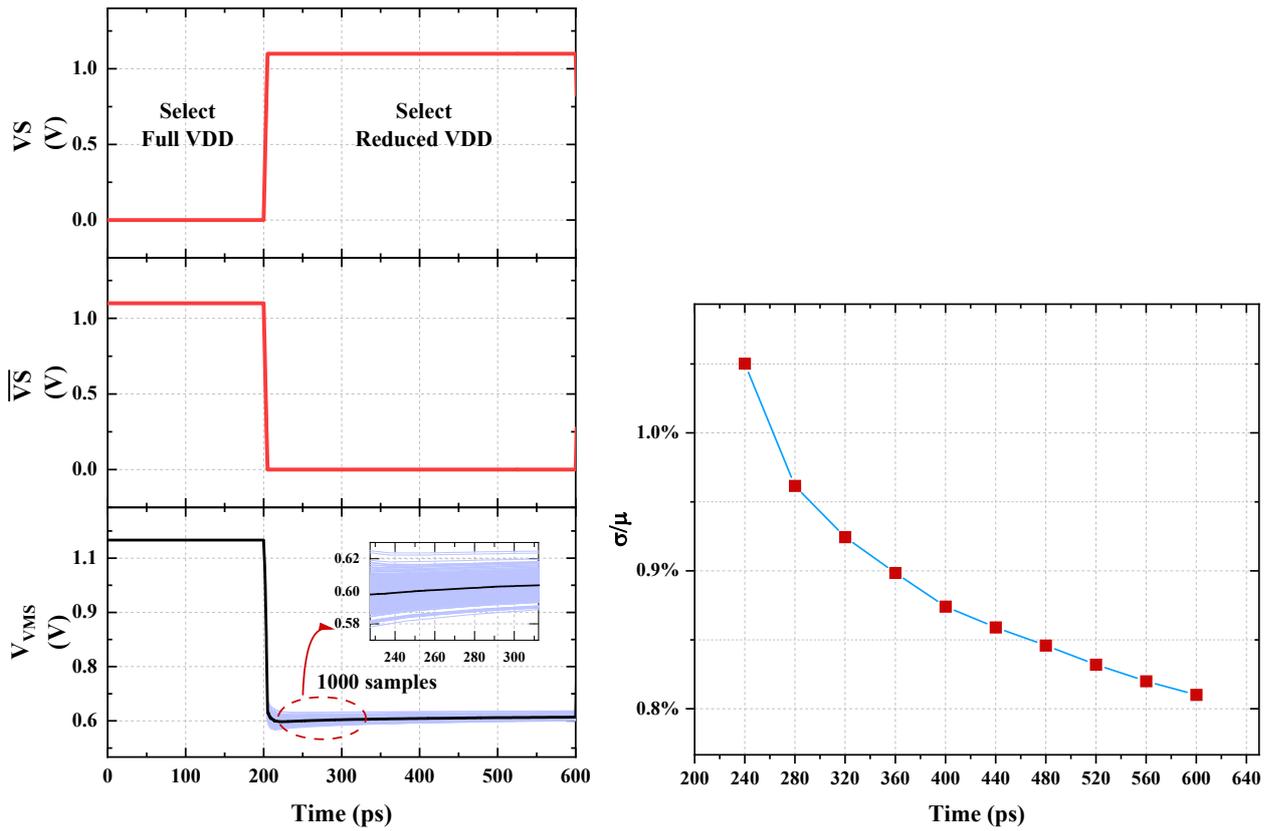
(a) Variación  $V_{VMS}$ (b) Variación en 10 puntos sobre  $V_{VMS}$  reducido

Figura 17: Variabilidad de Circuito Selector de Voltaje VMS

tiene una relación  $\sigma/\mu = 1.1$ , ahora si se considera una variación de  $3\sigma$  entonces se tendrá una distorsión en el nodo  $V_{VMS} = 0.6 \pm 3.3\%$ , por lo tanto, para este punto,  $0.62V < V_{VMS} < 0.58V$  aproximadamente.

### 3. CONCLUSIONES

- El diseño de una memoria de contenido direccionable CAM de tipo no volátil se consiguió a partir de la implementación de una celda unitaria con dos partes principales: la red de división de voltaje y la red de coincidencia de Matchline. Por un lado, el divisor de voltaje se construyó a partir de dos dispositivos de doble juntura de túnel magnético (DMTJ) en serie cuyo estado complementario permite almacenar un estado estable en la memoria de tipo no volátil y se controla con las líneas de búsqueda  $SL$  y  $\overline{SL}$  de la celda. Por otro lado, la red de coincidencia de Matchline juega un papel fundamental en la operación de búsqueda de la celda dado que de acuerdo con el estado de los DMTJs que almacenan el dato (cuyo valor siempre será complementario) activará el transistor de descarga  $M_O$  de la línea  $ML$ , permitiendo detectar la coincidencia del valor buscado con respecto al almacenado.
- La implementación del circuito de selección de voltaje de alimentación se realizó a partir de un circuito con dos ramas de selección de voltaje (VDD completo y reducido) habilitadas por transistores de habilitación controlados por señales complementarias, esto con la finalidad de habilitar solamente una de las dos ramas a la vez. Además, la rama de selección de voltaje reducido implementa dos transistores en cascodo que permiten reducir el voltaje de entrada y mantenerlo estable durante el ciclo de búsqueda. Tanto los transistores en cascodo como los de habilitación fueron debidamente dimensionados de tal forma de obtener un voltaje reducido estable de  $V_{VMS} = 0.6V$ . Por último, se caracterizó el impacto de la variabilidad de los transistores sobre la respuesta del circuito y se determinó que la variación en estos disminuye con el transcurrir del ciclo de lectura afectando a este con un porcentaje máximo de 1.1 % de variación  $\sigma/\mu$  con respecto al valor medio de  $V_{VMS}$ .
- El diseño top level de la memoria se consiguió a partir de la implementación de un arreglo de celdas unitarias NV-BCAM desde 1-128 bits en intervalos de  $2^n$  bits, cuyo acceso para búsqueda y escritura en cada celda unitaria se realizó a partir de

las líneas independientes de  $SL$  y  $\overline{SL}$ , mientras que para la operación de búsqueda se implementó una línea de  $ML$  compartida para todas las celdas cuya operación consiste en precargarse a través del circuito de precarga y detectar una descarga temprana del  $ML$  a partir de un Sense Amplifier compuesto de un Buffer desplazado capaz de detectar la descarga de  $ML$  a partir de un  $V_{IN\_SA} < 0.615V$ . Se analizó el rendimiento del diseño en cuanto a retardo y energía ante la operación de búsqueda bajo su peor escenario posible, en cuyo caso se obtiene 'mismatch' dentro de una sola celda unitaria en todo el arreglo y por tanto la línea de  $ML$  ocurrirá únicamente a través de esta celda. Se obtuvieron resultados nominales para el retardo y energía de búsqueda para todas las configuraciones del diseño top level, en donde para el retardo se obtuvo un valor mínimo de 237.9ps para una celda unitaria y un valor máximo de 501.4ps para 128 bits. Por otro lado, se evidenció un aumento exponencial de la energía de búsqueda desde 7fJ hasta 177.7fJ para una celda unitaria y un arreglo de 128 bits respectivamente, con lo cuál se determinó que si bien la energía aumenta exponencialmente debido al intervalo de aumento seleccionado para el diseño de  $2^n$  bits, el retardo de búsqueda bajo las mismas condiciones aumenta de forma lineal a razón de 36.03ps por cada incremento de  $2^n$  bits con valores de retardo menores a 600ps para todos los casos analizados.

- Se determinó el impacto de la variabilidad sobre el diseño de la celda unitaria NV-BCAM a partir del análisis de margen de detección de coincidencia en la operación de búsqueda. En cuanto al margen de coincidencia se determinó un margen de detección de 'match' y 'mismatch' de 180mV con un valor medio de 155.6mV, 336.5mV y una desviación estándar de 6mV y 11.3mV para los casos de 'match' y 'mismatch' respectivamente. Además, se caracterizó la variabilidad (de proceso tanto en transistores como en DMTJs) en base al retardo y energía en un diseño top level para palabras de 1-128 bits. En cuanto al retardo de búsqueda se obtuvo un valor mínimo para una única celda unitaria de 295.8ps con desviación de 198.4ps mientras que un retardo máximo de 608.4ps con desviación de 330.5ps para una configuración de 128 bits. Por último, en cuanto a la energía de búsqueda, se obtuvo un mínimo de

7.43fJ con desviación de 1.0fJ para una celda unitaria y un máximo de 212.5fJ con desviación de 148.6fJ para 128 bits. A partir de estos resultados se pudo verificar que la velocidad de búsqueda media ante variaciones de la memoria propuesta sigue siendo elevada con valores menores a 1ns incluso para configuraciones más extensas con palabras de hasta 128 bits, sin embargo, si bien el valor medio de los resultados es similar al caso nominal, la variación para las configuraciones analizadas (desviación estándar) resulta significativa, para el retardo especialmente, dentro de la operación de búsqueda de la memoria y puede disminuir a medida que el margen de detección de 'match' y 'mismatch' en la celda incrementa.

## Referencias

- [1] M. Cho and Y. Kim, “Nanoelectromechanical memory switch based ternary content-addressable memory,” in *2020 International SoC Design Conference (ISOCC)*, pp. 274–275, 2020.
- [2] V. R. Datti and P. Sridevi, “Performance evaluation of content addressable memories,” in *2018 7th International Conference on Reliability, Infocom Technologies and Optimization (Trends and Future Directions) (ICRITO)*, pp. 596–598, 2018.
- [3] C. Wang, D. Zhang, L. Zeng, E. Deng, J. Chen, and W. Zhao, “A novel mtj-based non-volatile ternary content-addressable memory for high-speed, low-power, and high-reliable search operation,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 4, pp. 1454–1464, 2019.
- [4] P. Junsangsri, J. Han, and F. Lombardi, “Design and comparative evaluation of a pcm-based cam (content addressable memory) cell,” *IEEE Transactions on Nanotechnology*, vol. 16, no. 2, pp. 359–363, 2017.
- [5] K. S, K. D, S. M V, and M. Rao, “Design and implementation of a low power ternary content addressable memory (tcam),” in *2020 International SoC Design Conference (ISOCC)*, pp. 15–16, 2020.
- [6] E. Garzón, R. De Rose, F. Crupi, L. Trojman, G. Finocchio, M. Carpentieri, and M. Lanuzza, “Assessment of stt-mrams based on double-barrier mtjs for cache applications by means of a device-to-system level simulation framework,” *Integration*, vol. 71, pp. 56–69, 2020.
- [7] E. Garzón, L. Yavits, G. Finocchio, M. Carpentieri, A. Teman, and M. Lanuzza, “A low-energy dmtj-based ternary content-addressable memory with reliable sub-nanosecond search operation,” *IEEE Access*, vol. 11, pp. 16812–16819, 2023.
- [8] A. Bedoya, E. Astudillo, R. Taco, and L. M. Prócel, “Voltage-divider-based binary and ternary content-addressable memory (cam) exploiting double-barrier magnetic tun-

nel junction,” in *2023 IEEE Seventh Ecuador Technical Chapters Meeting (ECTM)*, pp. 1–6, 2023.