

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingeniería

Desarrollo de un modelo compacto para el TFET

Marco Villegas Guachamín

Ingeniería en Electrónica

Trabajo de titulación presentado como requisito
para la obtención del título de
Ingeniería en Electrónica

Quito, 26 de Julio de 2024

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingeniería

**HOJA DE CALIFICACIÓN DE TRABAJO DE FIN DE
CARRERA**

Desarrollo de un modelo compacto para el TFET

Marco Villegas Guachamín

Nombre del profesor, Título académico: Luis Miguel Procel, PhD

Quito, 26 de Julio de 2024

©Derechos de Autor

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en la Ley Orgánica de Educación Superior del Ecuador.

Nombres y apellidos: Marco Villegas Guachamín

Código: 00136955

Cédula de Identidad: 1720067121

Lugar y fecha: Quito, 26 de Julio de 2024

ACLARACIÓN PARA PUBLICACIÓN

Nota: El presente trabajo, en su totalidad o cualquiera de sus partes, no debe ser considerado como una publicación, incluso a pesar de estar disponible sin restricciones a través de un repositorio institucional. Esta declaración se alinea con las prácticas y recomendaciones presentadas por el Committee on Publication Ethics COPE descritas por Barbour et al. (2017) Discussion document on best practice for issues around theses publishing, disponible en <http://bit.ly/COPETHeses>.

UNPUBLISHED DOCUMENT

Note: The following capstone project is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this project – in whole or in part – should not be considered a publication. This statement follows the recommendations presented by the Committee on Publication Ethics COPE described by Barbour et al. (2017) Discussion document on best practice for issues around theses publishing available on <http://bit.ly/COPETHeses>.

Resumen

Los TFETs son dispositivos de bajo consumo energético que permiten generar circuitos de bajo consumo energético de tal manera que es factible utilizarlos en aplicaciones de ultra baja potencia, tales como IoT. Su uso particular puede ir desde la generación de multiplicadores de tensión que sirvan como fuente para circuitos analógicos o digitales de esta forma reemplazando baterías. Estos multiplicadores de tensión son evaluados de tal forma que se comparan con diferentes nodos tecnológicos en CMOS. Las topologías evaluadas son la clásica y la anidada. En la primera se pudo evidenciar que el TFET no muestra ventajas frente a los otros nodos; sin embargo, en la segunda el TFET resalta por dar buenos resultados tanto en potencia como en voltaje. De esta manera se puede consolidar como una tecnología con ciertas ventajas frente a las tecnologías más clásicas.

Palabras clave: TFETs, multiplicadores de tensión, IoT, PCE, VCE

Abstract

TFETs are low-power devices that enable the design of ultra-low-power circuits, making them suitable for applications such as IoT. Their specific use can include the creation of voltage multipliers that serve as power sources for analog or digital circuits, potentially replacing batteries. These voltage multipliers are evaluated by comparing them with different CMOS technology nodes. The topologies assessed are the classic and nested configurations. In the classic topology, TFETs do not demonstrate significant advantages over other nodes; however, in the nested topology, TFETs excel by providing favorable results in both power and voltage. Thus, TFETs can be recognized as a technology with certain advantages over more traditional technologies.

Keywords: TFETs, voltage multiplier, IoT, PCE, VCE

Índice general

1. Introducción	10
2. Fundamentos del TFET	11
2.1. Efecto Túnel	11
2.2. Geometría del dispositivo	15
2.3. Efecto de las trampas	15
2.4. Capacitancia del dispositivo	16
3. Simulación del dispositivo	18
3.1. Calibración del dispositivo	18
4. Multiplicadores de tensión	23
4.1. Multiplicadores de tensión clásicos	24
4.2. Duplidaor anidado	26
5. Conclusiones	32

Índice de cuadros

3.1. Parámetros de calibración del modelo compacto 1	19
3.2. Parámetros de calibración del modelo compacto 2	20
4.1. Valores óptimos para el rectificador y duplicador de tensión	28
4.2. Valores óptimos para el duplicador de tensión	29

Índice de figuras

2.1. Barrera de potencial para una partícula cuántica	12
2.2. Niveles de energía en un solido	14
2.3. Esquema del TFET para el canal n y p [1]	15
2.4. Efecto de las trampas en el diagrama de bandas	16
2.5. Capacitancias intrínsecas y extrínsecas [2]	17
3.1. Modelo compacto vs. Modelo basado en tablas 1	20
3.2. Modelo compacto vs. Modelo basado en tablas 1	21
3.3. Curvas características de corriente con y sin trampas	21
3.4. Curvas características de capacitancia con y sin trampas	22
4.1. Esquema circuital del TFET	24
4.2. Esquema circuital del TFET con elementos parásitos	24
4.3. Rectificador de tensión clásico	25
4.4. Duplicador de tensión clásico	25
4.5. Respuesta del PCE para el rectificador de tensión	26
4.6. Respuesta del VCE para el rectificador de tensión	27
4.7. Variación de la potencia de entrada en el duplicador PCE	27
4.8. Variación del potencial de entrada en el duplicador VCE	28
4.9. Duplicador de tensión anidado	29
4.10. Respuesta del PCE para el duplicador de tensión	30
4.11. Respuesta del VCE para el duplicador de tensión	30
4.12. Variación de la potencia de entrada en el duplicador PCE	31
4.13. Variación de la potencia de entrada en el duplicador VCE	31

Capítulo 1

Introducción

En los últimos años la industria de los semiconductores se ha enfocado en el desarrollo del rendimiento de los sistemas sin darle importancia al consumo energético. De este modo, el semiconductor complementario de oxido metálico CMOS ha sido aceptado como la tecnología preferida de la industria durante décadas. Sin embargo, con el pasar de los años, el consumo de potencia se ha presentado como una restricción en el diseño debido al escalado en el nodo tecnológico. Por este motivo, el desarrollo de un sistema con un consumo energético eficiente se ha vuelto relevante en la industria, especialmente para aplicaciones como el internet de las cosas IoT y nodos de sensores inalámbricos WSN que necesitan de una batería para su funcionamiento [3]. La solución a este problema es cambiar de tecnología por una enfocada en aplicaciones de baja potencia y el candidato elegido para esto es transistor de efecto túnel TFET.

El transistor de efecto túnel funciona gracias al efecto túnel atribuido a la mecánica cuántica, el cual es un principio de trabajo muy diferente al del MOSFET, por lo tanto sus efectos de transporte son diferentes, junto con sus límites de operación. Además, los TFETs tienen un "subthreshold slope" mayor a 60[mV/dec], el cual es el límite del MOSFET. Por otro lado, la corriente de fuga del TFET es del orden de los $fA/\mu m$, pero del mismo modo la corriente de encendido del TFET es menor a la del MOSFET la cual es una de las desventajas de esta tecnología. Con dichos resultados el TFET ha mostrado su potencial en circuitos analógicos y digitales para aplicaciones de baja potencia.

Capítulo 2

Fundamentos del TFET

Este capítulo presenta los fundamentos y bases físicas del TFET, tales como sus métodos de transporte electrónico. Esto incluye la probabilidad de efecto túnel, la geometría del dispositivo, el efecto de las trampas y las capacitancias del dispositivo.

2.1. Efecto Túnel

Los efectos de transporte del transistor por efecto túnel se calculan a partir de la probabilidad de efecto túnel, de tal forma que se genera una función de los valores de densidad de corriente para un determinado valor de potencial. De este modo se debe conocer los valores de probabilidad de efecto túnel una vez conocidos los potenciales que afectan al dispositivo.

$$U(x) = \begin{cases} 0 & , x < x_1 \\ U_0 & , x_1 \leq x < x_2 \\ 0 & , x > x_2 \end{cases} \quad (2.1)$$

La probabilidad de efecto túnel de un potencial como el de la figura 2.1a se calcula a partir de la ecuación de Schrödinger independiente del tiempo [4]:

$$-\frac{\hbar^2}{2m^*} \frac{d^2\Psi(x)}{dx^2} + U(x)\Psi(x) = E\Psi(x), \quad (2.2)$$

donde $\Phi(x)$ es la función de onda, \hbar la constante de Schrödinger reducida, m^* la masa reducida,

$U(x)$ el potencial y E la energía de la partícula. En este caso en particular se considera a la partícula como un electrón.

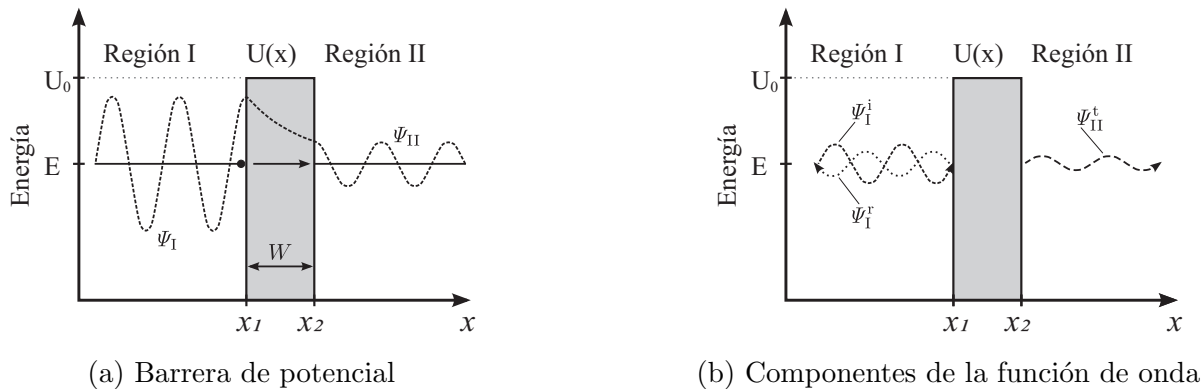


Figura 2.1: Barrera de potencial para una partícula cuántica

La figura 2.1b muestra las componentes de la función de onda en las diferentes regiones, en donde se considera a una partícula que viaja de izquierda a derecha y se encuentra con un potencial, en este caso existen dos posibilidades que la partícula revote o que la partícula atraviese el potencial. La probabilidad de efecto túnel se mide con la relación entre la partícula se encuentre en la Región II y que la partícula se encuentre en la Región I. Esta relación se puede encontrar resolviendo la ecuación 2.1 en las tres regiones, de este modo se obtiene el siguiente sistema:

$$\Phi(x) = \begin{cases} A \exp\{jk_1x\} + B \exp\{-jk_1x\} & \text{para } x < x_1 \\ C \exp\{k_2x\} + D \exp\{-k_2x\} & \text{para } x_1 < x < x_2, \\ F \exp\{jk_1x\} & \text{para } x > x_2 \end{cases} \quad (2.3)$$

donde A, B, C, D, F , son constantes a hallar, $k_1 = \sqrt{2m^*E/\hbar^2}$ y $k_2 = \sqrt{2m^*(E - U)/\hbar^2}$ son los vectores de onda. Para hallar las constantes en 2.2 se deben resolver las siguientes condiciones de frontera:

$$\begin{aligned} \Phi(x_{1-}) &= \Phi(x_{1+}), & \Phi(x_{2-}) &= \Phi(x_{2+}) \\ \frac{d\Phi}{dx} \Big|_{x_{1-}} &= \frac{d\Phi}{dx} \Big|_{x_{1+}}, & \frac{d\Phi}{dx} \Big|_{x_{2-}} &= \frac{d\Phi}{dx} \Big|_{x_{2+}} \end{aligned}$$

en donde x_{1+} representa el valor de x_1 por la derecha, mientras que x_{1-} representa el valor de x_1 por la izquierda; lo mismo aplica para el valor de x_2 . Al usar las condiciones de frontera

junto con la ecuación 2.2 se obtiene:

$$\begin{aligned}
A \exp(jk_1x_1) + B \exp(-jk_1x_1) &= C \exp(k_2x_1) + D \exp(-k_2x_1) \\
C \exp(k_2x_2) + D \exp(-k_2x_2) &= F \exp(jk_1x_2) \\
jk_1(A \exp(jk_1x_1) - B \exp(-jk_1x_1)) &= k_2(C \exp(k_2x_1) - D \exp(-k_2x_1)) \\
k_2(C \exp(k_2x_2) - D \exp(-k_2x_2)) &= jk_1F \exp(jk_1x_2)
\end{aligned}$$

Dado que el sistema de ecuaciones comprende cuatro ecuaciones y cinco incógnitas, hay que resolver el sistema para cuatro ecuaciones y cuatro incógnitas, y dejarlo en función de una de las incógnitas. La elección usual para dichas incógnitas es que F sea tomada como variable, dado que F representa la constante de que la partícula atraviese la barrera de túnel. Una vez resuelto el sistema de ecuaciones se puede hallar la probabilidad de túnel T_{tun} como la siguiente relación $\frac{|F|^2}{|A|^2}$. Dado que existen dos posibles niveles de energía a tomar en cuenta, cuando la partícula tiene menor energía que la barrera y cuando la partícula tiene mayor energía que la barrera, dichos casos se muestran a continuación. $E < U_0$:

$$\begin{aligned}
T_{tun} &= \frac{1}{1 + \left(\frac{k_1^2 + k_2^2}{2k_1k_2}\right)^2 \sinh^2(k_2(x_2 - x_1))} \\
&= \frac{1}{1 + \frac{U_0^2}{4E(U_0 - E)} \sinh^2\left(\frac{W}{\hbar} \sqrt{2m^*(U_0 - E)}\right)}
\end{aligned} \tag{2.4}$$

$E > U_0$:

$$\begin{aligned}
T_{tun} &= \frac{1}{1 + \left(\frac{k_1^2 + k_2^2}{-2k_1k_2}\right)^2 \sin^2(-k_2(x_2 - x_1))} \\
&= \frac{1}{1 + \frac{U_0^2}{4E(U_0 - E)} \sin^2\left(\frac{W}{\hbar} \sqrt{2m^*(U_0 - E)}\right)}
\end{aligned} \tag{2.5}$$

La figura 2.1a muestra el esquema de una partícula con una barrera de potencial en una solido real, en este esquema los estados llenos representan las bandas de valencia. En la figura 2.1b la barrera de potencial es triangular debido a que puede existir un potencial externo en los extremos del solido. Por este motivo es necesario determinar cual es la probabilidad de túnel para un potencial no constante. La probabilidad de túnel para una barrera no constante

se puede determinar de dos formas. La primera es calcular la probabilidad de túnel de una barrera de ancho infinitesimal δx_i y energía U_i de tal manera que el producto de todas las probabilidades T_i conforman la respuesta. La otra forma de hallar la probabilidad de túnel es usando el método Wentzel–Kramers–Brillouin WKB que es un método aproximativo que requiere que el potencial varíe de forma suave [4]. El método WKB también se conoce como aproximación semi-clásica. La aproximación semi-clásica asume que la respuesta es del tipo:

$$\Phi(x) = \Theta(x)\exp(\pm k(x)) \quad (2.6)$$

para $E < U(x)$ donde $\Theta(x)$ es la amplitud y $k(x)$ es el vector de onda:

$$k(x) = \sqrt{\frac{2m^*(U(x) - E)}{\hbar^2}}. \quad (2.7)$$

Al resolver la ecuación de Schrödinger se obtiene que la probabilidad de túnel es:

$$\begin{aligned} T_{tun} &\approx \exp\left(-2 \int_{x_1}^{x_2} |k(x)| dx\right) \\ &= \exp\left(-2 \int_{x_1}^{x_2} \left|\sqrt{\frac{2m^*(U(x) - E)}{\hbar^2}}\right| dx\right) \end{aligned} \quad (2.8)$$

donde x_1 es el inicio de la barrera de potencial y x_2 es el final de la barrera.

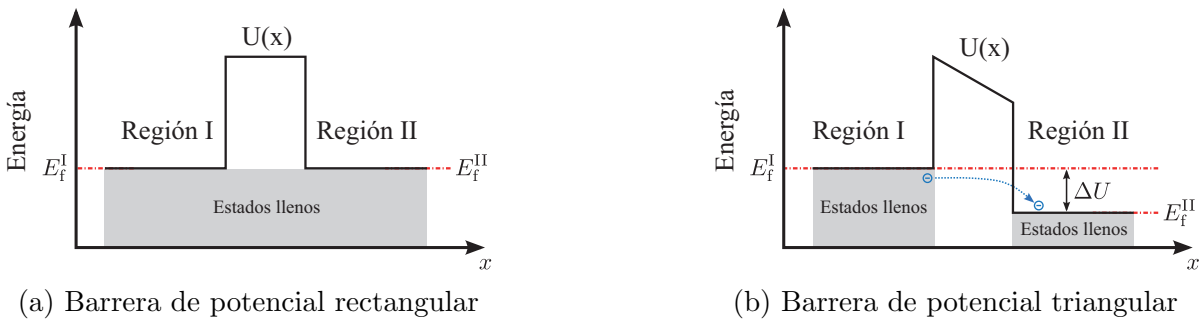


Figura 2.2: Niveles de energía en un sólido

Finalmente la corriente de túnel se obtiene utilizando la siguiente ecuación:

$$J_{tun} = \frac{qm^*}{2\pi^2\hbar^3} \int_{E_{min}}^{E_{max}} T_{tun}(E_x) dE_x \int_0^\infty (f_I(E) - f_{II}(E)) dE_p \quad (2.9)$$

donde $f_I(E)$ es la densidad de probabilidad de fermi en la región 1 que representa la densidad

de electrones en función de la energía, mientras que $f_{II}(E)$ es la misma función en la región 2.

2.2. Geometría del dispositivo

El TFET es una juntura de compuerta p-i-n que opera en reversa, tal como muestra la figura 2.3a, donde se muestra el esquema de un n-TFET de doble compuerta, mientras que la figura 2.3b muestra un p-TFET con la misma topología. En este caso es recomendado utilizar un material con un coeficiente de movilidad alto en el aislante para tener un mejor control de la compuerta y en su defecto el transistor final.

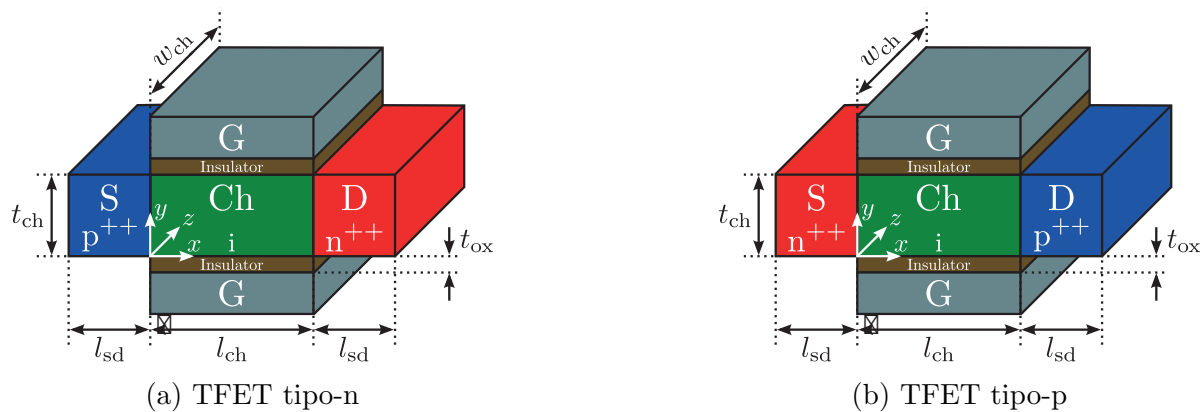


Figura 2.3: Esquema del TFET para el canal n y p [1]

2.3. Efecto de las trampas

Las trampas o defectos son imperfecciones que se causan a partir de defectos en la estructura cristalina del sólido, dichos defectos generan niveles intermedios entre las energías de valencia y conducción. Estos niveles energéticos se conocen como energía de la trampa y permiten saltos entre los niveles tal como se muestra en la figura 2.4. El proceso permite un proceso de generación y recombinación que en esencia es de origen térmico, lo que significa que se generan rupturas del enlace covalente debido a vibraciones térmicas en la estructura cristalina. La siguiente ecuación representa la tasa de generación para dichos procesos:

$$G_t = \frac{pn - n_i^2}{\frac{\tau_h}{1+\gamma_h}(n + n_1) + \frac{\tau_e}{1+\gamma_e}(p + p_1)} \quad (2.10)$$

donde τ_{oh} y τ_{oe} es el tiempo de recombinación de huecos y electrones, respectivamente; n y p es la concentración de electrones y huecos, respectivamente; n_1 y p_1 las concentraciones de exceso de electrones y huecos esta dada por:

$$\begin{aligned} n_1 &= n_i \exp\left(\frac{\Delta E_{fi}}{kT}\right) \\ p_1 &= n_i \exp\left(-\frac{\Delta E_{fi}}{kT}\right) \end{aligned} \quad (2.11)$$

donde n_i es la concentración intrínseca del semiconductor, k la constante de Boltzmann y T la temperatura.

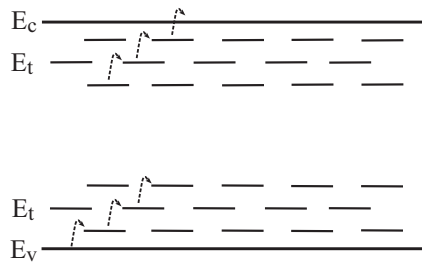


Figura 2.4: Efecto de las trampas en el diagrama de bandas

2.4. Capacitancia del dispositivo

El comportamiento transitorio del TFET está caracterizado por los componentes capacitivos. Las capacitancias extrínsecas son conocidas como capacitancias parasitas, esto se debe a procesos de manufacturación del dispositivo; son causadas por cargas superficiales en las interfaces del dispositivo, tal como se muestra en la figura 2.5. Por otro lado, las capacitancias intrínsecas son causadas por las corrientes en los terminales del dispositivo, tal como se muestra en la figura 2.5. Los valores de capacitancias se pueden hallar mediante el cálculo de las cargas en función del potencial.

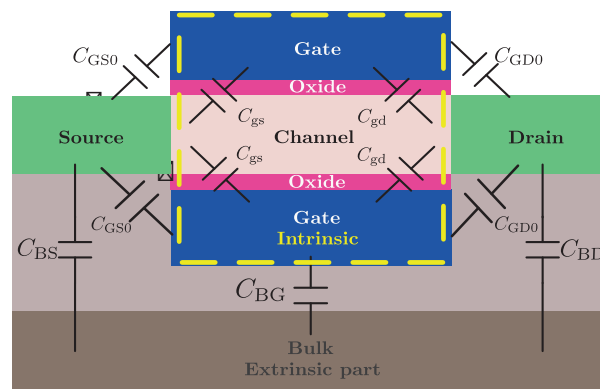


Figura 2.5: Capacitancias intrínsecas y extrínsecas [2]

Capítulo 3

Simulación del dispositivo

La eficiencia del desarrollo de los semiconductores se basa en nuestra capacidad de predecir el comportamiento de los semiconductores antes de la manufacturación de los mismos, esta es la razón por la cual se invierte en programas de simulación. Existen varios métodos de simulación posibles. Uno es el desarrollo por TCAD, que es el más preciso porque se basa en resolver la ecuaciones físicas; pero el tiempo de simulación es demasiado alto como para desarrollar circuitos complejos. Las tablas son modelos que se basan en guardar las curvas características I-V (de corriente) y C-V (de capacitancia), de esta forma es posible generar simulaciones de diferentes dispositivos en un tiempo razonable; sin embargo, el modelo solo se limita a rangos específicos de potencial. Finalmente, los modelos compactos son un punto intermedio entre ambos métodos, en donde se toma en cuenta la física del dispositivo y al mismo tiempo se considera optimizar el tiempo de simulación; el proceso se basa en una simplificación de los procesos de transporte para la simulación de circuitos.

3.1. Calibración del dispositivo

Para la simulación del TFET se usa un enfoque mixto que usa tablas proporcionadas por [5] y el modelo compacto desarrollado por [1] y [2]. Este enfoque se basa en usar las tablas para calibrar el modelo compacto de tal manera que ambos representen un mismo dispositivo. El cuadro 3.1 muestra los parámetros de calibración usados para generar la figura 3.1.

La figura 3.1 muestra las curvas características I-V del modelo compacto (línea sólida) junto

Parámetro	Unidades	Ajuste
lambda_fit_s	[-]	0,85
lambda_fit_d	[-]	0,9
lambda_0_log_shift_s	[-]	10
lambda_0_log_shift_d	[-]	1
m_s	[kg]	0,4
m_d	[kg]	0,3
eta2_Jy_on	[cm ²]	1,00E-13
eta2_Jy_amb	[cm ²]	1,00E-13
sigma2_TGR_B2B_on	[cm ²]	1,00E-17
sigma2_TGR_B2B_amb	[cm ²]	1,00E-20
sigma2_TGR_TAT_on	[cm ²]	1,00E-20
sigma2_TGR_TAT_amb	[cm ²]	1,00E-25
f_Slope_TAT_on	[-]	1
f_Slope_TAT_amb	[-]	10
tau_on	[cm ²]	1,00E-14
tau_amb	[cm ²]	1,89E-20
Vfb	[V]	0,4
xmax_TAT	[nm]	1,00E-07

Cuadro 3.1: Parámetros de calibración del modelo compacto 1

con la respuesta de las tablas (línea punteada) para diferentes potenciales, en esta podemos apreciar que los valores de corriente son similares en ciertos rangos de potencial. Por Este motivo se realiza otra aproximación basada en el mismo procedimiento de calibración. Los resultados se muestran en el cuadro 3.2 y la figura 3.2, respectivamente.

Usando las respuestas de las figuras 3.1 y 3.2 se puede determinar el efecto de las trampas en el TFET, dado que el modelo basado en tablas no considera la trampas del dispositivo es posible usar ambos para emular el efecto de las mismas. Dado que las trampas del dispositivo solo afecta la corriente alrededor del potencial cero y son procesos de transporte independientes se puede sumar linealmente tal como se muestra en la figura 3.3 y 3.4. En estas figuras se puede ver la respuesta de las trampas en línea entrecortado y la respuesta sin trampas en línea continua el potencial usado para la respuesta es de 0.4 [V].

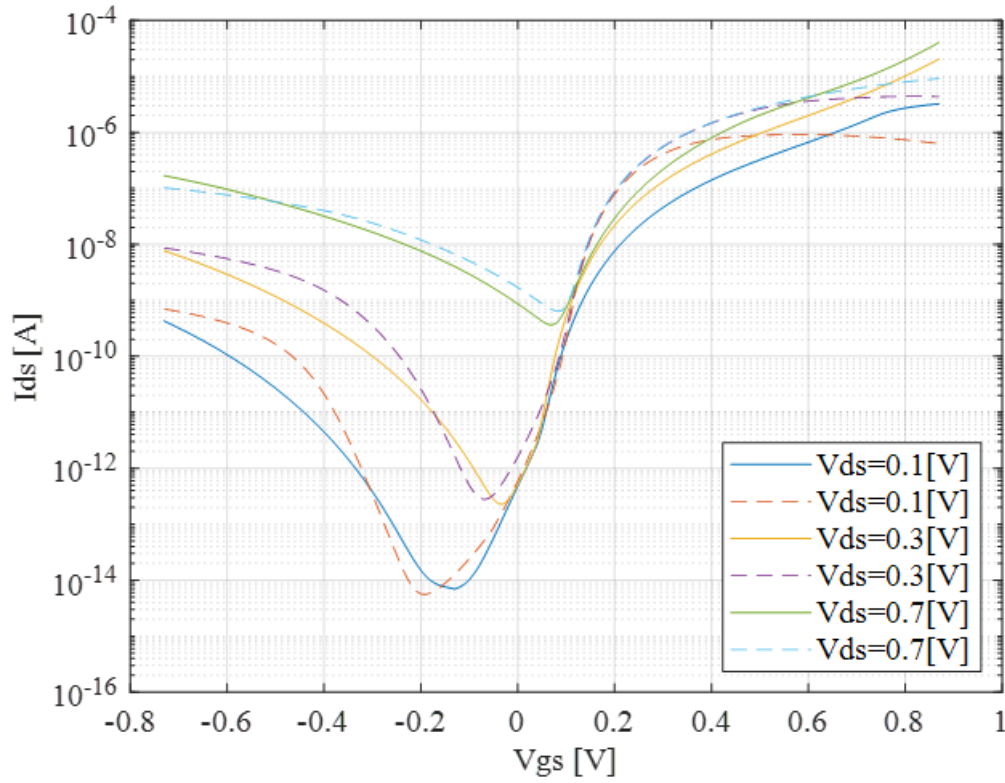


Figura 3.1: Modelo compacto vs. Modelo basado en tablas 1

Parámetro	Unidades	Ajuste
lambda_fit_s	[-]	0,85
lambda_fit_d	[-]	0,9
lambda_0_log_shift_s	[-]	10
lambda_0_log_shift_d	[-]	1
m_s	[kg]	0,4
m_d	[kg]	0,3
eta2_Jy_on	[cm ²]	1,00E-13
eta2_Jy_amb	[cm ²]	1,00E-13
sigma2_TGR_B2B_on	[cm ²]	1,00E-17
sigma2_TGR_B2B_amb	[cm ²]	1,00E-20
sigma2_TGR_TAT_on	[cm ²]	1,00E-20
sigma2_TGR_TAT_amb	[cm ²]	1,00E-25
f_Slope_TAT_on	[-]	1
f_Slope_TAT_amb	[-]	10
tau_on	[cm ²]	1,00E-14
tau_amb	[cm ²]	1,89E-20
Vfb	[V]	0,4
xmax_TAT	[nm]	1,00E-07

Cuadro 3.2: Parámetros de calibración del modelo compacto 2

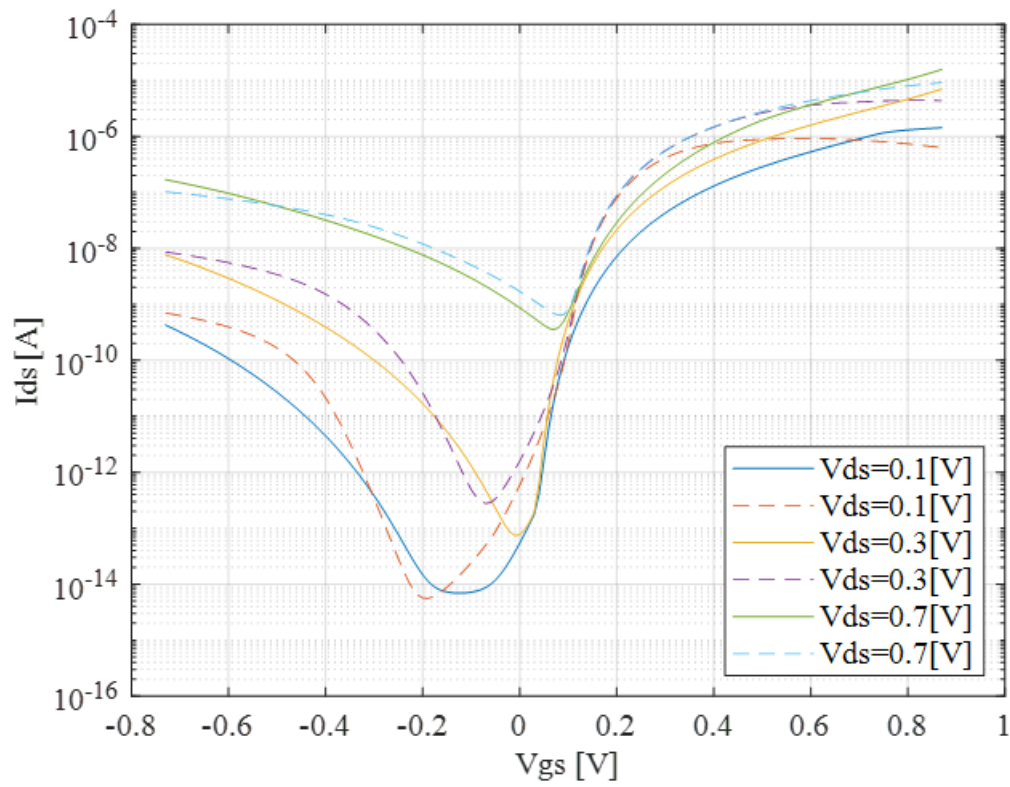


Figura 3.2: Modelo compacto vs. Modelo basado en tablas 1

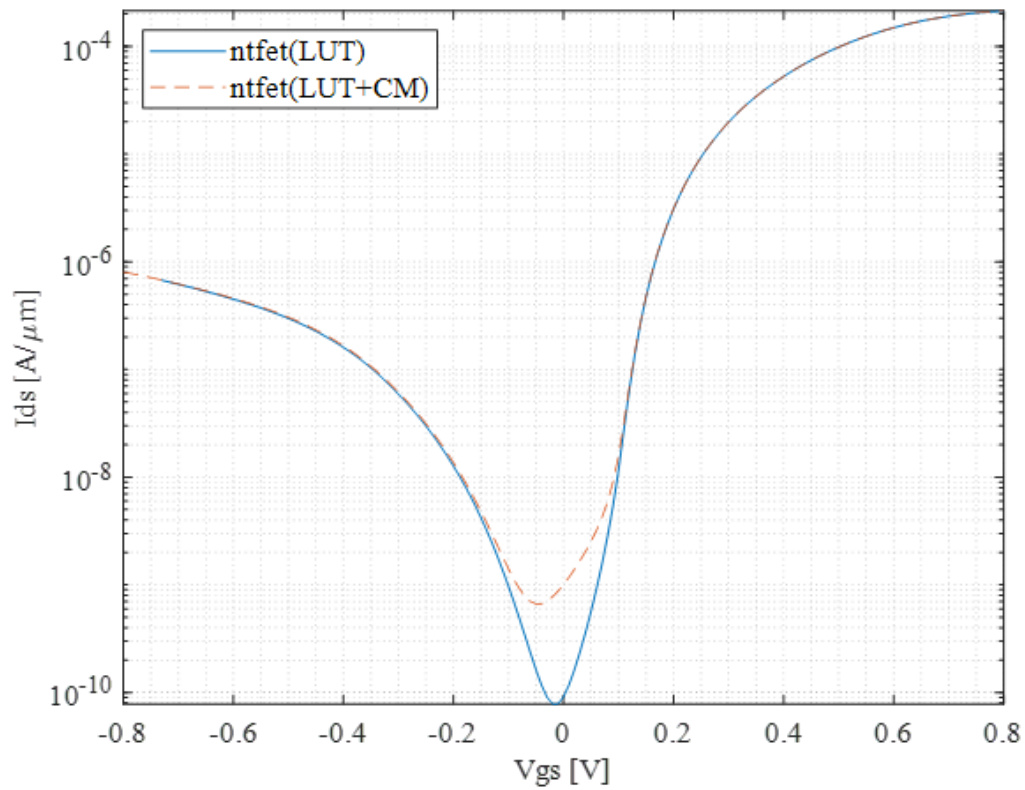


Figura 3.3: Curvas características de corriente con y sin trampas

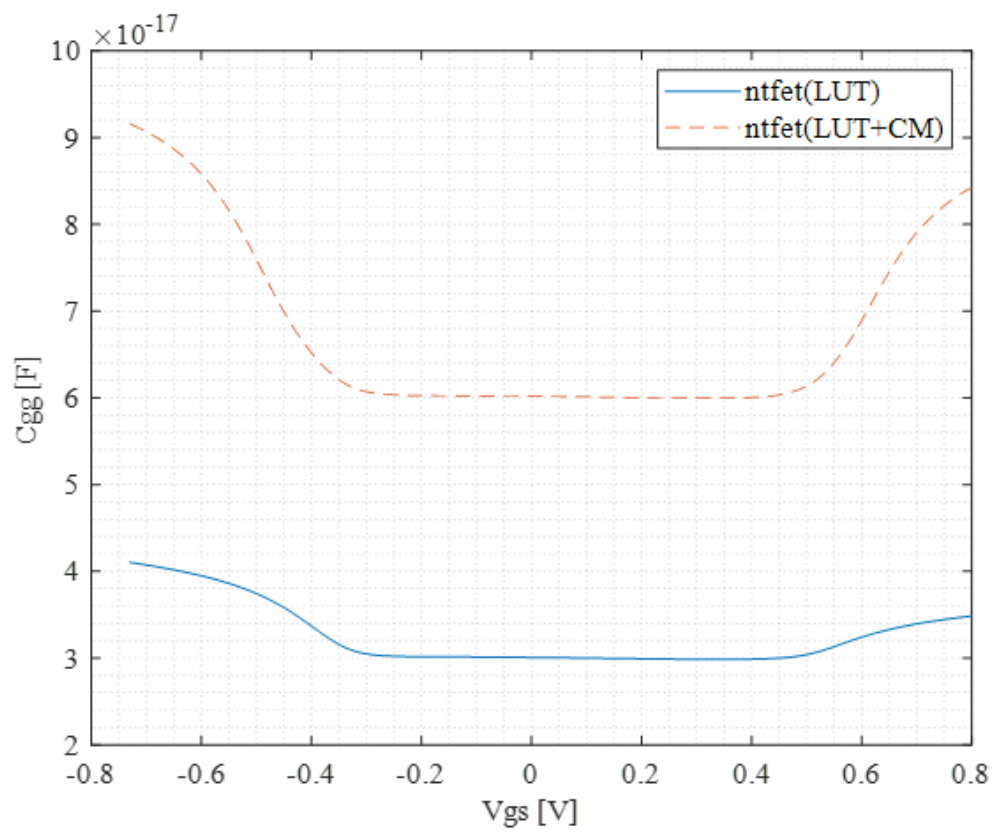


Figura 3.4: Curvas características de capacitancia con y sin trampas

Capítulo 4

Multiplicadores de tensión

Los multiplicadores de tensión son circuitos electrónicos que transforman una corriente alterna AC en una corriente continua DC. Estos usualmente son configuraciones de diodos que permiten el paso de corriente cuando superan el potencial de umbral y almacenan dicho potencial en un capacitor, dado que para el proceso se utiliza una fuente de alta frecuencia el capacitor se mantiene cargado el tiempo suficiente para que llegue otro ciclo de carga y se pueda almacenar el potencial. Esta idea se extiende para potenciales negativos conectando otro diodo en posición de reversa de tal manera que se aprovecha toda la energía de la fuente AC. Sin embargo, para que el diodo se active se necesita un mínimo de potencial que suele ser de 0.7[V] lo que limita el uso de dichos dispositivos para rectificadores o multiplicadores de potencia. Por otro lado, los transistores pueden conducir corriente con potenciales menores a 0.7[V] de tal forma que si se los conecta en una configuración que emule un diodo estos pueden usarse como remplazo en aplicaciones de baja potencia. La conexión estándar para esto es $V_{gs} = V_{gs}$. De esta manera se procede a utilizar los n-TFETs y p-TFETs para ver la respuesta de los multiplicadores de tensión.

La figure 4.1 muestra el esquema circuital de los TFETs, mientras que la figura 4.2 muestra el mismo esquema junto con sus elementos parásitos. El modelo que vamos a utilizar para los multiplicadores de tensión es el que comprende los elementos parásitos; sin embargo, usaremos el esquema simplificado por conveniencia.

Los valores a analizar en los multiplicadores de tensión son los factores de conversión de potencia y voltaje. Las ecuaciones que determinan estos valores se muestran a continuación,



Figura 4.1: Esquema circuital del TFET



Figura 4.2: Esquema circuital del TFET con elementos parásitos

respectivamente:

$$PCE = \frac{\int_{t_0}^{t_0+T} v_{out} i_{out} dt}{\int_{t_0}^{t_0+T} v_{in} i_{in} dt} \quad (4.1)$$

,

$$VCE = \frac{\int_{t_0}^{t_0+T} v_{out} dt}{\int_{t_0}^{t_0+T} v_{in} dt} \quad (4.2)$$

donde v_{in} y v_{out} son los potenciales de entrada y salida respectivamente; i_{in} y i_{out} son las corrientes de entrada y salida respectivamente; t_0 es cualquier tiempo posterior a que el circuito llegue a su estado estable y T es un ciclo de la frecuencia del potencial de entrada. A continuación vamos a analizar dos configuraciones para los multiplicadores de tensión la configuración clásica y la anidada.

4.1. Multiplicadores de tensión clásicos

La configuración clásica utiliza la idea de que los transistores se pueden utilizar como diodos de tal forma que su configuración es similar a los rectificadores/multiplicadores de potencia. De esta manera la figura 4.3 representa a un rectificadores y la figura 4.4 representa un duplicador. Estos circuitos son tomados de [6] y [7].

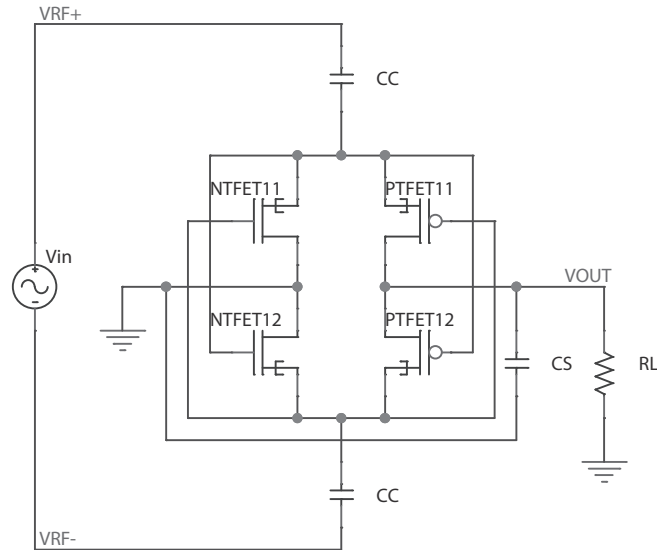


Figura 4.3: Rectificador de tensión clásico

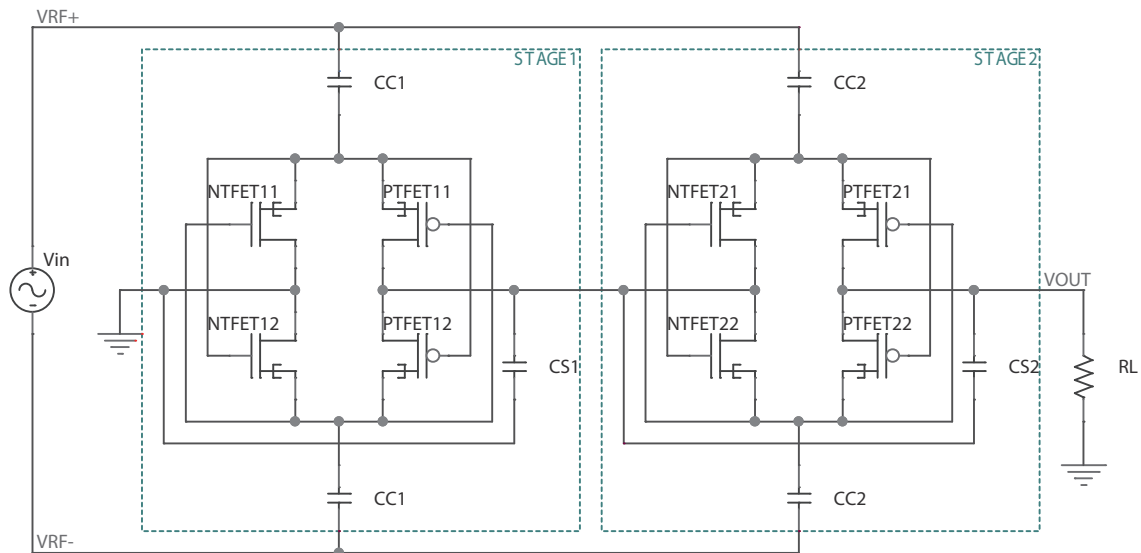


Figura 4.4: Duplicador de tensión clásico

Para calibrar los valores del circuito es necesario modificar el número de nano-cables NW puestos en paralelo que equivalen a un TFET de esta forma multiplicando su corriente por el valor del número de NW. Otro factor a tomar en cuenta es optimizar los valores de PCE y VCE, para conseguir esto se realiza un balance de armónicos que solo toma en cuenta la respuesta en estado estable del circuito y se calculan los valores con las ecuaciones anteriores. El resultado para el rectificador se muestra en las figuras 4.5 y 4.6.

Las respuestas se obtiene para una entrada de 0.4[V] a una frecuencia de 950 [MHz] y también se optimizan los valores de las capacitancias. Dichos valores se muestran en el cuadro 4.1 tanto para el TFET como diferentes nodos del CMOS.

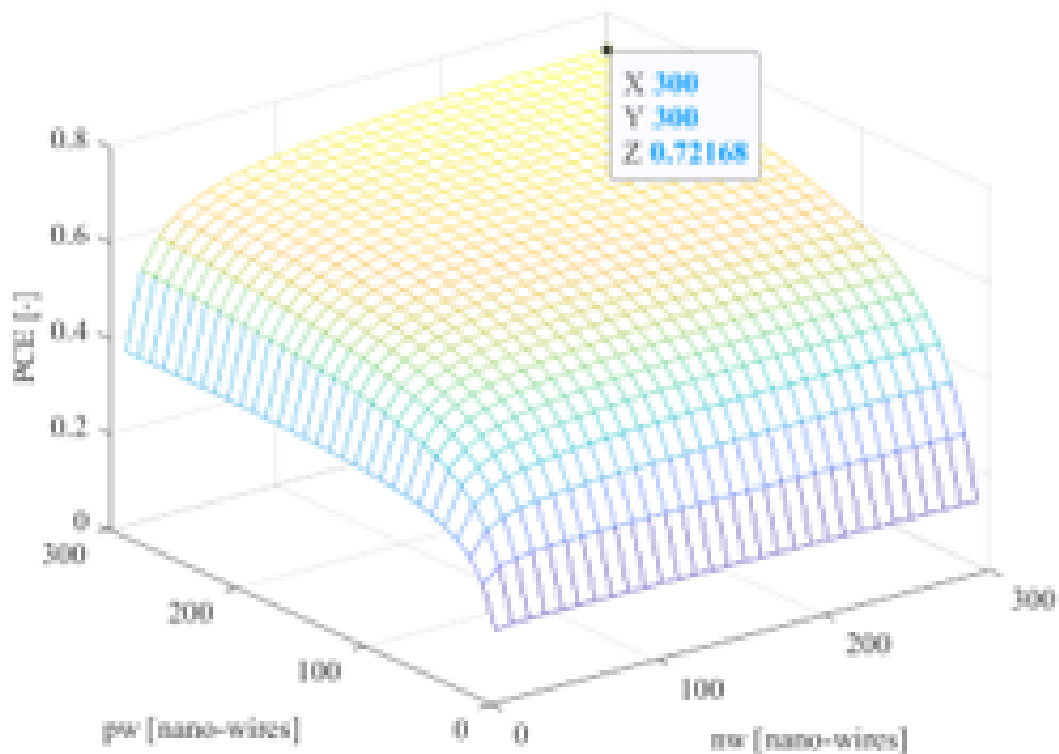


Figura 4.5: Respuesta del PCE para el rectificador de tensión

Las figuras 4.7 y 4.8 muestran la variación del potencial en la entrada del dispositivo de tal forma que se puede ver el comportamiento del circuito en relación a diferentes valores de entrada. Al mismo tiempo se puede evidenciar que el uso del TFET no muestra ninguna ventaja frente a los diferentes nodos tecnológicos del CMOS.

4.2. Duplidaor anidado

La otra topología a evaluar es la topología anidada que considera al duplicador como un todo y no como una etapa del circuito. La topología se muestra en la figura 4.9.

El proceso para hallar los parámetros del circuito es el mismo que el proceso utilizado para hallar los parámetros del circuito anterior, de tal manera que las figuras 4.10 y 4.11 muestran los valores óptimos para el circuito.

De la misma manera, el cuadro 4.2 muestra los valores óptimos para el circuito de tal forma que se complementan con los valores de diferentes nodos tecnológicos tales como 90nm y 35nm.

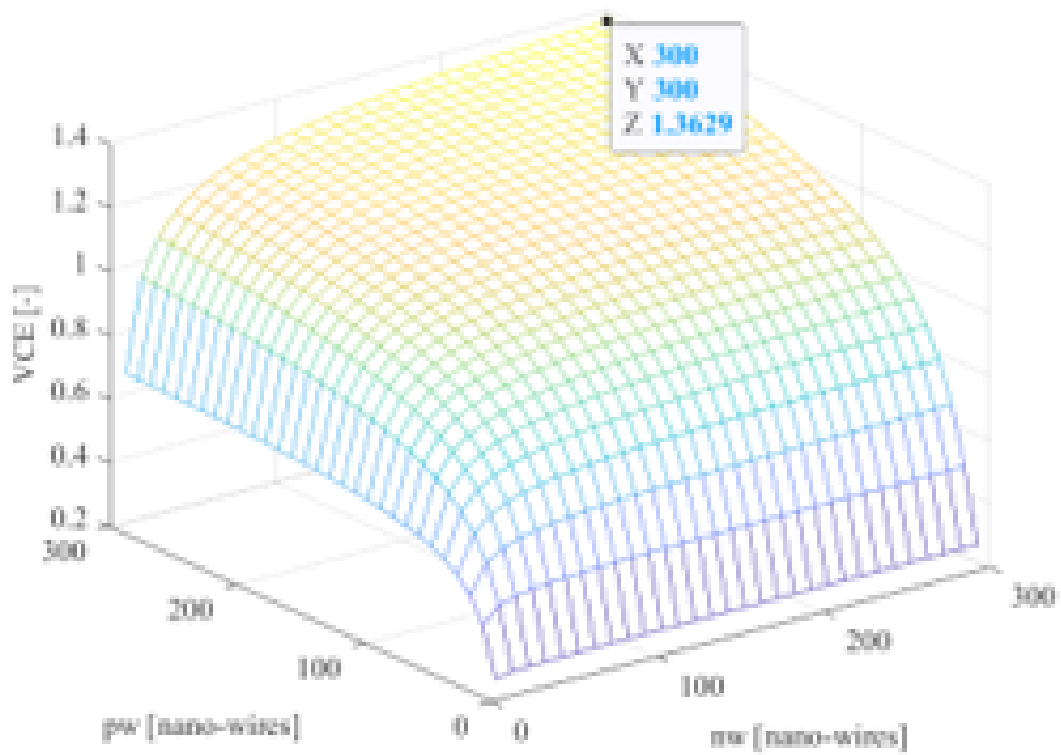


Figura 4.6: Respuesta del VCE para el rectificador de tensión

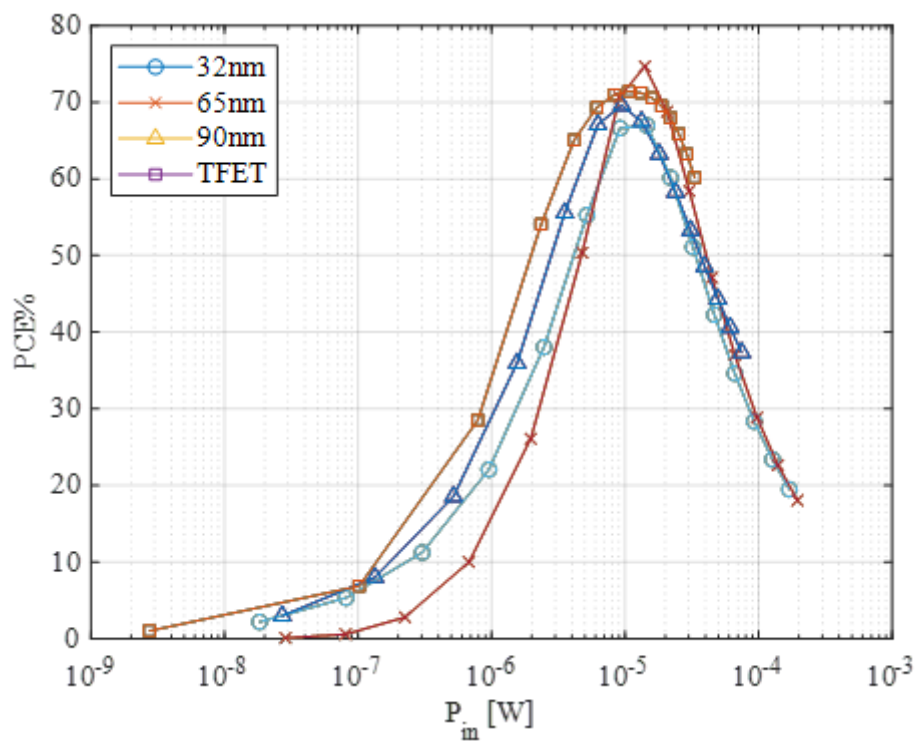


Figura 4.7: Variación de la potencia de entrada en el duplicador PCE

Nodo	90nm		35nm		TFET	
Etapas	1	2	1	2	1	2
CF[pF]	1	1	10	10	10	20
CL[pF]	1	1	10	10	7	1
RL[kΩ]		50		50		50
Total W_n [um]	1.2(1fin)	3(1fin)	10(5fin)	10(5fin)	2.1(300NW)	2.1(300NW)
Total W_p [um]	1.2(1fin)	3(1fin)	35(10fin)	49(14fin)	2.1(300NW)	2.1(300NW)
$L_n=L_p$ [um]	100		30		30	

Cuadro 4.1: Valores óptimos para el rectificador y duplicador de tensión

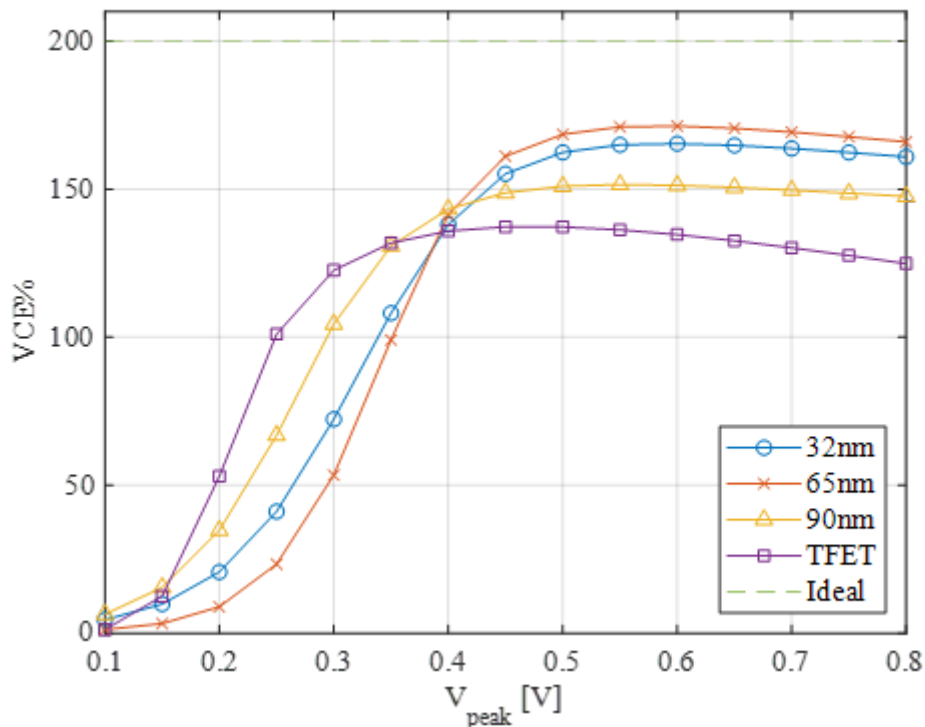


Figura 4.8: Variación del potencial de entrada en el duplicador VCE

Finalmente, las figuras 4.12 y 4.13 muestran la variación del potencial de entrada de tal manera que se puede evidenciar la superioridad que muestra el TFET a la hora de transformar la potencia de entrada y por otro lado duplicar el valor del potencial. De este modo mostrando que al juntar la topología adecuada junto con el TFET se puede obtener un mejor resultado que usando el tradicional CMOS.

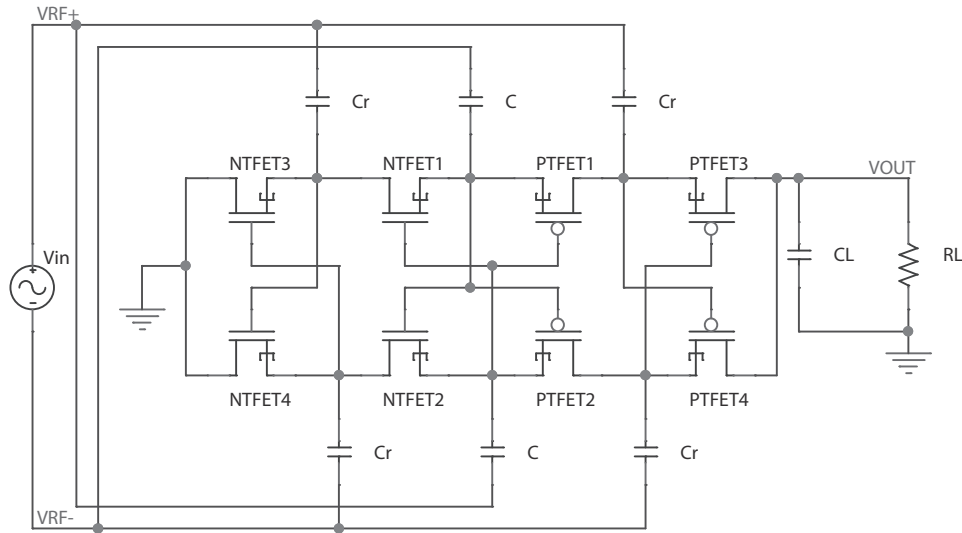


Figura 4.9: Duplicador de tensión anidado

Nodo	90nm	35nm	TFET
CF[pF]	10	1	20
Cr[pF]	1	1	5
CL[pF]	10	10	10
RL[k Ω]	50	50	50
Total Wn[μ m]	0.8(1fin)	2.6(5fin)	1.82(260NW)
Total Wp[μ m]	1.6(1fin)	20.8(14fin)	2.1(300NW)
Ln=Lp [μ m]	100	30	30

Cuadro 4.2: Valores óptimos para el duplicador de tensión

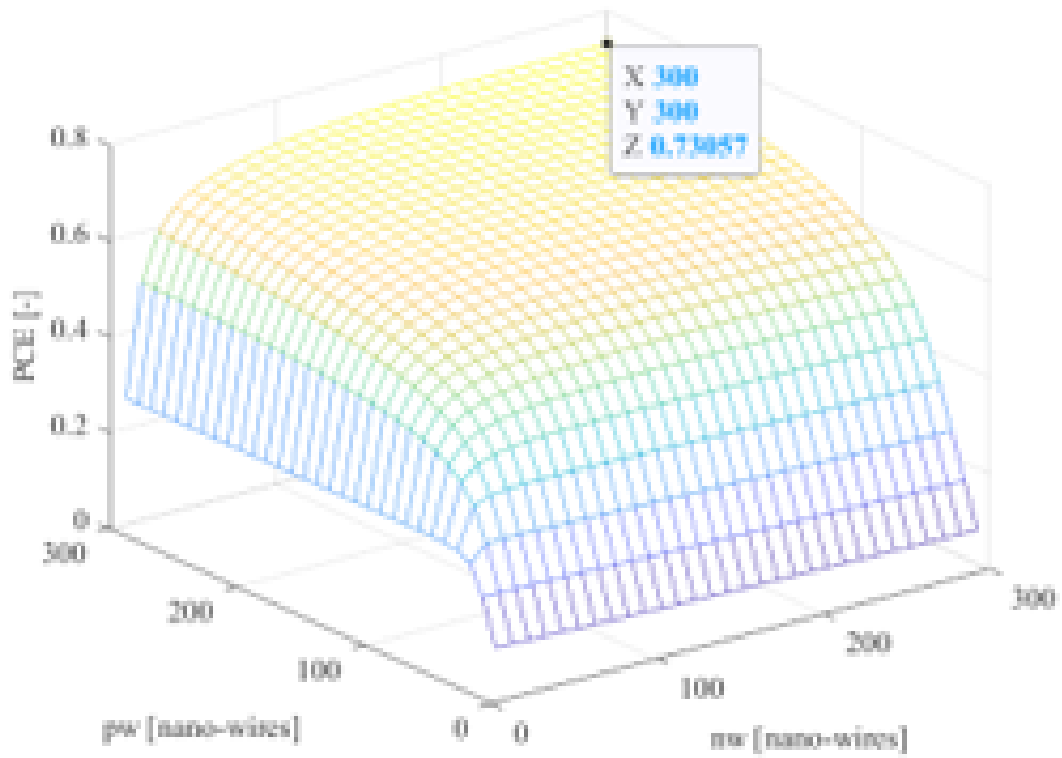


Figura 4.10: Respuesta del PCE para el duplicador de tensión

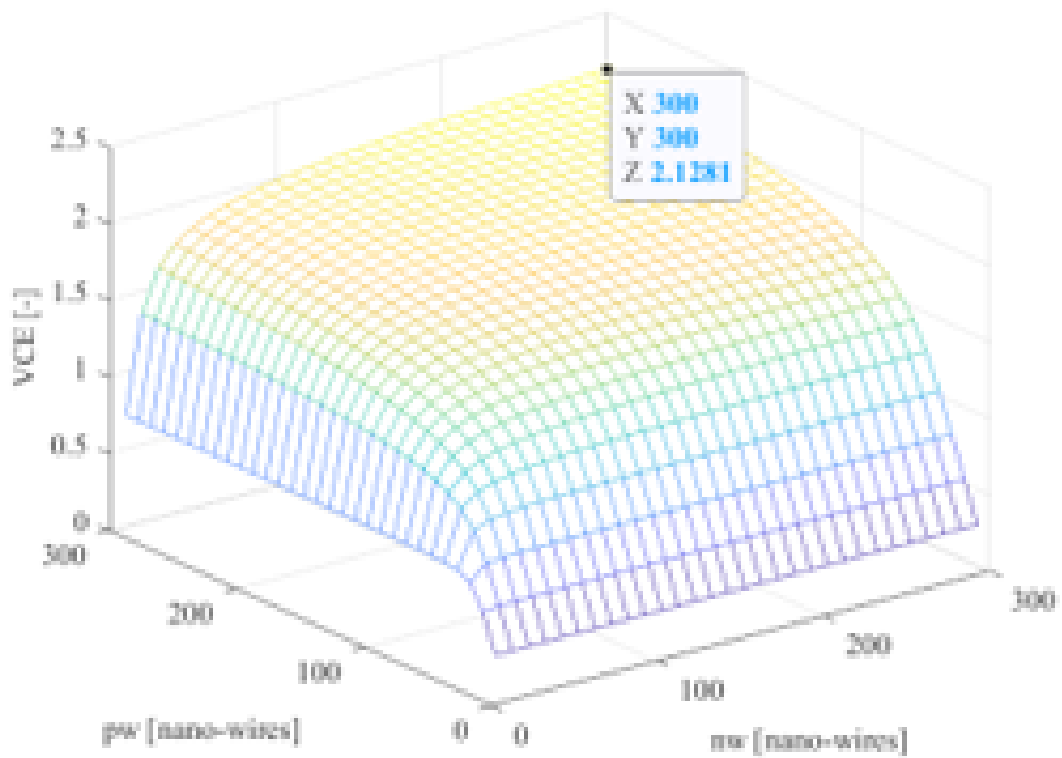


Figura 4.11: Respuesta del VCE para el duplicador de tensión

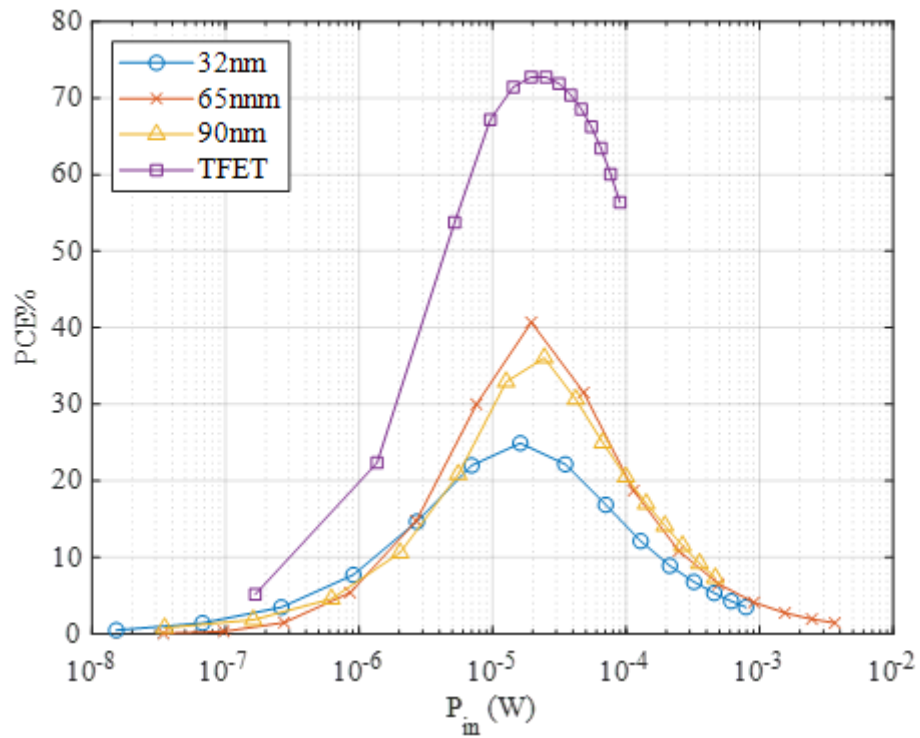


Figura 4.12: Variación de la potencia de entrada en el duplicador PCE

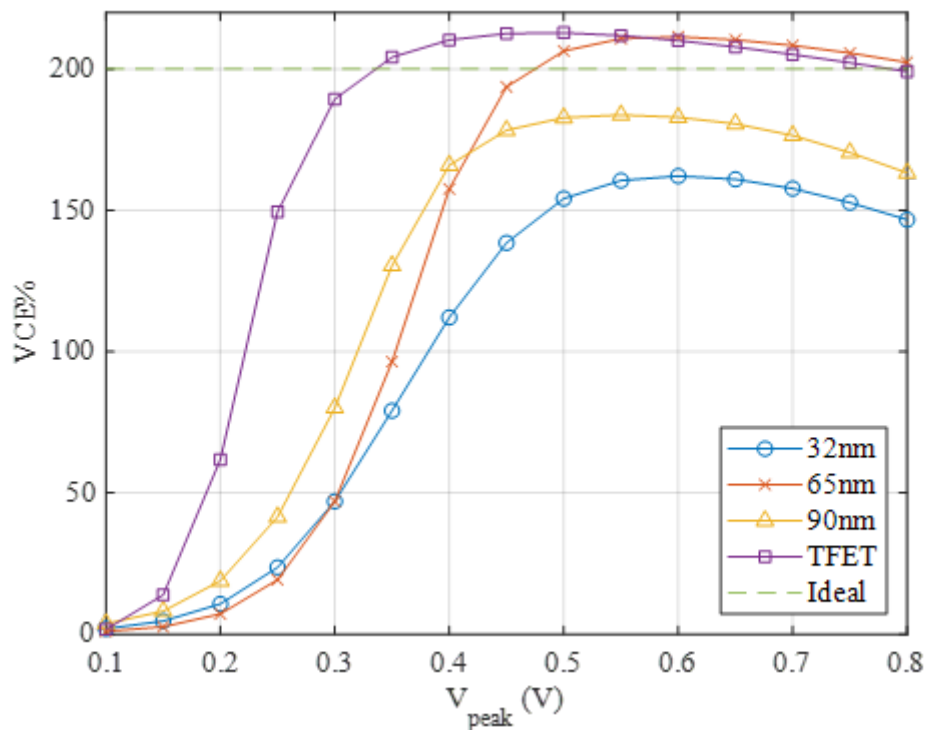


Figura 4.13: Variación de la potencia de entrada en el duplicador VCE

Capítulo 5

Conclusiones

Los TFETs muestran ventajas tecnológicas frente al CMOS debido a su bajo consumo energético y su voltaje de umbral que permite prender el dispositivo con potencial menor. De esta forma, la corriente del TFET es mayor para el mismo valor de voltaje. Por lo tanto, los multiplicadores de tensión muestran resultados ventajosos en el TFET. Estos resultados se ven reflejados en la topología anidada del dispositivos. En esta las respuestas de PCE y VCE son de aproximadamente 70 % y mayores a 200 %, respectivamente. Mientras que en otros nodos el valor máximo de PCE es de apenas 40 %. Al mismo tiempo el TFET muestra un buen resultado de VCE con un voltaje pico mayor a 0.2[V]; mientras que en otros nodos el voltaje debe ser de al menos de 0.35[V]. Esta diferencia representa un ventaja tecnológica que se puede explotar de tal manera que se empleé el TFET en aplicaciones de ultra baja potencia tal como sugieren los estudios más recientes.

Bibliografía

- [1] Fabian Horst. *Compact dc modeling of tunnel-fets*. PhD thesis, Universitat Rovira i Virgili, 2019.
- [2] Atieh Farokhnejad. *Compact Modeling of Intrinsic Capacitances in Double-Gate Tunnel-FETs*. PhD thesis, Universitat Rovira i Virgili, 2020.
- [3] Navneet Gupta, Adam Makosiej, Amara Amara, Andrei Vladimirescu, and Costin Anghel. *TFET Integrated Circuits: From Perspective Towards Reality*. Springer, 2021.
- [4] R. Shankar. *Principles of Quantum Mechanics*. Plenum Press, New York, 2 edition, 1994.
- [5] S. Strangio, F. Settino, P. Palestri, M. Lanuzza, F. Crupi, D. Esseni, and L. Selmi. Digital and analog tfet circuits: Design and benchmark. *Solid-State Electronics*, 146:50–65, 2018.
- [6] G. Chong, H. Ramiah, J. Yin, J. Rajendran, P. Mak, and R. P. Martins. A wide pce-dynamic-range cmos cross-coupled differential-drive rectifier for ambient rf energy harvesting. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2019.
- [7] A. K. Moghaddam et al. A 73.9technique for far-field rf energy-harvesting systems. *IEEE Transactions on Circuits and Systems I*, 64(4):992–1002, April 2017.