

**UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ**

**Colegio de Ciencias e Ingenierías**

**ASIC Para la Detección Acústica del Picudo Negro del Banano**

**Pierina Amelia Mirabá Flores**

**Juan Fernando Posso Calderón**

**Ingeniería Electrónica y Automatización**

Trabajo de fin de carrera presentado como requisito  
para la obtención del título de  
Ing. en Electrónica y Automatización

Quito, 19 de diciembre de 2024

# **UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ**

**Colegio de Ciencias e Ingenierías**

**HOJA DE CALIFICACIÓN  
DE TRABAJO DE FIN DE CARRERA**

**ASIC Para la Detección Acústica del Picudo Negro del Banano**

**Pierina Amelia Mirabá Flores**

**Juan Fernando Posso Calderón**

**Nombre del profesor, Título académico**

**Eduardo Javier Holguín Weber, PhD.**

**Luis Miguel Prócel Moya, PhD.**

Quito, 19 de diciembre de 2024

## © DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en la Ley Orgánica de Educación Superior del Ecuador.

Nombres y apellidos: Pierina Amelia Mirabá Flores

Código: 216740

Cédula de identidad: 0705821320

Lugar y fecha: Quito, 19 de diciembre de 2024

## © DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en la Ley Orgánica de Educación Superior del Ecuador.

Nombres y apellidos: Juan Fernando Posso Calderón

Código: 321560

Cédula de identidad: 1004483580

Lugar y fecha: Quito, 19 de diciembre de 2024

## **ACLARACIÓN PARA PUBLICACIÓN**

**Nota:** El presente trabajo, en su totalidad o cualquiera de sus partes, no debe ser considerado como una publicación, incluso a pesar de estar disponible sin restricciones a través de un repositorio institucional. Esta declaración se alinea con las prácticas y recomendaciones presentadas por el Committee on Publication Ethics COPE descritas por Barbour et al. (2017) Discussion document on best practice for issues around theses publishing, disponible en <http://bit.ly/COPETheses>.

## **UNPUBLISHED DOCUMENT**

**Note:** The following capstone project is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this project – in whole or in part – should not be considered a publication. This statement follows the recommendations presented by the Committee on Publication Ethics COPE described by Barbour et al. (2017) Discussion document on best practice for issues around theses publishing available on <http://bit.ly/COPETheses>.

## DEDICATORIA

Dedicamos este trabajo con profunda gratitud a Dios, por ser nuestra guía y fortaleza en todo momento. A nuestros padres, cuyo apoyo incondicional y esfuerzo constante nos han brindado las herramientas necesarias para alcanzar nuestros objetivos. Cada uno de nuestros logros les pertenece, pues han sido pilares fundamentales en nuestra vida.

A nuestros hermanos y demás familiares, por su amor incondicional y motivación constante, que han sido fuente de inspiración durante esta etapa.

De manera especial, dedicamos este esfuerzo a nuestros abuelos, los presentes y a aquellos que nos acompañan desde el cielo, quienes nunca nos desampararon y nos dieron la fuerza necesaria para culminar este sueño.

Finalmente, a nuestros profesores quienes con paciencia y compromiso nos inspiraron a superar nuestros límites y alcanzar esta meta. Su dedicación y enseñanzas han dejado una huella imborrable en nuestro camino.

## RESUMEN

El trabajo presenta el diseño y simulación de un ASIC de señal mixta para la detección acústica del picudo negro del banano (*Cosmopolites Sordidus*), utilizando tecnología de 130 nm del PDK de SkyWater. El dispositivo cuenta con dos secciones principales: una para procesar la señal de un micrófono bioacústico y determinar la presencia de la plaga, y un circuito de *Power/Clock Gating* que limita su operación a dos horas diarias para optimizar el consumo energético. Los resultados de la simulación validaron el correcto desempeño del ASIC, demostrando su capacidad para detectar eficazmente una posible infestación mediante el análisis del sonido emitido por *Cosmopolites sordidus* al alimentarse del cormo de la planta. Adicionalmente, el circuito demostró un consumo energético eficiente, con 82.21  $\mu\text{W}$  en operación activa y 2.74  $\mu\text{W}$  en reposo. Este diseño ofrece una solución accesible, eficiente y de bajo consumo para la detección temprana del picudo negro, y su metodología es adaptable para la identificación acústica de otras plagas agrícolas.

**Palabras clave:** *Cosmopolites Sordidus*, detección de plagas, ASIC, señal mixta, *full custom*, método acústico, *power gating*, *clock gating*, consumo de potencia, no invasivo.

## ABSTRACT

This work details the design and schematic-level simulation of a mixed-signal ASIC for the acoustic detection of the banana weevil (*Cosmopolites sordidus*), implemented using SkyWater's 130 nm PDK technology. The proposed device comprises two primary modules: a signal processing circuit to analyze acoustic data from a bioacoustic microphone and detect the presence of the pest, and a *Power/Clock Gating* system to optimize energy efficiency by restricting circuit operation to a two-hour daily window. Simulation results validate the system's effectiveness, accurately identifying pest activity based solely on the characteristic feeding sounds emitted by the weevil when burrowing into the plant's corm. Additionally, the circuit demonstrated exceptional energy efficiency, with power consumption measured at 82.21  $\mu\text{W}$  during active operation and 2.74  $\mu\text{W}$  in standby mode. This design represents a cost-effective, energy-efficient, and scalable solution for early pest detection and establishes a framework for developing similar acoustic detection systems for a variety of agricultural applications.

**Key words:** *Cosmopolites Sordidus*, pest detection, ASIC, mixed signal, *Full Custom*, acoustic method, *Power Gating*, *Clock Gating*, power consumption, non invasive.

## TABLA DE CONTENIDOS

INTRODUCCIÓN .....	14
A. Propuesta.....	16
B. Frequency-to-Digital Converter.....	17
C. Clock Gating .....	17
D. Power Gating .....	18
E. Metodología .....	19
DESARROLLO .....	20
A. Amplificador Operacional: .....	22
B. Frequency-to-Digital Converter.....	25
C. FDC Comparator.....	26
D. 14-Bit Counter .....	26
E. Final Comparator .....	28
F. 24-Hour Clock .....	28
G. Sleep Comparator.....	29
H. Divisores de Reloj.....	30
I. Pass Circuit .....	32
RESULTADOS.....	34
A. Desempeño de los divisores de reloj y del <i>24-Hour Clock</i> .....	34
B. Desempeño del Amplificador Operacional, <i>FDC</i> y <i>FDC Comparator</i> .....	36

C. Desempeño del ASIC durante la transición apagado - encendido .....	38
D. Desempeño del ASIC para determinar la infestación .....	40
E. Desempeño del ASIC durante la transición encendido – apagado .....	41
F. Análisis de potencia y <i>corners</i> .....	43
CONCLUSIONES .....	45
RECONOCIMIENTOS .....	46
REFERENCIAS.....	47

## ÍNDICE DE TABLAS

Tabla 1: Dimensionamiento de los Transistores del Amplificador Operacional.....	24
Tabla 2: Características Eléctricas del Amplificador Operacional. ....	25
Tabla 3: Consumo Total de Potencia del ASIC Bajo Distintos Process Corners. ....	44

## ÍNDICE DE FIGURAS

Figura 1: Diagrama de Bloques del Dispositivo.....	21
Figura 2: Esquema del Circuito de Power Gating. ....	22
Figura 3: Representación esquemática del Amplificador Operacional.....	23
Figura 4: Respuesta AC del Amplificador Operacional. ....	24
Figura 5: Representación Esquemática del FDC. ....	26
Figura 6: Representación Esquemática del 14-Bit Counter.....	27
Figura 7: Representación Esquemática del 24-Hour Clock.....	29
Figura 8: Representación Esquemática del Divisor de Reloj de 4.17 Hz. ....	32
Figura 9: Representación Esquemática del Divisor de Reloj de 1 Hz .....	32
Figura 10: Representación Esquemática del Pass Circuit.....	33
Figura 11: Divisor de 1 Hz en Conjunto con el 24-Hour Clock. ....	35
Figura 12: Divisor de 4.17 Hz Aplicando Clock Gating en Conjunto con el FBC.....	35
Figura 13: Respuesta del FDC y FDC Comparator en Conjunto con el Amplificador Operacional para una Señal de 1.2kHz.....	37
Figura 14: Respuesta del FDC y FDC Comparator en Conjunto con el Amplificador Operacional para una Señal de 1.8kHz.....	37
Figura 15: Señales de Control, FDC y Fourteen-Bit Counter Durante la Transición de Apagado- Encendido. ....	39
Figura 16: Salida del Circuito Durante la Transición Apagado-Encendido. ....	39
Figura 17: Señales de Control, FDC y Fourteen-Bit Counter al Detectar la Plaga. ....	40
Figura 18: Salida del Circuito al Detectar la Plaga.....	41

Figura 19: Señales de Control, FDC y Fourteen-Bit Counter Durante la Transición de Encendido-Apagado. ....	42
Figura 20: Salida del Circuito Durante la Transición de Encendido-Apagado. ....	42
Figura 21: Consumo de Potencia Promedio del ASIC en los Even Corners Durante la Transición de Encendido-Apagado. ....	44

## INTRODUCCIÓN

La producción de banano representa una de las actividades agrícolas más importantes en Ecuador, siendo responsable de aproximadamente un tercio de las exportaciones mundiales de esta fruta y generando empleo para más de 2.5 millones de personas [1]. Sin embargo, el sector enfrenta desafíos significativos, entre los que destaca la presencia de plagas que afectan zonas críticas de la planta. Después de la Sigatoka negra y los nematodos, el picudo negro (*Cosmopolites sordidus*) se posiciona como la tercera plaga más dañina para el banano, causando pérdidas que pueden oscilar entre el 10 % y el 70 % de la producción [2]. La detección temprana del picudo negro resulta compleja debido a su hábito de esconderse en áreas profundas del corno, así como a la falta de tecnologías eficaces para su identificación oportuna.

En relación con este insecto, los mayores daños a la planta son provocados durante su fase adulta. Su comportamiento se caracteriza por mantenerse oculto durante el día, mientras que su actividad alcanza su máximo nivel durante las horas nocturnas, especialmente entre las 21:00 y las 04:00 horas [3]. El impacto de esta plaga en las plantaciones de banano es considerable. Los insectos adultos perforan el corno del banano, excavando túneles que no solo comprometen la estructura física de la planta, sino que también causan la muerte de las raíces, disminuyendo significativamente su capacidad para absorber nutrientes esenciales. Como resultado, se produce un retraso en la floración y un aumento en la vulnerabilidad de la planta frente a otras plagas y enfermedades [4]. Estos efectos combinados representan un desafío importante para los productores, ya que comprometen tanto la productividad como la calidad del cultivo.

Los métodos actuales para el control del picudo negro del banano presentan limitaciones significativas [5], [6], [7]. Específicamente en Ecuador, las trampas utilizadas no permiten identificar con precisión las plantas infestadas, lo que obliga a desempeñar prácticas invasivas

como la tala de árboles cercanos al área afectada, ya que las larvas se alojan en el cormo y las galerías solo son visibles al cortar el pseudotallo [8]. Asimismo, el uso de insecticidas como organofosforados y carbamatos, aunque frecuente, es poco efectivo debido a la actividad nocturna del insecto, requiere múltiples aplicaciones y aumenta considerablemente los costos. Además, este enfoque genera resistencia en la plaga, afecta microorganismos benéficos y contribuye a la contaminación ambiental [9]. Estas deficiencias ocasionan pérdidas económicas y agravan los problemas en uno de los sectores productivos más importantes del país.

Para abordar este problema, un artículo propuso un sistema acústico no invasivo, que se conecta al cormo de la planta [10]. Se identificó que el *Cosmopolites Sordidus* emite sonidos en el rango de 1.4 a 2.6 kHz, con duraciones de 168 ms y un intervalo de 300 ms entre emisiones al alimentarse del cormo del banano, lo que sugiere la viabilidad de detectar la plaga mediante un micrófono bioacústico de ultrasonido y un dispositivo de procesamiento de datos. Sin embargo, la adaptación de este sistema para su uso en grandes plantaciones no ha sido explorada, lo que dificulta un monitoreo eficaz y perpetúa las pérdidas causadas por la detección tardía.

Existen, además, ejemplos de sistemas acústicos para la detección de plagas en otros tipos de cultivos. Por ejemplo, en plantaciones de palma roja se ha implementado un sistema de detección acústica utilizando un sensor acústico y un microprocesador RISC para procesar los datos [11]. Asimismo, un estudio sobre la detección del picudo de la pulpa de mango propone el uso de micrófonos MEMS para analizar las emisiones acústicas de este insecto. Sin embargo, el estudio concluye que, debido a la inactividad de los insectos en ciertos momentos, su detección es difícil, lo que sugiere la necesidad de combinar el método acústico con otras técnicas de detección para mejorar la precisión del monitoreo [12]. No obstante, la posibilidad de

implementar un circuito integrado capaz de detectar al picudo negro mediante métodos acústicos no ha sido explorada.

### **A. Propuesta**

El presente trabajo de titulación propone aprovechar las características acústicas del insecto para el desarrollo de un Circuito Integrado de Aplicación Específica (ASIC) de señal mixta que permita la detección temprana del picudo negro, con un enfoque particular en las plantaciones bananeras ecuatorianas. A diferencia de los métodos previos, este enfoque se centra en la detección no invasiva de la plaga, presentándose como una solución accesible, eficiente y de bajo consumo, que ofrece ventajas significativas a los agricultores, tanto en términos de reducción de costos como en mejora del rendimiento.

El dispositivo propuesto procesa la señal de un micrófono bioacústico de ultrasonido previamente acondicionada, es decir, amplificada y filtrada. Este sistema incluye un microchip que incorpora un Convertidor de Frecuencia a Digital (*FDC*), comparadores, contadores y un sistema de gestión de energía y reloj mediante técnicas de *Power* y *Clock Gating*. La implementación de estas técnicas permitirá optimizar el consumo de energía, prolongando la vida útil del dispositivo en entornos agrícolas donde el bajo consumo es esencial. A largo plazo, se prevé la integración de este microchip con un sistema de telemetría que permita transmitir los datos procesados a una unidad de monitoreo central, desde la cual los productores podrán supervisar en tiempo real el estado de las plantaciones.

El ASIC será diseñado específicamente para la detección del picudo negro en plantaciones de banano. Sin embargo, su correcto desempeño podría evidenciar la

viabilidad de desarrollar sistemas de detección similares para otras plagas en diversos tipos de cultivos. Para comprender mejor las funcionalidades del dispositivo, a continuación, se detallan los principios teóricos de los componentes clave, como el *FDC* y las técnicas de *Power Gating* y *Clock Gating*.

## B. Frequency-to-Digital Converter

El *FDC* es un componente esencial que permite identificar la frecuencia de una señal, ya sea analógica o digital, y transformarla en un valor binario. Para su diseño, se optó por implementar una configuración basada en contadores, siguiendo el enfoque descrito en [13]. Este *FDC* síncrono opera utilizando una señal de reloj de referencia para convertir la frecuencia de la señal de entrada en un número binario de  $N$  bits, que representa un múltiplo de dicha frecuencia. El diseño se compone de un contador, dos registros y un restador. El rango de detección está definido por la siguiente expresión:

$$f_{VCO} < (2^{N_{cnt}} - 1) \cdot f_{CLK}$$

*Ecuación 1*

Donde  $N_{cnt}$  representa el número de bits del contador,  $f_{VCO}$  la frecuencia de la señal de entrada, y  $f_{CLK}$  la frecuencia del reloj de referencia. Este rango depende directamente tanto de la cantidad de bits de los componentes del *FDC* como de la frecuencia del reloj de referencia, lo que resalta la importancia de ajustar estos parámetros para optimizar el desempeño del sistema.

## C. Clock Gating

El *Clock Gating* es una técnica de gran utilidad en el diseño de circuitos integrados, implementada para optimizar el consumo energético mediante el control selectivo de la señal de reloj que se distribuye a diferentes bloques del circuito. Esta

estrategia permite desactivar el reloj en módulos o bloques que no están en uso, eliminando las transiciones dinámicas innecesarias en esos componentes. Como resultado, se reduce el factor de actividad de los elementos inactivos y, por ende, se minimiza la potencia dinámica consumida por el sistema [14].

La potencia dinámica en un circuito está directamente relacionada con las transiciones de carga y descarga de nodos internos, lo que a su vez depende de cuatro factores principales: la frecuencia del reloj, el voltaje de operación, la capacitancia de carga de los componentes y el factor de actividad [14]. Al reducir el número de transiciones activas mediante el *Clock Gating*, es posible disminuir considerablemente el consumo energético.

#### **D. Power Gating**

El *Power Gating* es una técnica destinada a minimizar el consumo de energía al desconectar selectivamente el sistema de la fuente de alimentación cuando el dispositivo no está en operación. Este método se implementa mediante una fuente virtual que incluye un transistor de control, el cual actúa como un interruptor. Es fundamental dimensionar adecuadamente este transistor, asegurando que tenga la capacidad de suministrar la corriente necesaria para el correcto funcionamiento de todos los componentes conectados. Durante el funcionamiento del sistema, el transistor permite la conducción de energía desde la fuente de alimentación hacia el circuito [14].

En contraste, cuando el sistema no está en uso, una señal de control desactiva el transistor, desconectando el circuito y reduciendo significativamente el consumo energético. Sin embargo, esta desconexión puede ocasionar que los transistores internos del circuito entren en un estado de alta impedancia, lo que podría dar lugar a señales

incorrectas en la salida. Para mitigar este efecto, es crucial aislar la salida del circuito para evitar interferencias residuales.

## **E. Metodología**

El diseño del ASIC se llevará a cabo utilizando un enfoque *Full Custom* en el software *Synopsys Custom Compiler*, empleando tecnología de 130 nm proporcionada por el *Process Design Kit (PDK)* de SkyWater. Este enfoque implica diseñar cada componente del circuito integrado transistor por transistor, lo que permite una personalización detallada a nivel físico y eléctrico. Gracias a ello, se puede optimizar el rendimiento del ASIC en términos de consumo energético y velocidad, adaptándolo específicamente a los requerimientos del sistema.

Adicionalmente, el enfoque *Full Custom* facilita la integración eficiente entre componentes analógicos, como amplificadores operacionales, y los circuitos digitales, garantizando una interacción adecuada para el procesamiento de señales en aplicaciones específicas. Cada módulo del ASIC será sometido a simulaciones exhaustivas en la etapa de diseño esquemático, verificando su comportamiento a nivel eléctrico y asegurando que cumpla con las especificaciones requeridas para la detección temprana del *Cosmopolites Sordidus*.

## DESARROLLO

Esta sección describe el diseño general del ASIC y detalla cada uno de sus componentes, sentando las bases para entender su funcionalidad integral y su impacto en la detección temprana del *Cosmopolites Sordidus*. El objetivo es proporcionar un análisis técnico del proceso de diseño, destacando las metodologías y estrategias empleadas para optimizar el rendimiento del circuito, con énfasis en consumo energético y fiabilidad. El diagrama de bloques del ASIC se presenta en la Figura 1, donde se muestran sus ocho módulos principales. El dispositivo está dividido en dos secciones principales: el sistema de *Power/Clock Gating* y el Circuito de Detección. Este último concentra la lógica necesaria para determinar si la planta está infestada por la plaga a partir de la respuesta, previamente acondicionada, del micrófono bioacústico.

Su esquema incluye un amplificador operacional, que convierte la señal analógica de entrada en una señal cuadrada compatible con los componentes digitales. Posteriormente, un módulo *FDC* detecta la frecuencia de la señal y la convierte en un valor binario. A continuación, el *FDC Comparator* evalúa si dicha frecuencia se encuentra en el rango de interés, entre 1.4 kHz y 2.6 kHz, correspondiente a los sonidos característicos del picudo. Un *14-Bit Counter* almacena el número de detecciones, mientras que el *Final Comparator* determina si el número acumulado de detecciones es suficiente para indicar una posible infestación en la planta.

Por su parte, la Figura 2 representa el sistema de *Power/Clock Gating*, el cual se encarga de controlar el encendido y apagado del dispositivo, de la gestión eficiente de energía y de la generación de señales de reloj internas. Incluye dos divisores de reloj que toman la señal externa de 100 Hz y la transforman en frecuencias específicas: 1 Hz para el *Power Gating Circuit* y 4.17 Hz para el *14-Bit Counter*. Adicionalmente, incorpora un módulo *Pass Circuit*, que desconecta las señales de reloj durante el estado de reposo del circuito. La Figura 2 también ilustra el

módulo denominado como *Power Gating Circuit*, el cual está compuesto por dos módulos principales: el *24-Hour Clock*, que registra el tiempo, y el *Sleep Comparator*, que genera las señales de control necesarias para encender y apagar el dispositivo.

Adicionalmente, el sistema incorpora un transistor de fuente virtual, cuyo análisis técnico determinó la necesidad de agrandarlo al menos 300 veces la dimensión mínima estándar, a fin de garantizar un suministro de corriente adecuado que asegure la operación estable de los componentes dependientes de él. Esta configuración se diseñó específicamente para optimizar la gestión energética de componentes seleccionados, tales como el amplificador operacional, el primer contador del *FDC* y el *Pass Circuit*, pues estos fueron los módulos que exhibieron un mayor consumo energético. Consecuentemente, la implementación de la técnica de *Power Gating* en todo el ASIC fue descartada, ya que dicha integración habría requerido un transistor de mayor tamaño, incrementando sustancialmente el área ocupada por el diseño y comprometiendo los requisitos fundamentales de compacidad establecidos para este proyecto. A continuación, se detalla a profundidad el diseño y funcionamiento de cada uno de los módulos principales.

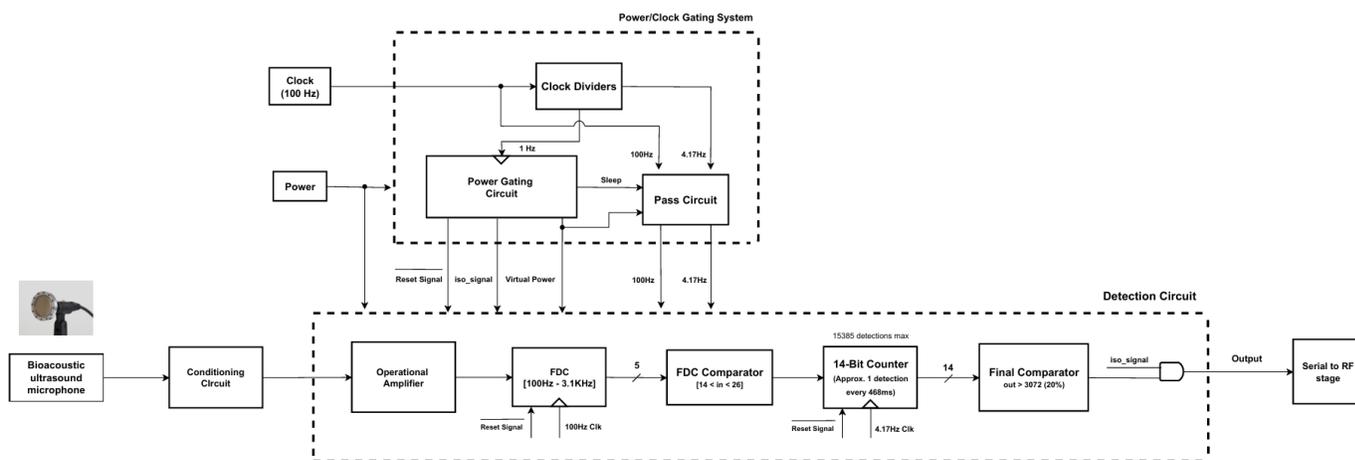


Figura 1: Diagrama de Bloques del Dispositivo.

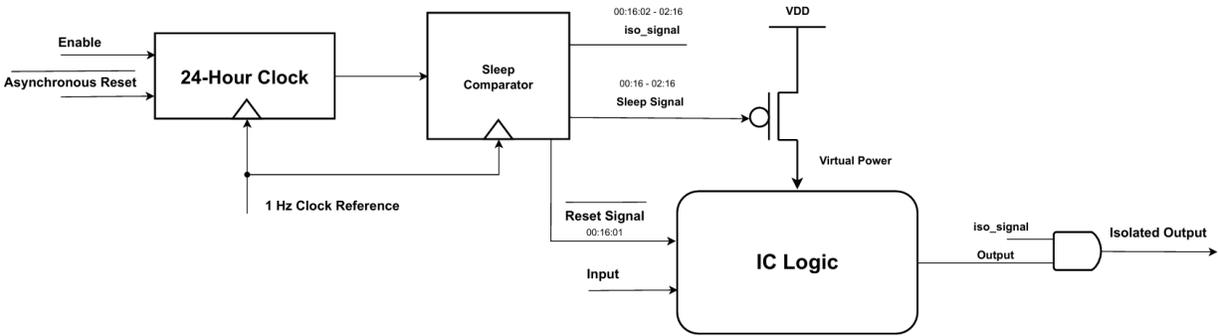


Figura 2: Esquema del Circuito de Power Gating.

### A. Amplificador Operacional:

El análisis de funcionamiento del *FDC* demostró la necesidad de modificar la señal analógica de entrada, de manera que su flanco ascendente sea lo suficientemente pronunciado para que su contador pueda trabajar. Consecuentemente, se decidió diseñar un amplificador operacional que permita convertir dicha señal a una con forma cuadrada de la manera más eficiente posible. La Figura 3 representa la configuración utilizada para la implementación del amplificador operacional. La topología en cuestión, inspirada en Vicuña et al. [15], es un *Two-Stage CMOS OpAmp* compuesto por un par diferencial, un transistor NMOS como fuente de corriente, un espejo de corriente, y una etapa *Common Source* para obtener una ganancia adicional. Para el dimensionamiento de los transistores, se priorizaron tres parámetros principales: *Slew Rate*, consumo de potencia y área.

Se busca que el *Slew Rate* sea suficientemente elevado para evitar distorsiones en la señal analógica y que el contador del *FDC* pueda interpretar los flancos ascendentes, sin aumentar desmesuradamente el consumo de potencia ni el área del componente. La Tabla 1 evidencia el dimensionamiento final de cada transistor que conforma el Amplificador Operacional, donde se observa que el máximo *aspect ratio* es de 51.82,

cumpliendo eficientemente el requerimiento de área. La Figura 4 representa la respuesta AC del *OpAmp*, la cual permite determinar la utilidad de la segunda etapa para aumentar la ganancia. Los valores finales de ganancia y ancho de banda se encuentran adjuntos en la Tabla 2. Por otro lado, dentro de la sección de resultados se evidencia que el *Slew Rate* del componente, cuyo valor se encuentra adjunto en la Tabla 2, es lo suficientemente elevado como para garantizar el correcto funcionamiento del *FDC*.

Finalmente, la Tabla 2 también contiene el consumo de potencia del circuito, demostrando que no es excesivamente elevado por lo que cumple los requerimientos de la presente aplicación. Además, como se detalló anteriormente, la técnica de *Power Gating* está específicamente enfocada en disminuir el consumo de potencia de este componente, por lo que este valor de consumo solo es experimentado durante las dos horas de operación al día. Es necesario recalcar que la exigencia de incluir este circuito evidencia la utilidad de emplear una metodología de diseño *Full Custom*, ya que esta técnica facilita la integración eficiente de circuitos digitales y analógicos en un mismo dispositivo.

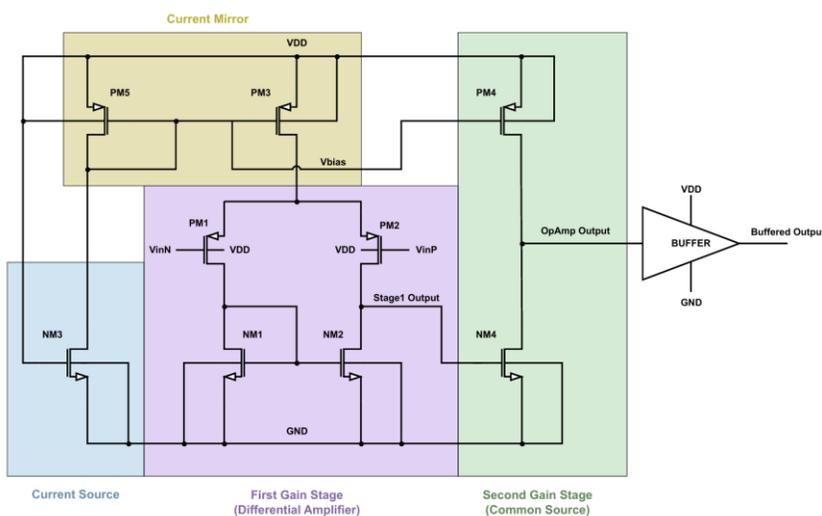


Figura 3: Representación esquemática del Amplificador Operacional.

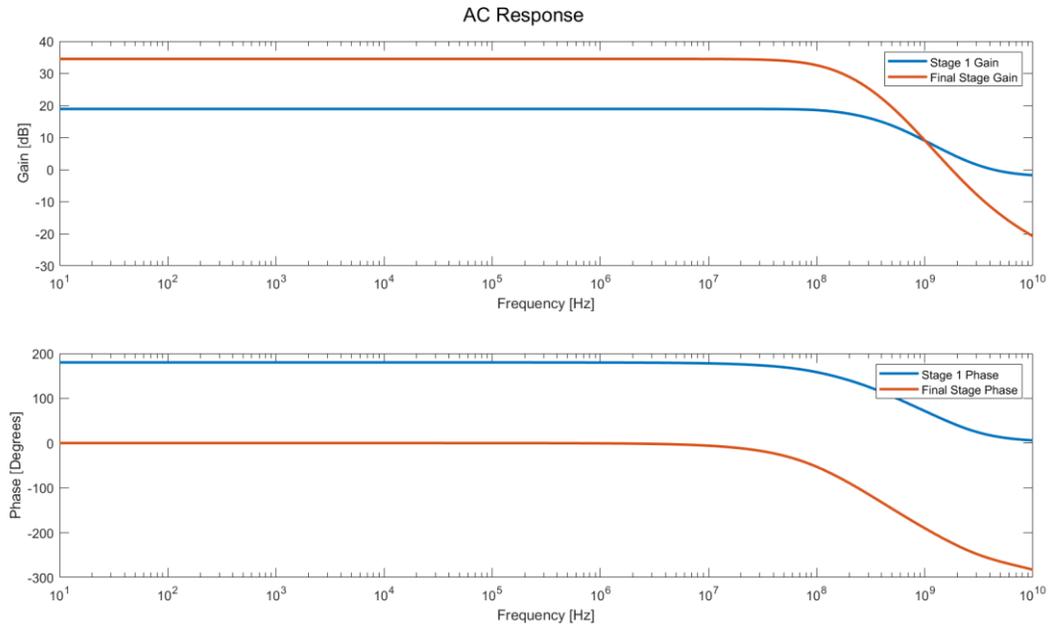


Figura 4: Respuesta AC del Amplificador Operacional.

<i>Etapa</i>	<i>Transistor</i>	<i>W/L</i>
<i>Primera etapa de ganancia</i>	<i>PM1</i>	<i>25</i>
	<i>PM2</i>	<i>25</i>
	<i>NM1</i>	<i>2.4</i>
	<i>NM2</i>	<i>2.4</i>
<i>Segunda etapa de ganancia</i>	<i>PM4</i>	<i>35.5</i>
	<i>NM4</i>	<i>1.43</i>
<i>Espejo de corriente</i>	<i>PM3</i>	<i>50</i>
	<i>PM5</i>	<i>51.82</i>
<i>Fuente de corriente</i>	<i>NM3</i>	<i>0.01</i>

Tabla 1: Dimensionamiento de los Transistores del Amplificador Operacional.

<i>Parámetro</i>	<i>Descripción</i>	<i>Valor</i>
$G$	<i>Ganancia</i>	34.5 [dB]
$BW$	<i>Ancho de Banda</i>	128 [MHz]
$SR$	<i>Slew Rate</i>	102 [V/ $\mu$ s]
$t_p$	<i>Retardo de Propagación</i>	1.10 [ns]
$P$	<i>Consumo Total de Potencia</i>	26.35 [ $\mu$ W]
$(W/L)_{max}$	<i>Máximo Aspect Ratio</i>	51.82

Tabla 2: Características Eléctricas del Amplificador Operacional.

## B. Frequency-to-Digital Converter

El *FDC*, como se introdujo previamente, es un componente esencial que transforma una frecuencia de entrada en un valor binario. En el presente proyecto, es implementado para convertir la frecuencia emitida por el micrófono bioacústico en un formato digital que facilite la detección del *Cosmopolites Sordidus*. El funcionamiento del *FDC* se basa en la captura y análisis de las frecuencias mediante un proceso iterativo [13].

Como resultado, el conversor produce un valor binario en su salida, el cual, al multiplicarse por la frecuencia del reloj de referencia, permite calcular la frecuencia de la señal de entrada con precisión. El diseño del *FDC* está compuesto por un contador de 5 bits, dos registros sincronizados y un restador como se muestra en la Figura 5. La señal de entrada, proveniente del micrófono, actúa como el reloj del contador, registrando los pulsos de esta señal durante un periodo definido por un reloj de referencia, que opera a 100 Hz. Tal como se describe en la Ecuación 1, el rango de detección de frecuencias del *FDC* está dado por el número de bits del contador y el reloj de referencia.

Consecuentemente, los valores seleccionados permiten una conversión precisa de frecuencias en el rango de 100Hz a 3.1 kHz, asegurando la captura adecuada de las

frecuencias objetivo entre 1.4 kHz y 2.6 kHz, correspondientes a los sonidos característicos emitidos por el insecto [10]. De igual manera, antes de ingresar al *FDC*, la señal analógica pasa por un amplificador operacional, lo que asegura que los flancos ascendentes de la señal sean claros para su procesamiento.

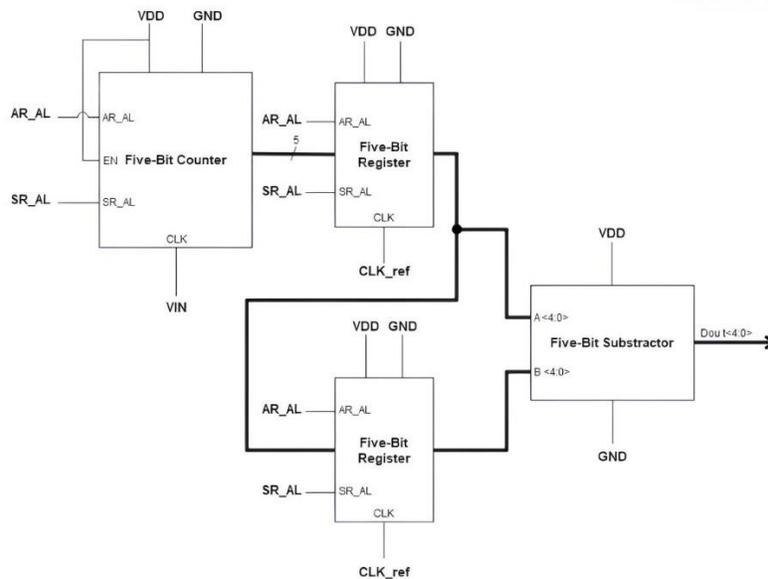


Figura 5: Representación Esquemática del FDC.

### C. FDC Comparator

El *FDC Comparator* es el primer comparador digital del sistema, diseñado como un circuito combinacional. Su función principal es evaluar si los cinco bits de entrada corresponden a un valor decimal dentro del rango de 14 a 26, indicando la detección de la plaga. Cuando esta condición se cumple, el circuito genera un uno lógico en su salida, que actúa como la señal de *enable* para el *14-Bit Counter (FBC)*.

### D. 14-Bit Counter

El *FBC* es el último contador, diseñado para que opere con 14 bits a una frecuencia de 4.17 Hz. Esta frecuencia fue seleccionada tomando en cuenta que el insecto

emite un sonido de 168 ms de duración, con un intervalo de 300 ms entre emisiones al alimentarse del corno del banano, lo que da como resultado un ciclo de actividad de 468 ms [10]. Sin embargo, para garantizar una detección más precisa se requiere muestrear la señal al menos dos veces por cada periodo de actividad del insecto, es decir, cada 234ms. Esto implica que el contador debería operar a una frecuencia de 4.27 Hz. Sin embargo, debido a las restricciones del divisor de reloj, la frecuencia más cercana y viable que se logra implementar es de 4.17 Hz. Dado que se espera una detección cada 468ms, el máximo de detecciones que se podría tener en un rango de dos horas sería de aproximadamente 15385 detecciones, por ende, se escoge un valor de 14 bits para el contador se adecúe al máximo valor posible. La Figura 6 exhibe la configuración de este componente.

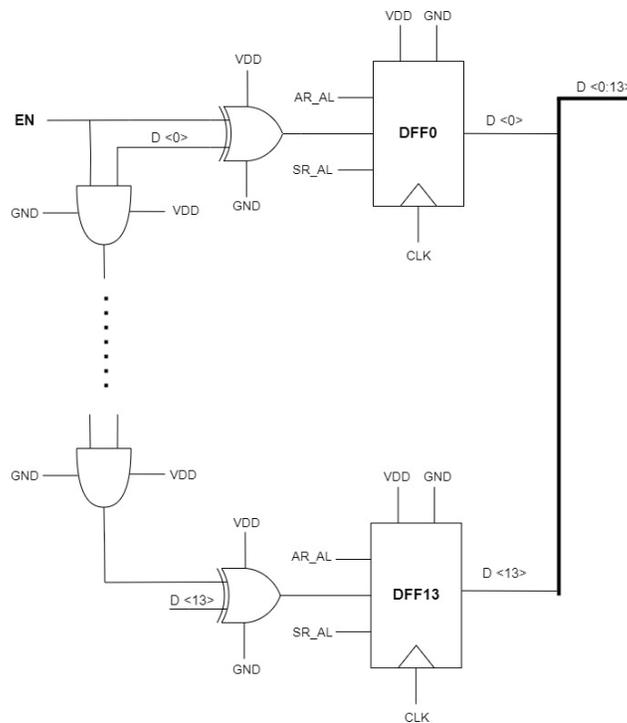


Figura 6: Representación Esquemática del 14-Bit Counter.

### **E. Final Comparator**

Finalmente, el diseño del último comparador tiene como objetivo verificar si se han alcanzado al menos 3072 detecciones, lo que representa el 20% del total esperado y se considera suficiente para indicar una posible infestación. De igual manera, este número específico de detecciones fue elegido para simplificar la lógica del comparador, ya que analizar los 14 bits completos del *FBC* habría incrementado significativamente la complejidad del circuito. Al establecer el umbral en 3072, solo es necesario evaluar los 4 bits más significativos, lo que no solo simplifica el diseño del circuito, sino que también mejora el consumo energético del sistema

### **F. 24-Hour Clock**

Tal como se exhibe en la Figura 7, el circuito del *24-Hour Clock* fue diseñado mediante la integración de tres contadores en cascada, los cuales fueron configurados para realizar un seguimiento preciso del tiempo en segundos, minutos y horas. Los dos primeros contadores, de 6 bits cada uno, fueron diseñados para registrar de manera precisa los segundos y los minutos, operando dentro de un rango de 0 a 59. Adicionalmente, para llevar el registro de las horas se utilizó un contador de 5 bits, configurado para contar de 0 a 23, cubriendo así un ciclo completo de 24 horas.

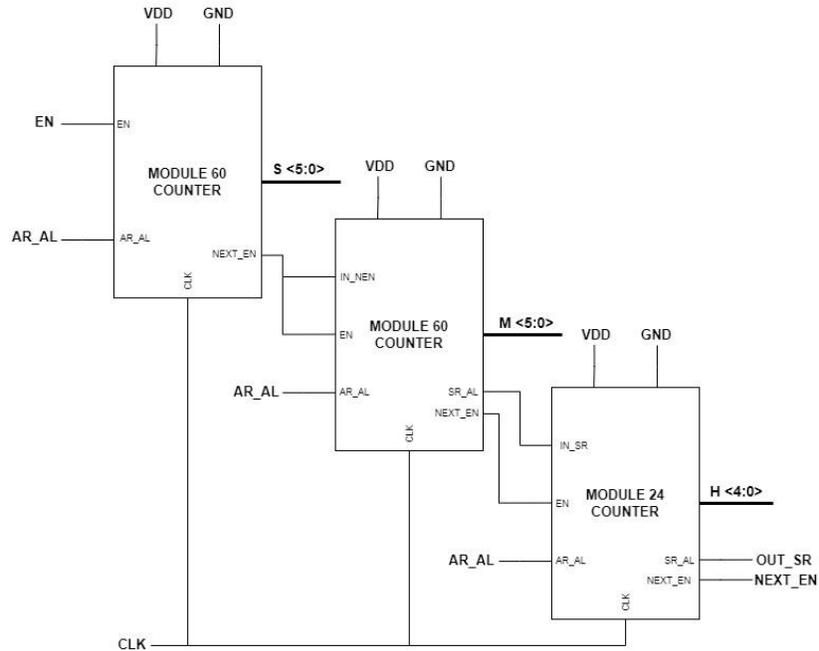


Figura 7: Representación Esquemática del 24-Hour Clock

## G. Sleep Comparator

El *Sleep Comparator* desempeña un rol crucial en el circuito de *Power/Clock Gating*, al definir los periodos en los que el ASIC debe operar. Basándose en el comportamiento del insecto objetivo, caracterizado por su actividad nocturna predominante entre las 21:00 y las 04:00 [3], se determinó que el ASIC solo necesita estar activo durante un intervalo específico de tiempo. Este enfoque permite optimizar el consumo energético al limitar su funcionamiento a las horas de mayor actividad detectada.

El diseño del circuito habilita tres señales esenciales. La primera, *Sleep Signal*, activa el ASIC entre las 00:16 y las 02:16 horas. Este intervalo se seleccionó estratégicamente para simplificar la lógica combinacional del circuito, representado en la figura, y evitar la activación inmediata al inicio del ciclo de reloj de 24 horas,

proporcionando un margen inicial de 16 minutos. La segunda señal, *Reset Signal*, se activa un segundo después de la habilitación de la *Sleep Signal*, es decir, a las 00:16:01.

Este reinicio tiene una duración de un segundo y asegura la correcta inicialización de todos los componentes secuenciales del ASIC, permitiendo que el circuito retome su operación desde un estado bien definido y estable. Además, este segundo de retraso tras la activación del circuito permite estabilizar las conexiones de alimentación energética (*Power Gating*) y las señales de reloj (*Clock Gating*). Finalmente, se diseñó la señal *iso\_signal*, cuya función es activar la compuerta de aislamiento una vez que los componentes secuenciales han sido reiniciados.

Esta señal se activa dos segundos después de la *Sleep Signal* y se desactiva simultáneamente con ella. Es importante destacar que no se utiliza directamente la *Sleep Signal* para controlar la compuerta de aislamiento, ya que el intervalo entre su activación y el reinicio contiene información residual del ciclo anterior. De emplearse esta señal, se correría el riesgo de procesar datos desactualizados. En consecuencia, la señal *iso\_signal* resulta fundamental para el correcto desempeño del circuito de detección, garantizando que únicamente se procese información actual y precisa en cada ciclo de activación.

## H. Divisores de Reloj

El módulo desarrollado incluye dos divisores de frecuencia basados en contadores, diseñados para generar señales de reloj de 1 Hz y 4.17 Hz a partir de una única señal externa de 100 Hz. Estas señales son esenciales para el funcionamiento del *Power Gating Circuit* y el *FBC*, respectivamente. La Figura 8 presenta el diseño del divisor encargado de generar la señal de 4.17 Hz. Este circuito incorpora un contador de

4 bits, el cual está configurado para contar de 0 a 11 antes de reiniciarse, lo que corresponde a un módulo de 12. Este componente se sincroniza con la señal de reloj original y activa la señal *Set* únicamente al completar su ciclo de conteo. La activación de la señal *Set* provoca un cambio en el estado lógico de la salida de la compuerta XOR, manteniéndola constante hasta la siguiente transición de dicha señal. Este comportamiento garantiza la generación de una nueva señal de reloj, cuya frecuencia se define mediante la Ecuación 2.

$$f_{out} = \frac{f_{in}}{MOD \times 2}$$

*Ecuación 2*

Donde  $f_{out}$  es la frecuencia de la señal de salida,  $f_{in}$  es la frecuencia del reloj de entrada y  $MOD$  es el módulo del contador. Es importante destacar que, como se mencionó en el apartado D de la presente sección, el objetivo inicial era generar una frecuencia de reloj de salida de 4.27 Hz. Sin embargo, el análisis de la Ecuación 2 revela que la configuración actual presenta una limitación que impide alcanzar este valor exacto. El valor más cercano posible es de 4.17 Hz, obtenido mediante un módulo de 12, por lo que esta frecuencia fue seleccionada para operar el *FBC* y proveer al menos dos intentos de detección por cada periodo de actividad de *Cosmopolites Sordidus*. Por su parte, el divisor de 1 Hz, ilustrado en la Figura 9, emplea una configuración similar al circuito anterior, con la diferencia de que su módulo es 50. Esto permite obtener, de manera precisa, la frecuencia deseada a la salida del componente.

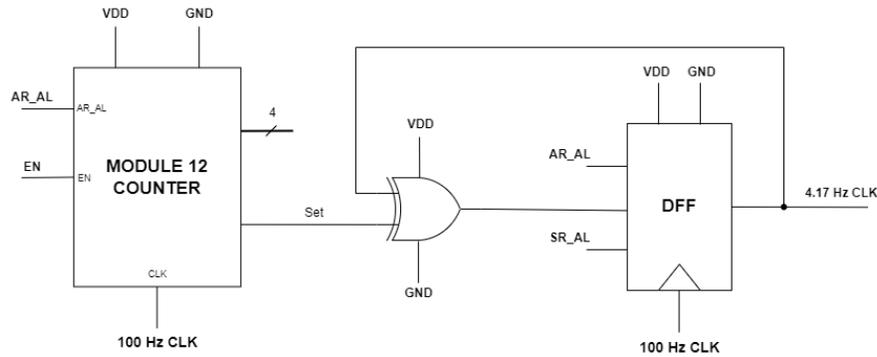


Figura 8: Representación Esquemática del Divisor de Reloj de 4.17 Hz.

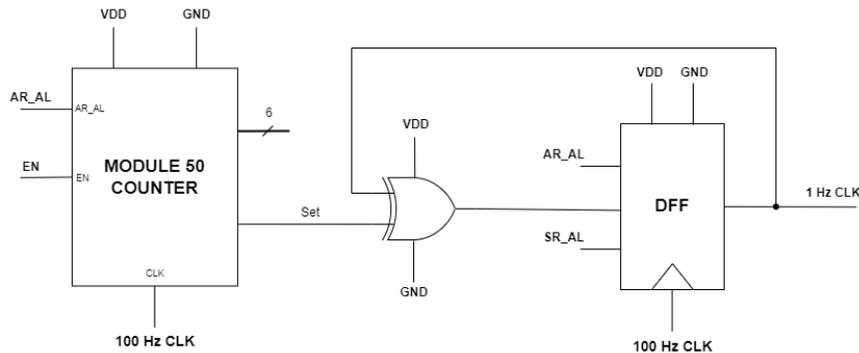


Figura 9: Representación Esquemática del Divisor de Reloj de 1 Hz

## I. Pass Circuit

Finalmente, el *Pass Circuit* tiene como objetivo principal desconectar las señales de reloj de los componentes secuenciales del circuito de detección, específicamente del *FDC* y del *FBC*, completando así la implementación de la técnica de *Clock Gating*. Este circuito, representado en la Figura 10, recibe como entrada tanto la señal de reloj externa de 100 Hz como la señal de 4.17 Hz generada por el divisor de reloj, permitiendo su transmisión hacia el circuito de detección únicamente durante los periodos de actividad.

Para garantizar un funcionamiento adecuado, se requiere que las señales de salida del *Pass Circuit* presenten una forma suficientemente cuadrada. Sin embargo, el uso

exclusivo de compuertas lógicas para este propósito resultó ineficaz, ya que las señales de salida presentan un *Slew Rate* insuficiente para cumplir con este criterio. Como solución, se incorporaron dos módulos de amplificadores operacionales a la salida de cada compuerta lógica, incrementando significativamente el *Slew Rate* de las señales y asegurando que estas sean óptimas para el correcto desempeño del resto del dispositivo.

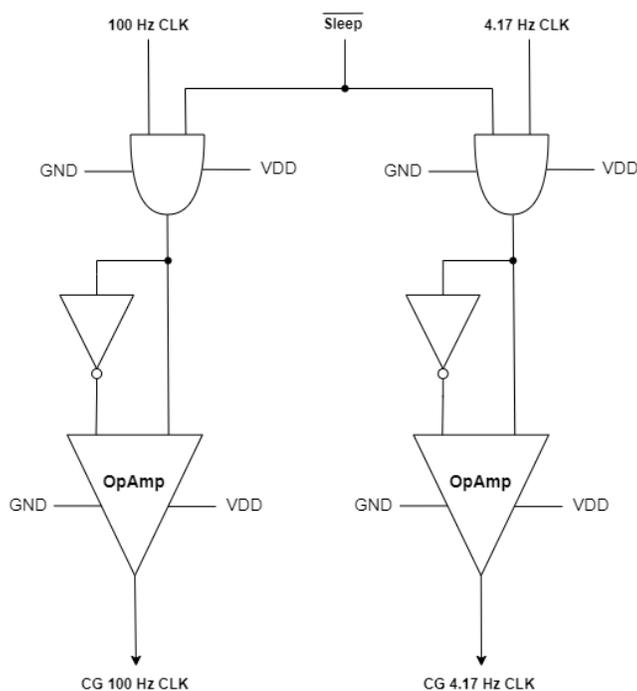


Figura 10: Representación Esquemática del Pass Circuit

## RESULTADOS

La presente sección analiza el comportamiento del ASIC y valida su correcto desempeño. Para simplificar las simulaciones, el circuito completo fue evaluado excluyendo los divisores de reloj. Consecuentemente, las Figuras 11 y 12 presentan el funcionamiento de estos componentes de manera individual, incluyendo aquellos que dependen de estas señales de reloj específicas. Por otro lado, la Figuras 13 y 14 exhiben la respuesta del Amplificador Operacional en conjunto con el *FDC* y el *FDC Comparator*. En cuanto al funcionamiento completo del ASIC, las Figuras 15 y 16 ilustran su desempeño durante la transición de apagado a encendido, controlada por el sistema de *Power/Clock Gating*. Las Figuras 17 y 18 evidencian el comportamiento del circuito al realizar una detección, mientras que las Figuras 19 y 20 muestran el funcionamiento del ASIC durante la transición inversa, de encendido a apagado. Finalmente, la Figura 21 y la Tabla 3 documentan el consumo de potencia del dispositivo durante los periodos de actividad e inactividad bajo distintos *Process Corners*.

### A. Desempeño de los divisores de reloj y del *24-Hour Clock*

La Figura 11 muestra la operación del divisor de reloj de 1 Hz y del *24-Hour Clock* en un caso crítico para asegurar su fiabilidad: la transición al finalizar el día. Se observa que los contadores de segundos, minutos y horas actualizan sus valores en sincronía con el eje temporal, confirmando que el componente emula con precisión un reloj convencional y mantiene un registro adecuado del tiempo. De manera similar, la Figura 12 demuestra el correcto comportamiento del divisor de reloj de 4.17 Hz en conjunto con el *FBC* y el sistema de *Clock Gating*. Es evidente que la señal de reloj no alcanza al *FBC* hasta que la señal *Sleep*, encargada de gestionar el sistema, se activa.

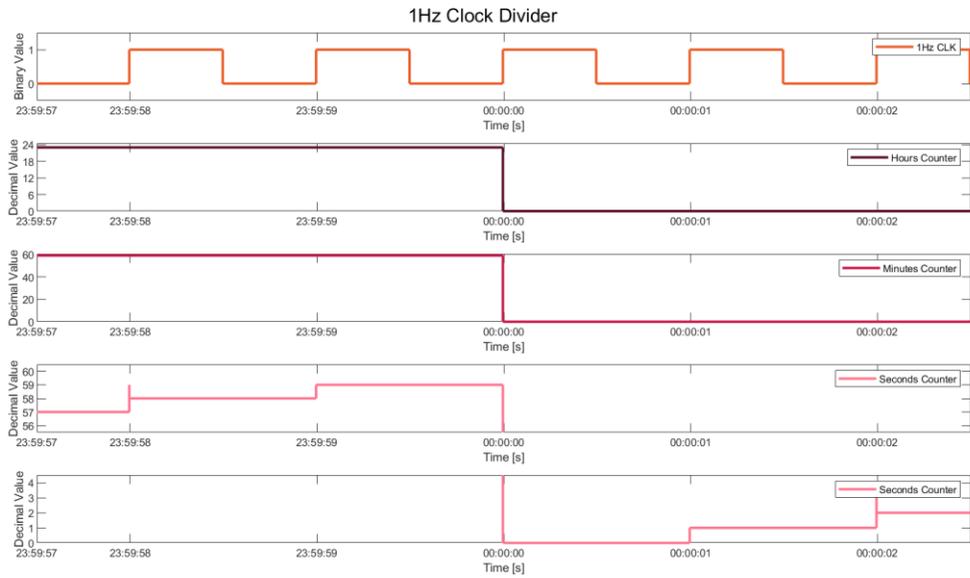


Figura 11: Divisor de 1 Hz en Conjunto con el 24-Hour Clock.

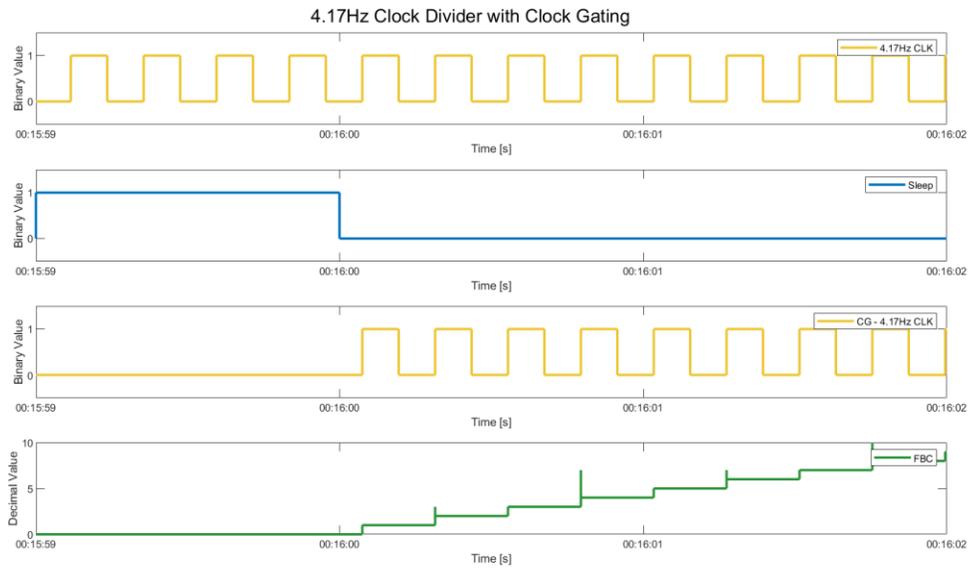


Figura 12: Divisor de 4.17 Hz Aplicando Clock Gating en Conjunto con el FBC.

## B. Desempeño del Amplificador Operacional, *FDC* y *FDC Comparator*

Como se mencionó anteriormente, el Amplificador Operacional tiene el objetivo de convertir a la señal de entrada en una onda cuadrada, de manera que su flanco ascendente sea correctamente identificado por el *FDC*. A su vez, el *FDC Comparator* comprueba que la salida del *FDC* se encuentre entre los valores decimales 14 y 26. Las características de diseño de estos componentes fueron detalladas en la sección anterior. Por consiguiente, las Figuras 13 y 14 permiten apreciar el correcto funcionamiento de los tres circuitos en conjunto. La Figura 13 exhibe el comportamiento de los componentes ante una señal de entrada de 1.2kHz, mientras que la Figura 14 incluye una de 1.8kHz. Para ambos casos, se observa que el *OpAmp* convierte de manera eficiente a la señal analógica de entrada en una onda cuadrada con la misma frecuencia.

Por otro lado, se verifica que el *FDC* opera de manera adecuada con ambas señales de entrada. El valor de frecuencia de cada señal analógica se comprueba al observar que la salida del amplificador operacional produce 12 flancos en un periodo del reloj de referencia para una frecuencia de 1.2 kHz y 18 flancos para una frecuencia de 1.8 kHz. Es importante señalar que el *FDC* requiere un periodo completo del reloj de referencia para adoptar el valor adecuado de 12 o 18, lo que representa una limitación inherente a la configuración utilizada. No obstante, los resultados confirman la eficacia del circuito para transformar la frecuencia de la señal de entrada en un valor digital.

Adicionalmente, se verifica el correcto funcionamiento del *FDC Comparator* en ambos casos analizados. La Figura 13 muestra que la salida del comparador permanece desactivada cuando el valor de frecuencia se encuentra fuera del rango de interés. Por el contrario, la Figura 14 evidencia que la salida del comparador se activa correctamente

cuando el valor de entrada se encuentra entre 14 y 26. Cabe destacar que la salida de este componente está conectada directamente a la señal *enable* del *FBC*, por lo que este último inicia el conteo únicamente cuando el *FDC Comparator* genera un valor lógico alto.

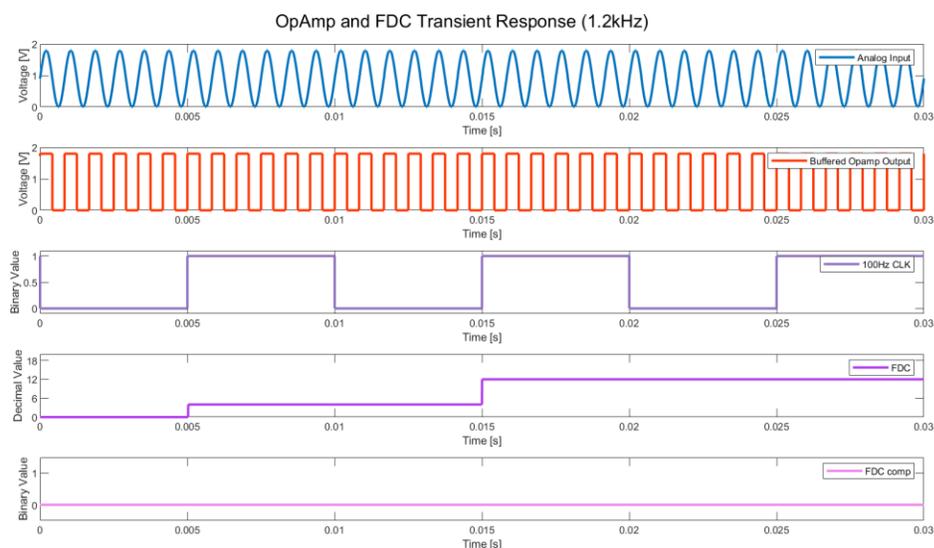


Figura 13: Respuesta del FDC y FDC Comparator en Conjunto con el Amplificador Operacional para una Señal de 1.2kHz.

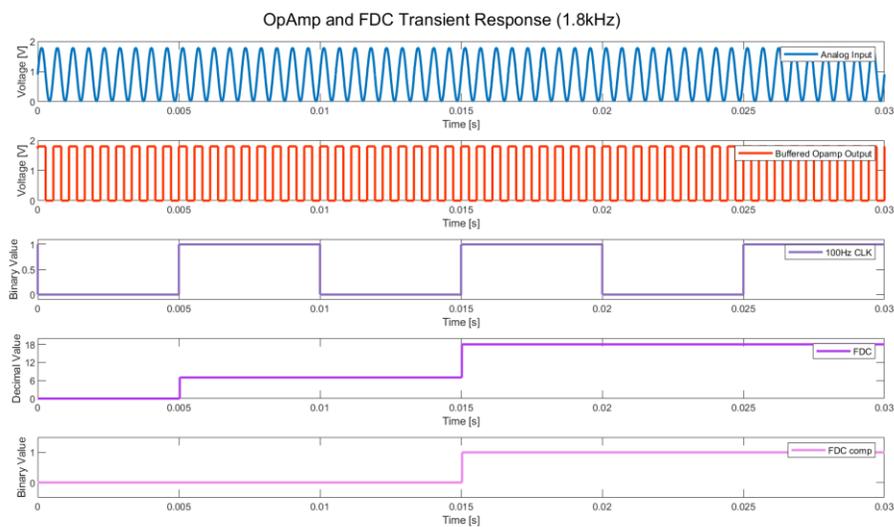


Figura 14: Respuesta del FDC y FDC Comparator en Conjunto con el Amplificador Operacional para una Señal de 1.8kHz.

### C. Desempeño del ASIC durante la transición apagado - encendido

Tal como se detalló anteriormente, el encendido y apagado del sistema de detección de la plaga están controlados por la señal *Sleep*, diseñada para activarse exactamente a las 00:16:00 y desactivarse a las 02:16:00, permitiendo un funcionamiento de dos horas diarias durante los periodos de mayor actividad del picudo negro. De igual manera, se utiliza la señal *Reset* para reiniciar los componentes secuenciales a las 00:16:01, y la señal *iso\_signal*, encargada de controlar el aislamiento en la salida del circuito, se activa un segundo después de completar el reinicio de los componentes.

La Figura 15 ilustra el funcionamiento de las señales de control y los principales componentes del circuito de detección durante la transición de apagado a encendido, específicamente en los 4 segundos posteriores a las 00:15:59. En primer lugar, se observa que las señales de control se activan con precisión en el momento esperado. Es importante destacar que las señales *Sleep* y *Reset* son de tipo Active Low, lo que implica que al activarse pasan de un estado lógico alto a uno bajo. Por otro lado, las señales de reloj del *FDC* y del *FBC* permanecen inhabilitadas antes de la activación de la señal *Sleep*, evidenciando el correcto funcionamiento del sistema de *Clock Gating*. Una vez reactivadas, ambos circuitos retoman su operación desde los valores almacenados al desactivarse.

Los valores iniciales fueron seleccionados para simular una aplicación real, demostrando que ambos componentes se reinician con precisión al activarse la señal *Reset* y luego continúan operando correctamente. A su vez, la Figura 16 muestra el comportamiento de los componentes a la salida del circuito de detección. Como era de esperarse, la salida del *Final Comparator* se activa brevemente tras alcanzar 3072

detecciones, justo antes del reinicio del *FBC*. Sin embargo, este pulso es irrelevante para la salida aislada del circuito, denominada *iso\_out*, ya que depende de la activación de la señal *iso\_signal*. Esto subraya la importancia de incluir esta señal de control, cuyo objetivo principal es evitar lecturas erróneas previas al reinicio programado del dispositivo.

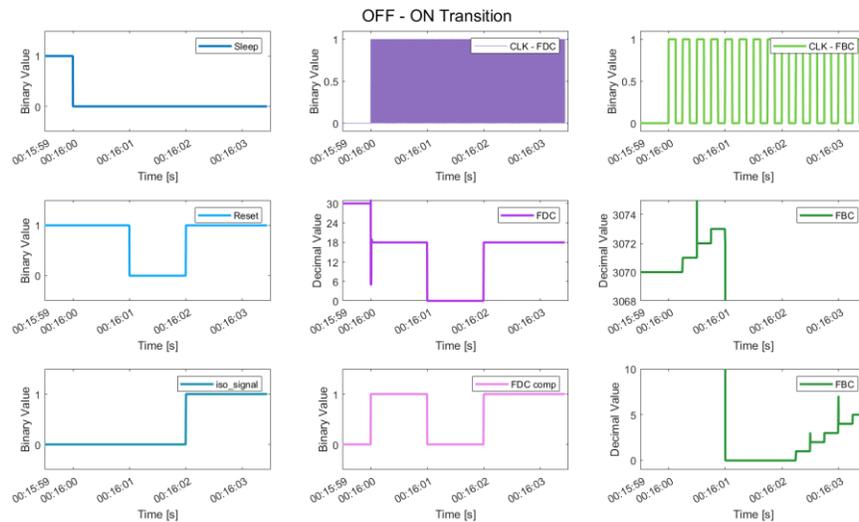


Figura 15: Señales de Control, FDC y Fourteen-Bit Counter Durante la Transición de Apagado-Encendido.

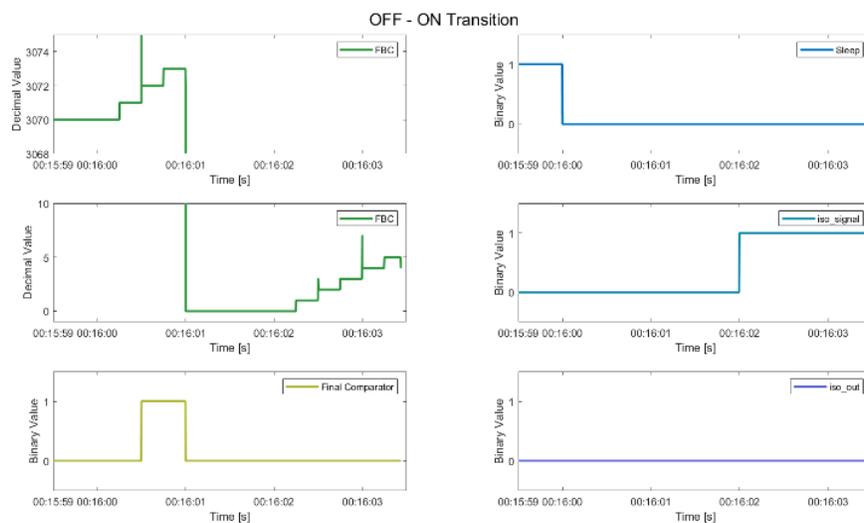


Figura 16: Salida del Circuito Durante la Transición Apagado-Encendido.

#### D. Desempeño del ASIC para determinar la infestación

Se espera que la salida aislada del circuito se active únicamente cuando se hayan realizado al menos 3072 detecciones y la señal *iso\_signal* esté habilitada. Las Figuras 17 y 18 muestran el comportamiento del circuito de detección en el momento en que los bits del *FBC* alcanzan dicho valor. En este punto, se observa que el *Final Comparator* cambia a un estado lógico alto. Asimismo, se evidencia que la salida aislada del dispositivo se activa simultáneamente con el *Final Comparator*, ya que el circuito opera dentro del periodo de activación. Por consiguiente, se comprueba la eficiente capacidad del ASIC para determinar un supuesto caso de infestación en la planta.

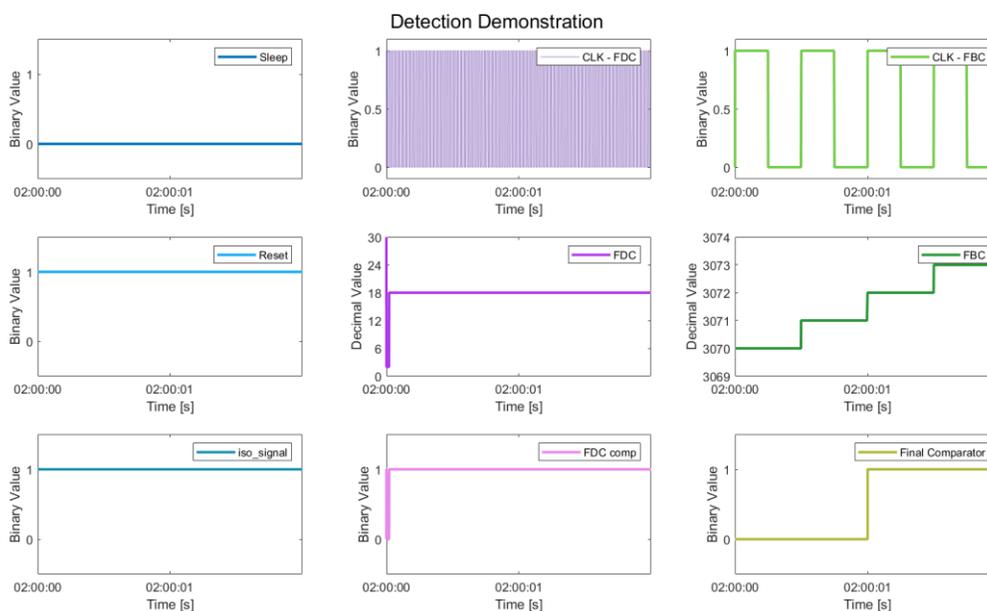


Figura 17: Señales de Control, FDC y Fourteen-Bit Counter al Detectar la Plaga.

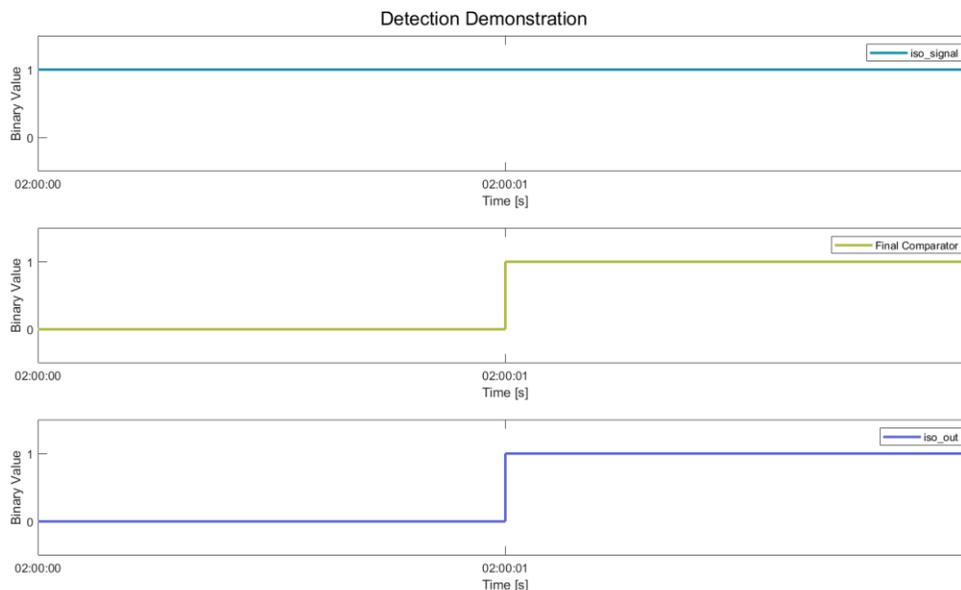


Figura 18: Salida del Circuito al Detectar la Plaga.

### E. Desempeño del ASIC durante la transición encendido – apagado

La última simulación, representada en las Figuras 19 y 20, ilustra el comportamiento del dispositivo durante la transición de encendido a apagado, tras la desactivación de las señales *Sleep* e *iso\_signal* a las 02:16:00. En primer lugar, la Figura 19 muestra el correcto funcionamiento de las señales de control. Asimismo, se observa que las señales de reloj tanto del *FDC* como del *FBC* se desactivan exactamente en el momento esperado, gracias al sistema de *Clock Gating*.

Además, se evidencia que los componentes secuenciales mantienen el último valor almacenado en sus registros antes de la desactivación del circuito, lo que subraya la necesidad de reiniciar el sistema al encenderlo nuevamente. Por otro lado, la Figura 20 detalla el comportamiento de la salida del circuito de detección. Se aprecia que la salida aislada del dispositivo se desactiva en el momento previsto, incluso cuando la salida del

*Final Comparator* permanece activa debido a que el *FBC* conserva un valor superior a 3072. Esto se logra gracias a la desactivación de la señal *iso\_signal*.

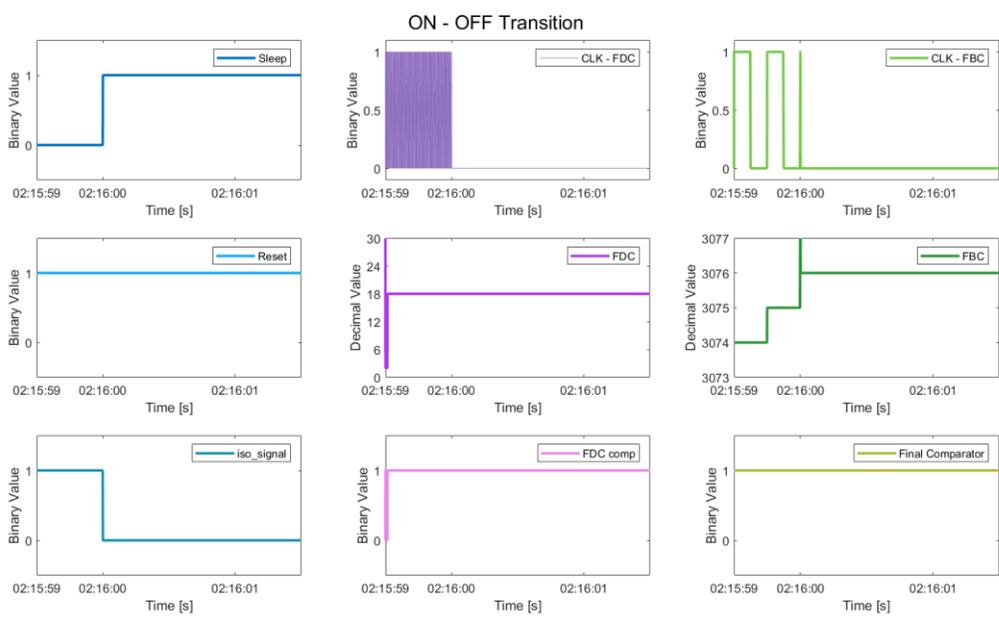


Figura 19: Señales de Control, FDC y Fourteen-Bit Counter Durante la Transición de Encendido-Apagado.

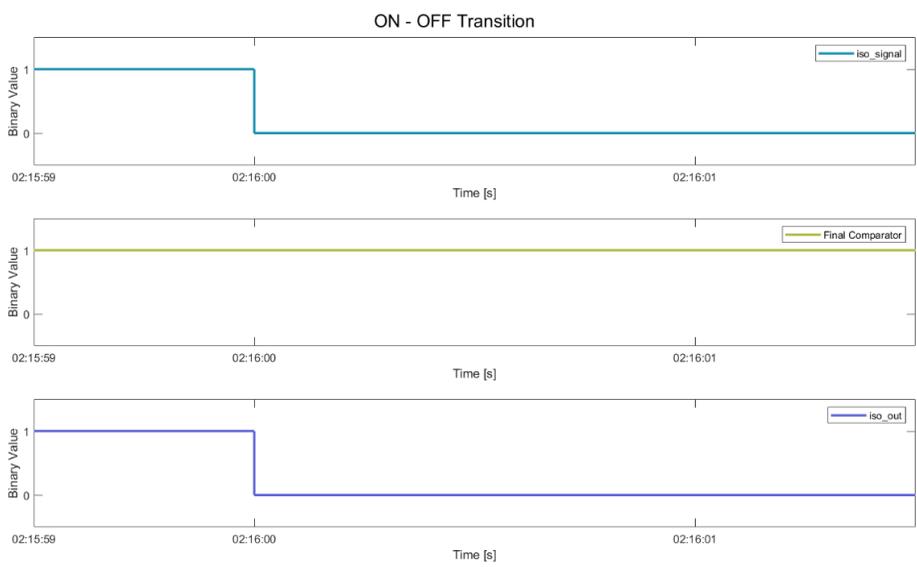


Figura 20: Salida del Circuito Durante la Transición de Encendido-Apagado.

## F. Análisis de potencia y *corners*

Finalmente, se llevaron a cabo pruebas en los *Even Process Corners* para evaluar el desempeño del dispositivo bajo diversas condiciones de fabricación. El *Slow-Slow* (SS) pone a prueba el circuito cuando tanto los transistores NMOS como PMOS presentan un comportamiento lento. El caso *Typical-Typical* (TT) evalúa el circuito en condiciones estándar, mientras que el caso *Fast-Fast* (FF) analiza el rendimiento del sistema cuando los transistores operan a mayor velocidad. Para lograr estas condiciones, la herramienta EDA ajusta los parámetros físicos de los transistores según cada escenario.

Los resultados de las simulaciones confirmaron que el circuito opera correctamente en todos los *Process Corners* evaluados, evidenciando su alta robustez y eficiencia. La Figura 21 exhibe el consumo de potencia promedio del ASIC en cada caso durante la transición de encendido a apagado, mientras que la Tabla 3 presenta el consumo de potencia total. En primer lugar, se observa una disminución considerable en el consumo de potencia durante el periodo de inactividad, cumpliendo el objetivo del sistema de *Power/Clock Gating*.

Por otro lado, se observa que el consumo es menor en el caso SS, principalmente debido al incremento del voltaje de umbral y la disminución de la movilidad. En contraste, el análisis del caso FF muestra un aumento considerable del consumo, atribuido a la reducción del voltaje de umbral y el aumento de la movilidad. A pesar de estas variaciones, el consumo de potencia del circuito se mantiene dentro de límites razonables en todos los escenarios. De igual manera, los resultados demuestran la

importancia y eficacia del sistema de *Power/Clock Gating* para minimizar el consumo energético del ASIC bajo cada una de las condiciones de fabricación.

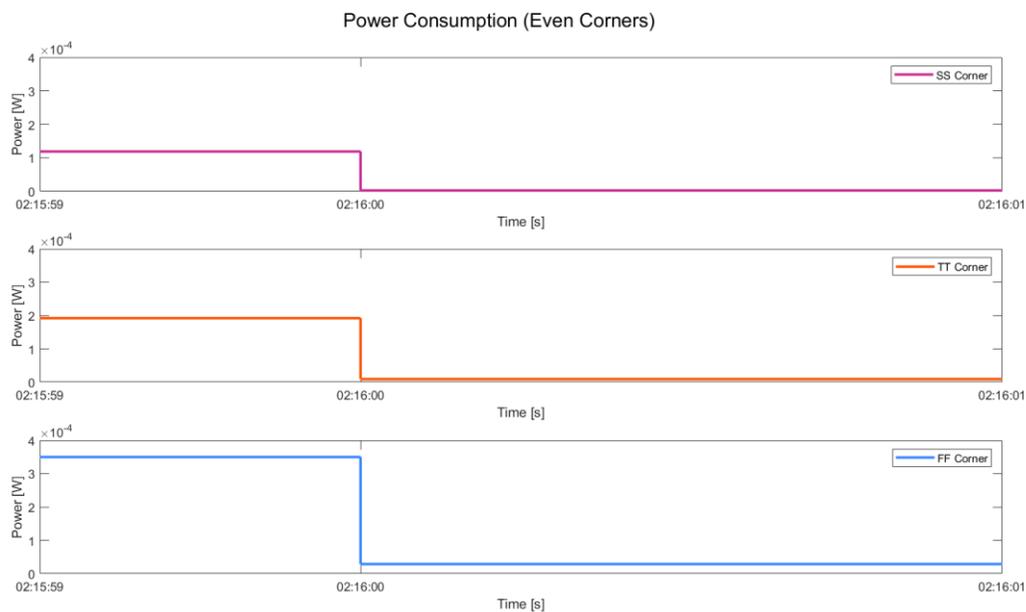


Figura 21: Consumo de Potencia Promedio del ASIC en los Even Corners Durante la Transición de Encendido-Apagado.

<b><i>Process Corner</i></b>	<b><i>Consumo Total de Potencia [<math>\mu</math>W]</i></b>	
	<b><i>Actividad</i></b>	<b><i>Inactividad</i></b>
<i>Slow - Slow</i>	46.39	0.64
<i>Typical - Typical</i>	82.21	2.74
<i>Fast - Fast</i>	169.24	13.67

Tabla 3: Consumo Total de Potencia del ASIC Bajo Distintos Process Corners.

## CONCLUSIONES

El picudo negro del banano es una de las plagas más dañinas para las plantaciones de banano, representando una amenaza significativa debido a que los síntomas visibles en las plantas aparecen demasiado tarde para su recuperación. Este problema es especialmente crítico en países como Ecuador, cuya economía depende fuertemente de la producción bananera. Por ello, el desarrollo de sistemas capaces de detectar esta plaga de manera temprana es esencial para implementar métodos efectivos de erradicación y garantizar el progreso del sector.

Este trabajo de titulación se centra en el diseño y simulación de un ASIC de señal mixta para la detección del picudo negro del banano, utilizando la señal acústica emitida por el insecto al alimentarse. El dispositivo, implementado en tecnología de 130 nm, consta de dos componentes principales: el circuito de detección y el sistema de *Power/Clock Gating*. El circuito de detección incluye la lógica necesaria para identificar la frecuencia del sonido y confirmar la infestación tras alcanzar al menos un 20% de las detecciones esperadas.

Por su parte, el sistema de *Power/Clock Gating* regula los periodos de encendido y apagado del circuito, permitiendo su operación únicamente durante dos horas del periodo activo del insecto y reduciendo así el consumo energético. Los resultados obtenidos confirman el correcto funcionamiento del ASIC en diversas condiciones operativas. El circuito de detección demostró su capacidad teórica para identificar las frecuencias características del sonido de alimentación de la plaga y determinar una infestación tras completar 3072 detecciones. Asimismo, el sistema de *Power/Clock Gating* resultó altamente eficiente, logrando un consumo de potencia de  $82.21 \mu\text{W}$  durante la actividad y  $2.74 \mu\text{W}$  en inactividad.

Estos resultados validan al dispositivo como una solución viable para la detección temprana del picudo negro con bajo consumo de potencia. Además, este enfoque puede extenderse a otros sistemas de detección de plagas agrícolas. Se espera que este trabajo represente un avance en la integración de la tecnología y la academia para abordar necesidades concretas del sector productivo y social de Ecuador. Los esfuerzos futuros se orientarán hacia pruebas experimentales en plantaciones bananeras utilizando sensores acústicos, lo que permitirá diseñar e implementar el sistema de acondicionamiento de señal. Asimismo, se trabajará en el desarrollo del *layout* del ASIC para su fabricación.

## **RECONOCIMIENTOS**

Deseamos expresar nuestro más sincero agradecimiento a Synopsys, Inc. por proporcionar acceso a la herramienta EDA *Custom Compiler* utilizada para el diseño del ASIC, así como por el financiamiento que hizo posible el desarrollo de este proyecto. Asimismo, reconocemos al Instituto de Micro y Nano Electrónica de la Universidad San Francisco de Quito por su invaluable apoyo y contribución durante toda la investigación.

## REFERENCIAS

- [1] Instituto Nacional de Investigaciones Agropecuarias, “Banano, plátano y otras musáceas,” Gobierno de la República del Ecuador. Accessed: Dec. 12, 2024. [Online]. Available: <https://www.iniap.gob.ec/banano-platano-y-otras-musaceas/>
- [2] Y. Espinosa Velepucha, J. Nicasio, Q. Guerrero, R. Miguel, G. Batista, and E. Velepucha, “Determination of the efficiency of different traps for the control of black picudo (Cosmopolites Sordidus G.) in organic banana,” *Revista Científica Agroecosistemas*, 2019. Accessed: Dec. 12, 2024. [Online]. Available: <https://aes.ucf.edu.cu/index.php/aes>
- [3] C. Berry *et al.*, “Banana Weevil, *Cosmopolites sordidus* (Germar) (Coleoptera: Curculionidae),” *Encyclopedia of Entomology*, pp. 369–378, 2008, doi: 10.1007/978-1-4020-6359-6\_224.
- [4] C. S. Gold, P. E. Ragama, R. Coe, and N. D. T. M. Rukazambuga, “Selection of assessment methods for evaluating banana weevil damage on highland cooking banana,” *Uganda Journal of Agricultural Sciences*, vol. 9, pp. 274–280, 2004.
- [5] J. de Graaf, P. Govender, A. S. Schoeman, and A. Viljoen, “Efficacy of pseudostem and pheromone seasonal trapping of the banana weevil *Cosmopolites sordidus* in South Africa,” *Int J Pest Manag*, vol. 51, no. 3, pp. 209–218, Jul. 2005, doi: 10.1080/09670870500228529.
- [6] G. Rauda-Cárdenas, H. A. Hernández-Ortega, J. C. Sánchez-Rangel, and J. E. Castrejón-Antonio, “Pseudotallos y feromonas en capturas de *Cosmopolites sordidus* (Coleoptera: Curculionidae) en huertos de plátano del municipio de Tecomán, Colima, México,” *Av Investig Agropecu*, vol. 28, no. 1, Feb. 2024, doi: 10.53897/revaia.24.28.05.
- [7] D. Alpizar, M. Fallas, A. C. Oehlschlager, and L. M. Gonzalez, “Management of *Cosmopolites sordidus* and *Metamasius hemipterus* in Banana by Pheromone-Based Mass Trapping,” *J Chem Ecol*, vol. 38, no. 3, pp. 245–252, Mar. 2012, doi: 10.1007/s10886-012-0091-0.
- [8] I. Armendáriz, P. A. Landázuri, J. M. Taco, and S. M. Ulloa, “Efectos del control del picudo negro (*Cosmopolites sordidus*) en el plátano.,” *Agronomía Mesoamericana*, vol. 27, no. 2, p. 319, Jun. 2016, doi: 10.15517/am.v27i2.20552.
- [9] M. F. Baquerizo, “Biocontrol de picudo negro (*Cosmopolites Sordidus*) mediante nemátodos entomopatógenos (*Steinernema feltiae*) en banano, El Triunfo-Guayas,” Trabajo de titulación presentado como requisito para la obtención del título de Ingeniera Agrónoma, Universidad Agraria del Ecuador, 2023.
- [10] F. Vinatier and C. Vinatier, “Acoustic recording as a non-invasive method to detect larval infestation of *Cosmopolites sordidus*,” *Entomol Exp Appl*, vol. 149, no. 1, pp. 22–26, Oct. 2013, doi: 10.1111/eea.12102.
- [11] M. M. Rach, H. M. Gomis, O. L. Granado, M. P. Malumbres, A. M. Campoy, and J. J. S. Martín, “On the design of a bioacoustic sensor for the early detection of the red palm weevil,” *Sensors (Switzerland)*, vol. 13, no. 2, pp. 1706–1729, 2013, doi: 10.3390/s130201706.
- [12] I. A. P. Banlawe and J. C. Dela Cruz, “Acoustic sensors for mango pulp weevil (*stretochenus frigidus* sp.) Detection,” in *2020 IEEE 10th International Conference on System Engineering and Technology, ICSET 2020 - Proceedings*, Institute of Electrical and Electronics Engineers Inc., Nov. 2020, pp. 191–195. doi: 10.1109/ICSET51301.2020.9265349.

- [13] V. Nguyen, F. Schembari, and R. B. Staszewski, "Exploring Speed Maximization of Frequency-to-Digital Conversion for Ultra-Low-Voltage VCO-Based ADCs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 70, no. 3, pp. 1043–1056, Mar. 2023, doi: 10.1109/TCSI.2022.3223468.
- [14] N. H. E. Weste and D. M. Harris, *CMOS VLSI Design A Circuits and Systems Perspective*, 4th ed. Pearson Education, Inc., 2011. [Online]. Available: [www.allitebooks.com](http://www.allitebooks.com)
- [15] K. Vicuña *et al.*, "A 180 nm Low-Cost Operational Amplifier for IoT Applications," *ETCM 2021 - 5th Ecuador Technical Chapters Meeting*, pp. 1–6, Oct. 2021, doi: 10.1109/ETCM53643.2021.9590655.