

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

**SINERGIA DE LÓGICA DOMINÓ Y COMPUERTAS DE TRANSMISIÓN PARA
CIRCUITOS ARITMÉTICOS**

Sara Eliza Benedictis Cortés

Ingeniería Electrónica y Automatización

Trabajo de fin de carrera presentado como requisito
para la obtención del título de
Ingeniera en Electrónica

Quito, 24 de diciembre de 2020

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

HOJA DE CALIFICACIÓN DE TRABAJO DE FIN DE CARRERA

**SINERGIA DE LÓGICA DOMINÓ Y COMPUERTAS DE TRANSMISIÓN PARA
CIRCUITOS ARITMÉTICOS**

Sara Eliza Benedictis Cortés

Nombre del profesor, Título académico

Ramiro Taco, PhD.

Nombre del profesor, Título académico

Luis Miguel Prócel, PhD.

Quito, 24 de diciembre de 2020

© DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en la Ley Orgánica de Educación Superior del Ecuador.

Nombres y apellidos: Sara Eliza Benedictis Cortés

Código: 00131579

Cédula de identidad: 1725118598

Lugar y fecha: Quito, 24 de diciembre de 2020

ACLARACIÓN PARA PUBLICACIÓN

Nota: El presente trabajo, en su totalidad o cualquiera de sus partes, no debe ser considerado como una publicación, incluso a pesar de estar disponible sin restricciones a través de un repositorio institucional. Esta declaración se alinea con las prácticas y recomendaciones presentadas por el Committee on Publication Ethics COPE descritas por Barbour et al. (2017) Discussion document on best practice for issues around theses publishing, disponible en <http://bit.ly/COPETHeses>.

UNPUBLISHED DOCUMENT

Note: The following capstone project is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this project – in whole or in part – should not be considered a publication. This statement follows the recommendations presented by the Committee on Publication Ethics COPE described by Barbour et al. (2017) Discussion document on best practice for issues around theses publishing available on <http://bit.ly/COPETHeses>.

RESUMEN

En una variedad de sistemas, el rendimiento se ve limitado por la velocidad de los circuitos aritméticos que los componen. Actualmente, circuitos aritméticos más veloces tienen una mayor demanda, como por ejemplo en microprocesadores para la computación de datos digitales (Jothin et al., 2020; Langhammer et al., 2019). La unidad aritmética lógica (ALU), es uno de los módulos más importantes en los microprocesadores y el corazón de muchos sistemas digitales (D. Harris y S. Harris, 2013, p.248), comúnmente se busca la optimización en velocidad de la ALU a fin de aumentar la velocidad del sistema que la contiene. Tomando en cuenta que la suma es una de las operaciones más frecuentes en los sistemas digitales y que dentro de la ALU se encuentra un sumador (D. Harris y S. Harris, 2013, pp.240-249), en este proyecto se implementa una cadena de sumadores mixta Dominó – Compuertas de Transmisión en la tecnología de 65 nm de TSMC con transistores de bajo voltaje umbral. El objetivo es implementar un sumador con propagación de acarreo que opere a altas velocidades con un consumo energético eficiente, por lo que se opta trabajar a bajos voltajes. El dimensionamiento se realiza mediante la variación iterativa del ancho de los transistores, pertenecientes al camino crítico de la cadena, para brindar el menor producto de energía y retardo (EDP). Con el dimensionamiento aplicado, la cadena mixta exhibe una reducción del 65.7% de EDP con respecto al dimensionamiento tradicional CMOS. Se compara la cadena mixta propuesta con una cadena Dominó y se encuentra que la cadena mixta es más eficiente que la Dominó en términos de EDP. El sumador mixto presenta un EDP 42.4% menor que la cadena Dominó a 0.5 V. Y se halla mayor eficiencia de EDP en la cadena mixta en comparación con Dominó en el rango de 0.3 a 0.5 V del voltaje de fuente (VDD).

Palabras clave: sumador, cadena, Dominó, Compuerta de Transmisión, EDP.

ABSTRACT

In a variety of systems, performance is limited by the speed of the arithmetic circuits that make them up. Today, faster arithmetic circuits have a higher demand, such as in microprocessors for digital data computation (Jothin et al, 2020; Langhammer et al, 2019). The arithmetic logic unit (ALU), one of the most important modules in microprocessors and the heart of many digital systems (D. Harris & S. Harris, 2013, p. 248), commonly seeks speed optimization in order to increase the speed of the system that contains it. Considering that addition is one of the most frequent operations in digital systems and that within the ALU there is an adder (D. Harris & S. Harris, 2013, pp. 240-249), in this project a mixed Domino - Transmission Gate full-adder chain is implemented in the 65 nm TSMC technology with low voltage threshold transistors. The goal is to implement a ripple-carry adder that operates at high speeds with efficient power consumption, so working at low voltages is the preferred option. Sizing is done by iteratively varying the width of the transistors, belonging to the critical path of the chain, to provide the lowest energy and delay product (EDP). With the applied sizing, the mixed chain shows a 65.7% reduction of EDP with respect to the traditional CMOS sizing. The proposed mixed chain is compared with a Domino chain and it is found that the mixed chain is more efficient than the one in Domino in terms of EDP. The mixed adder has an EDP 42.4% lower than the Domino chain at 0.5 V. And there is higher EDP efficiency in the mixed chain compared to Domino in the range of 0.3 to 0.5 V of the supply voltage (VDD).

Key words: adder, chain, Domino, Transmission Gate, EDP.

TABLA DE CONTENIDO

Introducción	10
Metodología	20
Resultados	25
Conclusiones	28
Referencias bibliográficas.....	30

ÍNDICE DE TABLAS

Tabla 1. Anchos de los transistores optimizados para un EDP mínimo.	25
--	----

ÍNDICE DE FIGURAS

Figura 1. Sumador con propagación de acarreo de N bits.	11
Figura 2. a) compuerta dinámica tipo n unfooted y b) footed, c) esquemático de una compuerta AND Dominó tipo n.	13
Figura 3. a) compuerta AND PTL con transistores NMOS b) calidad del voltaje de salida para un switch NMOS y PMOS c) esquemático y funcionamiento de una compuerta de transmisión.	15
Figura 4. Formas de onda del voltaje de acarreo de salida de un sumador de 8 bits a) Dominó b) TG.	17
Figura 5. Cadena mixta de sumadores Dominó-TG.	18
Figura 6. Formas de onda del voltaje de acarreo de salida de un sumador de 8 bits mixto Dominó-TG.	19
Figura 7. Bloque de sumador completo Dominó, a) sección Cout, b) sección Suma.	20
Figura 8. Bloque de sumador completo TG, a) sección Cout, b) sección Suma.	21
Figura 9. Relación de crecimiento de a) retardo y b) energía, en función del número de bits de la cadena.	25
Figura 10. Energía - retardo en función del dimensionamiento de los transistores.	26
Figura 11. Energía - retardo en función del VDD.	27

INTRODUCCIÓN

El aumento de la velocidad en circuitos aritméticos es cada vez más requerido en la actualidad; por ejemplo, la rapidez es fundamental en microprocesadores para aplicaciones como la computación de datos digitales en grandes cantidades o en circuitos FPGAs. Una de las limitaciones de las arquitecturas de los microprocesadores es la velocidad de sus elementos aritméticos. Por tanto, es importante maximizar su rendimiento de modo que se satisfagan los requisitos de ciclo del sistema con el que se esté trabajando (Jothin et al, 2020; Langhammer et al, 2019). El presente trabajo se enfoca en incrementar la rapidez de una cadena de sumadores completos (FA) llamada sumador con propagación de acarreo, más conocido por su nombre en inglés *ripple-carry adder* (RCA).

Un FA se compone de dos bloques lógicos; las entradas son los bits por sumarse (A, B) y el acarreo de entrada (C_{in}), las salidas son: el resultado de la suma (S) y el acarreo de salida (C_{out}). Cada salida se computa mediante un bloque lógico. Uno de estos es el correspondiente al acarreo, el cual se encarga de computar el acarreo de salida, de acuerdo con las entradas del sistema. El próximo bloque es el de la suma, en el cual se genera el resultado de la suma de los bits de entrada. Es importante mencionar que la velocidad del FA se ve limitada por la lógica del acarreo (Alioto y Palumbo, 2007, pp.1-2). Las ecuaciones lógicas de cada bloque se presentan a continuación:

$$S = A \oplus B \oplus C_{in}$$

$$C_{out} = AB + AC_{in} + BC_{in} = AB + C_{in}(A \oplus B)$$

El RCA es conocido por disminuir su rapidez a medida que el número de bits del sumador aumenta, por lo que el RCA se recomienda para aplicaciones que no se requieran más de 4 bits (Weste y Harris, 2015, p.438). Para aplicaciones específicas, un RCA es óptimo debido a su rapidez y robustez. En la figura 1 se muestra un RCA estándar de N bits:

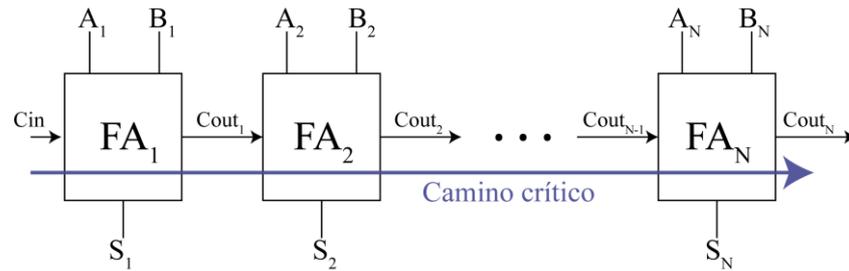


Figura 1. Sumador con propagación de acarreo de N bits.

Es fácil notar que el acarreo de cada FA se propaga a través de toda la cadena, es decir que el retardo crece proporcionalmente con el número de bits de la cadena. Es por esta razón que, para cadenas mayores a 4 bits, el RCA no es eficiente en términos de rapidez. Es importante recordar que el camino crítico de un circuito es el que define el retardo del sistema, debido a que dicho camino constituye el mayor retardo en la propagación de las entradas hasta que se produzca la salida del bloque o nube de lógica y, por ende, es el camino más lento (D. Harris y S. Harris, 2013). Para el caso del RCA, el camino crítico está definido en la figura 1. Es importante aclarar que según la topología con la que se esté trabajando, el camino crítico del RCA puede ir desde C_{in} hasta S_N o desde C_{in} hasta $C_{out,N}$ (Weste y Harris, 2015); para la topología con la que se trabaja en este proyecto el primer caso es el correcto.

Durante muchos años, se han propuesto varias topologías y familias lógicas que mejoren el funcionamiento y las características de una cadena de FAs. La familia lógica más utilizada en circuitos integrados (IC), incluyendo FAs, es la CMOS. Para este tipo de lógica se utilizan pares complementarios y simétricos de transistores MOSFETs tipo p y tipo n, para ejecutar una función lógica dada. En compuertas CMOS estáticas, se cuenta con un bloque de baja resistencia a GND (PDN: *pull-down network*) formado por transistores NMOS, que conecta la salida a 0 lógico (GND). Existe otro bloque de baja resistencia al voltaje de fuente VDD (PUN: *pull-up network*), establecido por transistores PMOS que se encargan de conectar la salida a 1 lógico (VDD). Los bloques están contruidos de tal manera que cuando el uno se encuentra

encendido el otro se apaga, para cualquier combinación de las entradas (Weste y Harris, 2015, pp.9-10).

Otra familia lógica es la denominada Dominó, consiste en un bloque lógico dinámico seguido de un inversor estático; por lo que se deriva de la familia de lógica dinámica. El funcionamiento de la lógica dinámica se basa en el almacenamiento de carga eléctrica en un nodo dinámico capacitivo y la descarga condicional de ese nodo en función de las entradas del sistema. Para esto se necesitan dos etapas, una de precarga seguida de una de evaluación, las cuales se detallarán más adelante. Se conmuta entre ambas etapas con un transistor de precarga o descarga, dependiendo el tipo de compuerta dinámica con la que se esté trabajando. Es importante mencionar que la lógica dinámica es más sensible a los efectos parásitos, la corriente de fuga, la redistribución de la carga y la alimentación del reloj, comparado con CMOS (Rabaey et al., 2003). Además, como estamos tratando con compuertas en serie, no es recomendable conectar compuertas dinámicas en cascada debido a que se inflige la segunda regla de monotonicidad, que se verá más adelante (Weste y Harris, 2015, p.341). Es importante mencionar que una solución necesaria y comúnmente usada para la corriente de fuga y problemas relacionados a márgenes de ruido, en el nodo dinámico de salida de una compuerta dinámica, es el uso de *Keepers*. Un *keeper* es un transistor débil que mantiene o estabiliza el nodo dinámico al nivel lógico correcto que de otra manera se encontraría flotando. La señal de control para el *keeper* es la salida de la compuerta dinámica después de haber pasado por un inversor estático (Weste y Harris, 2015, pp.343-344). En la figura 2 se muestra una compuerta dinámica tipo n y una compuerta AND Dominó.

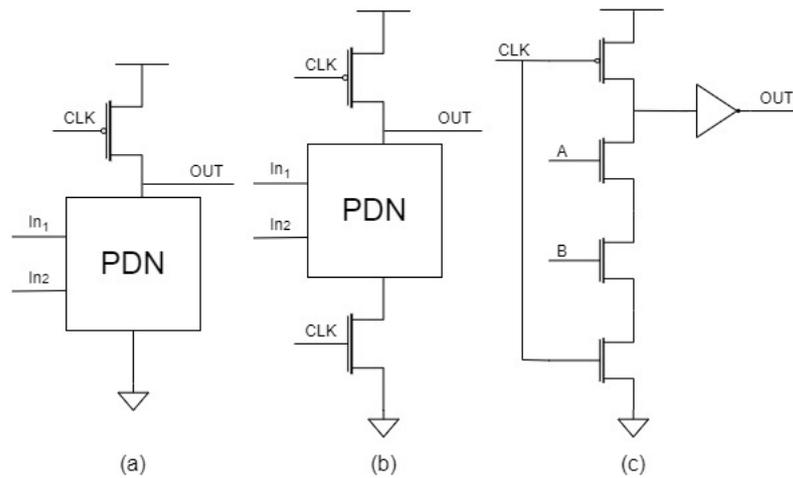


Figura 2. a) compuerta dinámica tipo n *unfooted* y b) *footed*, c) esquemático de una compuerta AND Dominó tipo n.

De la figura 2 a) se puede inferir que para la construcción de una compuerta dinámica tipo n se toma la PDN de la compuerta equivalente en CMOS, y la PUN se implementa con un transistor de precarga PMOS controlado por una señal de reloj. Para la etapa de precarga el transistor se enciende y la salida no depende de las entradas. En la etapa de evaluación el transistor de precarga se apaga y la salida depende de la función lógica representada por la PDN. Es también posible diseñar una compuerta dinámica de tipo p, en donde la compuerta se construye de manera opuesta: se conecta un transistor de descarga NMOS a GND y se implementa la PUN con la lógica equivalente en CMOS. Sin embargo, las compuertas dinámicas tipo p tienen la desventaja de ser más lentas que las tipo n, debido a la baja corriente de conducción de los transistores PMOS (Rabaey et al., 2003, p.274). Para las compuertas dinámicas de cada tipo se puede implementar un transistor extra denominado *footer* o un *header*, respetivamente. Estos transistores sirven para evitar que la PDN o la PUN, según sea el caso, causen cortocircuitos durante la etapa de precarga. En el caso de las compuertas dinámicas tipo n, cuando la salida de la compuerta se descarga a GND no es posible cargarla nuevamente a VDD sino hasta la siguiente etapa de precarga. Para las compuertas dinámicas tipo p se tiene la relación inversa, es decir, la salida no se puede descargar a GND hasta la próxima etapa de precarga. Por este

motivo se implementan 2 requisitos esenciales, denominados reglas de monoticidad, las cuales establecen que:

1. Las entradas de la compuerta deben constituir un 0 lógico al inicio de la etapa de evaluación.
2. Dichas entradas tienen permitido una transición ascendente durante la etapa de evaluación.

(Alioto y Palumbo, 2007, p.2)

Estas dos reglas aseguran el correcto resultado en la compuerta dinámica. En la figura 2 b) se puede observar el esquemático de una compuerta AND Dominó tipo n. El inversor es de utilidad para poder conectar compuertas dinámicas del mismo tipo y obtener la señal de control para el *keeper*. La lógica Dominó hereda de la lógica dinámica las reglas de monoticidad y las ventajas sobre CMOS en aumento de velocidad y reducción de área (Weste y Harris, 2015; Rabaey et al., 2003).

Se puede ver que con la lógica Dominó el objetivo es disminuir la capacitancia de entrada de las compuertas, al reducir el número de transistores. Otra alternativa, orientada hacia el aumento de la velocidad, es la lógica de transistor de paso (PTL). La cual pretende reducir el número de transistores en una compuerta lógica, permitiendo que las entradas primarias conduzcan a los terminales “compuerta” así como a los terminales “fuente” y “drenaje” de los transistores (Rabaey et al., 2003, p.259). De igual manera, la reducción del número de transistores representa una reducción de la capacitancia de entrada, lo cual es una ventaja en términos de consumo energético.

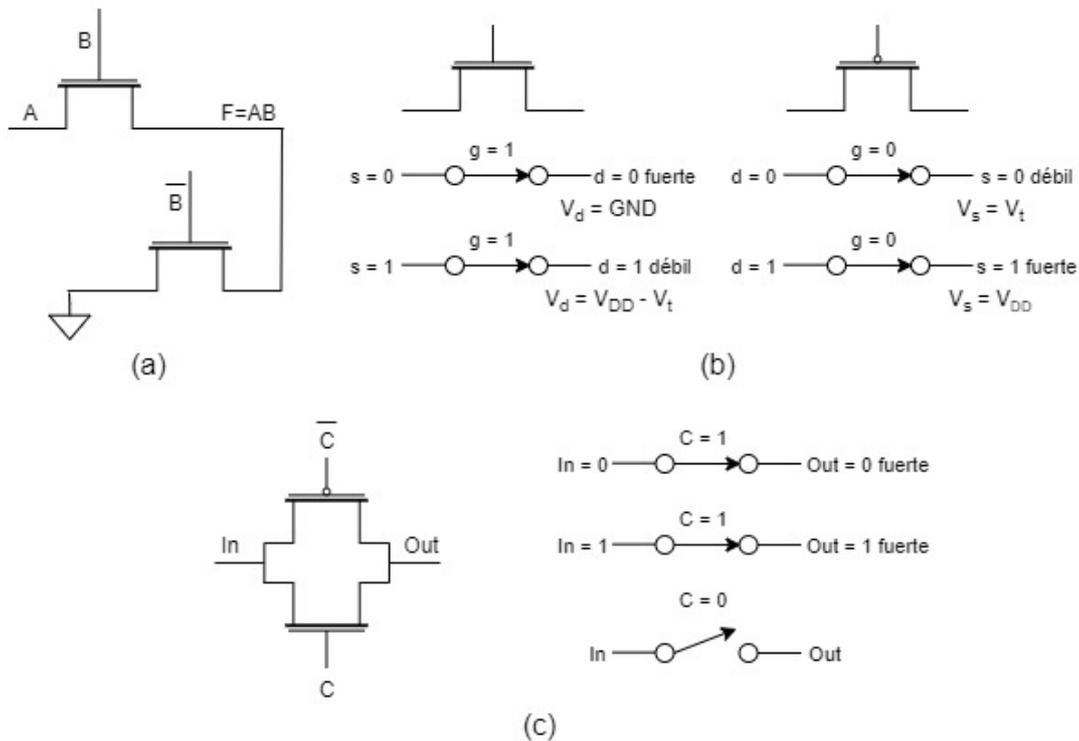


Figura 3. a) compuerta AND PTL con transistores NMOS b) calidad del voltaje de salida para un switch NMOS y PMOS c) esquemático y funcionamiento de una compuerta de transmisión.

En la figura 3 a) se muestra una compuerta AND implementada en PTL con transistores NMOS. Es notorio que se usan la mitad de los transistores requeridos para crear una NAND en lógica CMOS. Se añade que, se puede obtener una AND de forma directa, lo cual no sucede en CMOS, donde se requiere una compuerta NAND seguida de un inversor. Sin embargo, PTL tiene una desventaja mostrada en la Figura 3 b). Los transistores NMOS se caracterizan por pasar 0s lógicos fuertes, pero 1s lógicos débiles. Un valor lógico 1 débil se refiere a que nunca se puede obtener un voltaje de salida por encima de $V_{DD} - V_{th}$, a esta pérdida se la conoce comúnmente como caída de voltaje umbral. Es decir, en los transistores NMOS cuando la terminal “fuente” aumenta, el voltaje V_{sb} se vuelve distinto de cero. Este valor distinto de cero produce el efecto de cuerpo (*body effect*), lo que causa el incremento del voltaje umbral del transistor. De manera similar, los transistores PMOS pasan 1s lógicos fuertes, pero 0s lógicos débiles. El transistor PMOS tan solo puede obtener ceros lógicos por encima de GND, aproximadamente alrededor del voltaje umbral del transistor (Weste y Harris, 2015, pp.12-13).

Esta degradación de la salida que se observa en PTL, vuelve más complejo el diseño de circuitos y menos robusta su implementación. Una forma de solucionar este problema es mediante la combinación de un transistor PMOS y NMOS en paralelo, de manera que pasen unos y ceros lógicos fuertes, a esto se le llama compuerta de transmisión o más conocida por sus siglas en inglés TG. Es importante notar que tanto la señal de control como su complemento son necesarias para obtener la correcta operación de la TG (Weste y Harris, 2015, pp.12-13).

El FA implementado con TG generalmente exhibe una reducción en consumo energético comparado con Dominó y superioridad en velocidad comparado con CMOS y Dominó. Sin embargo, implementar varias compuertas de transmisión en cascada no es recomendable en términos de retardo. Debido a que, en configuraciones en cascada, el retardo de propagación es proporcional a n^2 , donde n es el número de TGs en cadena (Rabaey et al., 2003, p.270). Esta deficiencia, en arreglos en serie de compuertas de transmisión, se debe a la ausencia de capacidad de conducción, o más conocido por su nombre en inglés *driving capability* (DCap), de esta familia lógica. Los circuitos lógicos se pueden clasificar en dos: los que poseen la propiedad DCap y los que no. A la primera categoría pertenecen los circuitos en donde las entradas y salidas están desacopladas, debido a que el camino entre ellas incluye la terminal “compuerta” de uno o más transistores, lo que sucede por ejemplo en la lógica CMOS o Dominó. Por otro lado, los circuitos que no presentan DCap son aquellos que las entradas y salidas no están desacopladas, como por ejemplo en la familia lógica PTL y las TG (Alioto y Palumbo, 2002, p.8). Según estudios de Alioto y Palumbo (2002), las cadenas de sumadores TG alcanzan un muy alto rendimiento en tanto se trabaje con una cadena pequeña (máximo de 4 bits). Esto se debe a que, dentro del análisis de desempeño en velocidad y calidad de un circuito también se debe considerar la forma de onda a la salida, puesto que generalmente la salida de este es la entrada de otro. La señal que se propaga en una cadena de sumadores TG se degrada a medida que se evalúa en cada FA. Esto afecta a la velocidad de subida o bajada

de la señal, lo que afecta directamente a la velocidad de la cadena (Alioto y Palumbo, 2002, p.15). En la figura 4 se puede observar este efecto descrito.

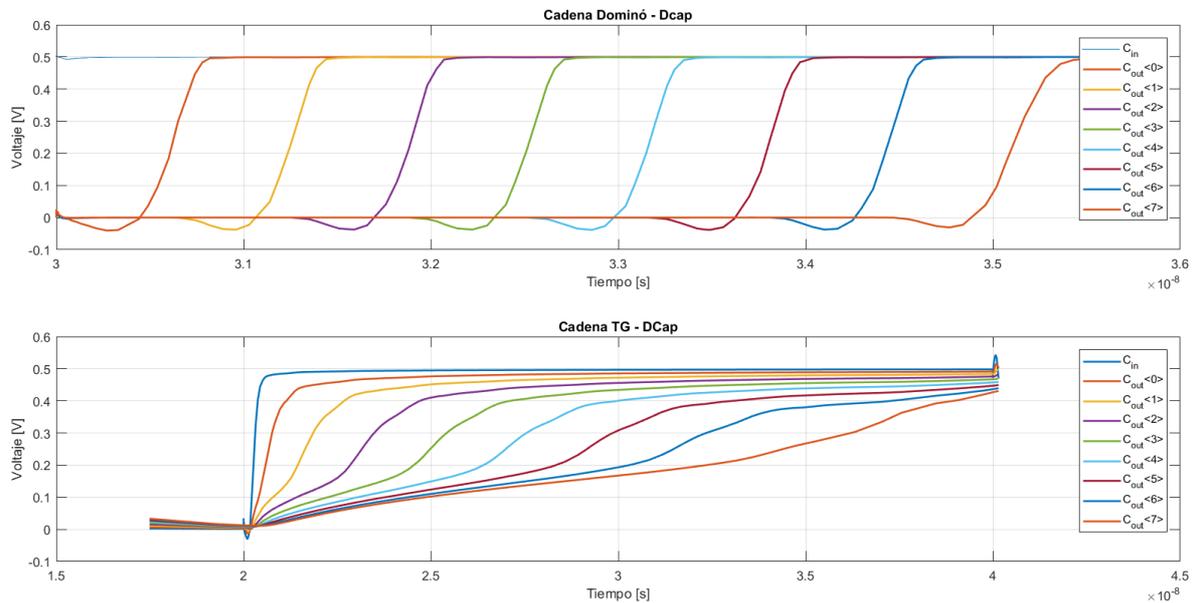


Figura 4. Formas de onda del voltaje de acarreo de salida de un sumador de 8 bits a) Dominó b) TG.

Se graficaron las formas de onda del Cout, en cada uno de los FA pertenecientes a dos cadenas de sumadores de 8 bits. La primera es una cadena Dominó, que como se mencionó anteriormente posee DCap, mientras que la segunda cadena puesta a prueba fue a una TG en donde no se cuenta con DCap. Se nota la degradación de la señal de salida y por ende el aumento del tiempo de subida en el arreglo TG a medida que se avanza en la cadena. Mientras que, como se esperaba, en la cadena Dominó no se encuentra ninguna degradación de la señal, lo cual es una gran ventaja para cadenas largas de sumadores.

El objetivo de este proyecto es crear un RCA de N bits que trabaje a altas velocidades y bajos voltajes. Se sabe que uno de los RCA más rápidos es el implementado en la tecnología Dominó, el cual tiene ventajas en velocidad debido a su característica dinámica. Se desea obtener un RCA aún más rápido que el Dominó, por lo que se implementa la mezcla de dos familias lógicas diferentes y de este modo se aprovechan las ventajas que nos brinda cada una de ellas. Esta novedosa alternativa a CMOS, que plantea un RCA más eficiente en términos de retardo

para cadenas largas, es propuesta por Alioto y Palumbo (2007), en donde se presenta una mejora notable en la velocidad del circuito con un cierto balance en el consumo energético. Se lleva a cabo una cadena de sumadores Dominó – TG, intercalando entre ambas lógicas. De este modo se aprovecha la alta velocidad de los sumadores TG, combinada con la velocidad innata de la lógica Dominó. Además, debido al bajo consumo energético de los TG se espera igualar o reducir el consumo energético de la cadena, en comparación con un sumador Dominó tradicional. En la figura 5 se muestra el esquema de la cadena mixta a trabajarse; se tiene un RCA de N bits, entre cada etapa de la cadena se alterna entre FA de tipo Dominó y TG.

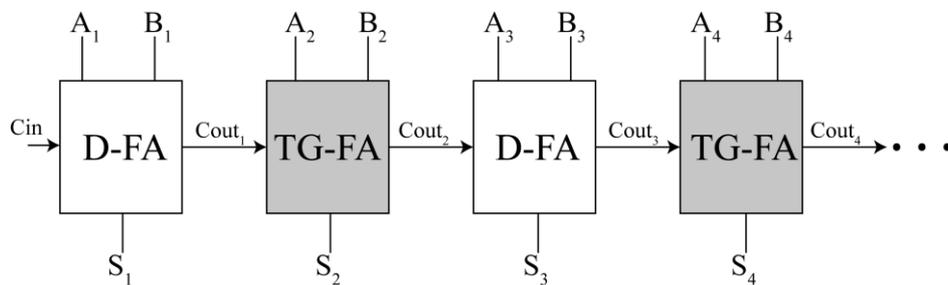


Figura 5. Cadena mixta de sumadores Dominó-TG.

Para el RCA mixto propuesto, se espera que no se presenten problemas de DCap, puesto que saltando una etapa se cuenta con FAs Dominó que regeneran la señal degradada en los sumadores TG. En la figura 6 se puede observar cómo se recupera la forma de onda correcta en cada una de las etapas Dominó de la cadena mixta:

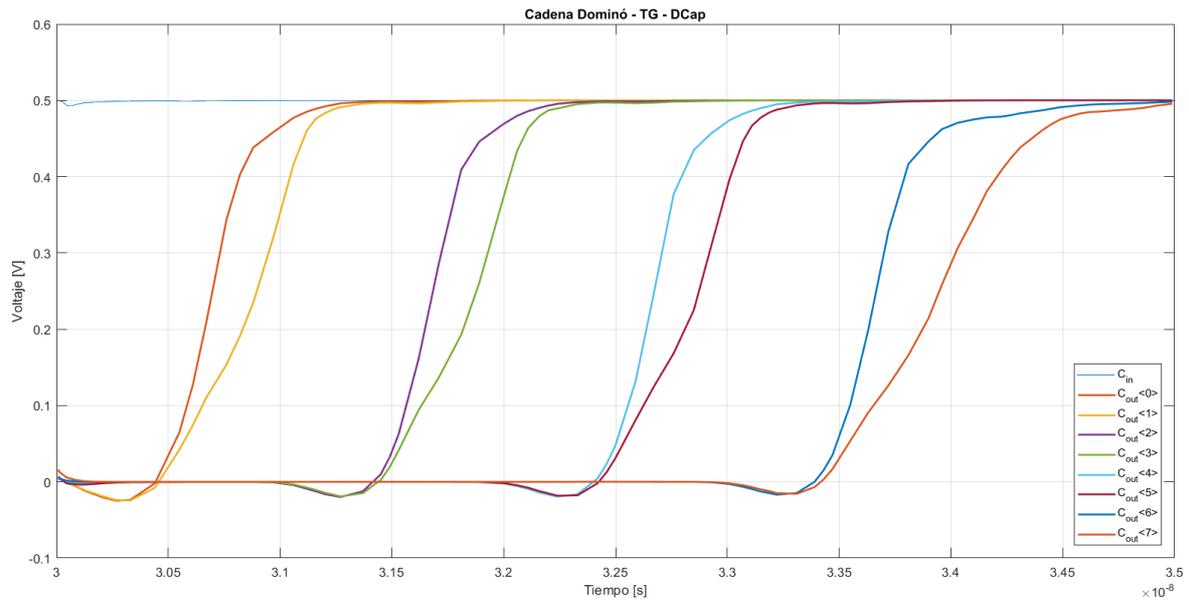


Figura 6. Formas de onda del voltaje de acarreo de salida de un sumador de 8 bits mixto Dominó-TG.

En las secciones posteriores se presenta la metodología utilizada para el diseño y medición de la cadena propuesta. Posteriormente, se presentan los resultados obtenidos en comparación con una RCA Dominó. Y finalmente, las conclusiones del trabajo.

METODOLOGÍA

Se trabaja con la tecnología de 65 nm de TSMC utilizando transistores con un voltaje umbral bajo (LVT). Es importante recalcar que, el presente trabajo se enfoca en encontrar el punto donde se encuentre un menor retardo y consumo energético, compensándose ambos a la vez. Dicho punto se representa con el producto del retardo de propagación y la energía promedio por operación o más conocido por sus siglas en inglés, EDP (Alioto y Palumbo, 2007, p.3). En primer lugar, se estudia el funcionamiento y la lógica impuesta en ambas topologías de FAs utilizados. Se presenta el modo de dimensionar los transistores de cada FA. Posteriormente, se discute la metodología empleada para evaluar las cadenas Dominó-TG y Dominó de N bits.

El sumador Dominó se implementa con topología mostrada en la figura 7.

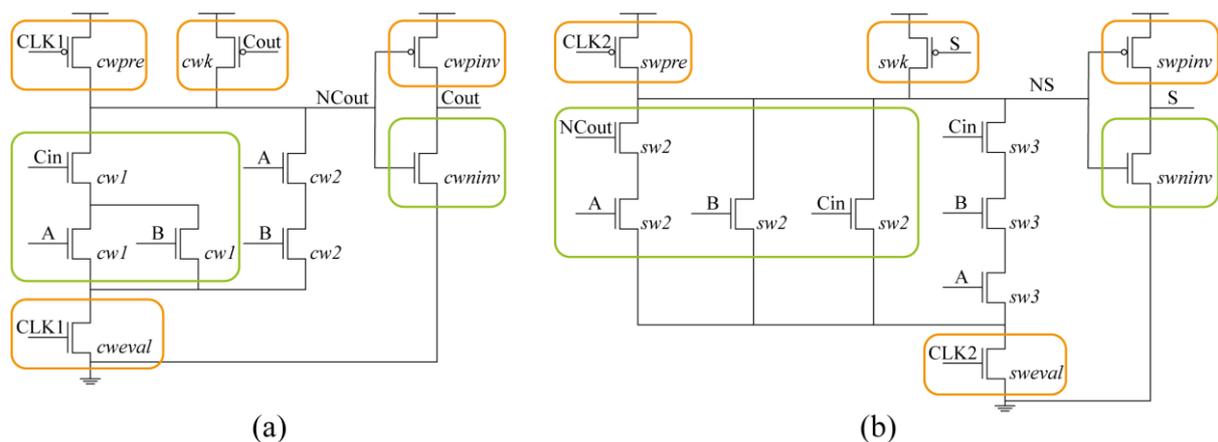


Figura 7. Bloque de sumador completo Dominó, a) sección Cout, b) sección Suma.

Como se puede notar ambas secciones son Dominó tipo *n footed*. Se escogió esta topología debido a que los transistores NMOS ofrecen menor capacitancia de entrada, puesto que los portadores mayoritarios son los electrones y tienen una movilidad mayor a la de los huecos (portadores mayoritarios en los PMOS); de este modo se presenta una menor demanda energética y menor área, para este caso en específico. En la figura 7, los transistores contenidos dentro de los cuadrados fueron los que se dimensionaron de manera especial, según sea el caso. El ancho de los transistores restantes se fijó con el mínimo de la tecnología ($0.2 \mu m$), debido a

que no forman parte del camino crítico por ende no influyen en mayor medida en los resultados de retardo del sumador. Como se puede notar en la figura 7, la sección de la suma depende del resultado del nodo dinámico NCout, que en precarga tiene como valor un 1 lógico. Esto causa que al cambiar de la etapa de precarga a evaluación y con al menos una de las entradas en 1 lógico, se pueda computar un valor incorrecto de la salida S debido a que se descarga el nodo dinámico NS, violándose así la primera regla de monoticidad. Como solución se utilizan dos señales de reloj diferentes para la sección del acarreo y de la suma. Es necesario que la señal de reloj de la suma tenga un tiempo de precarga mayor al otro reloj, manteniéndose el mismo periodo. De modo que, se da el tiempo necesario para que el nodo dinámico NCout se evalúe en toda la cadena y así se obtenga el valor correcto de la suma según sea el caso.

En la figura 8, se muestra el diagrama esquemático de la implementación del FA con TG.

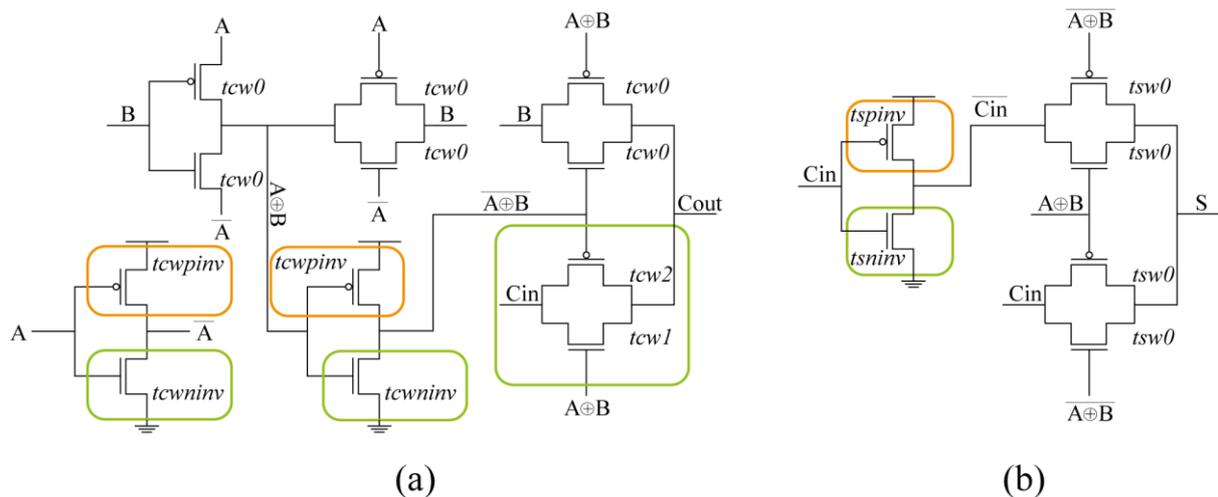


Figura 8. Bloque de sumador completo TG, a) sección Cout, b) sección Suma.

De igual manera, los transistores encerrados en cuadrados fueron los que se tomaron a consideración en el dimensionamiento debido a su pertenencia al camino crítico de la cadena; mientras que los transistores restantes se mantuvieron con el ancho mínimo de la tecnología. Para la medición del retardo se debe encontrar el peor caso, es decir, la combinación de entradas con las que se obtiene el resultado más tardío de la cadena. Para esto, se arreglan las entradas de modo que el acarreo siempre se propague por la cadena y cambie entre 0 y 1 lógico en cada

periodo. Todo esto se logra mediante la imposición de la entrada A de las figuras 7 y 8 a 1 lógico, mientras que la entrada B se mantendrá en 0 lógico. La entrada C_{in} estará periódicamente cambiando. De esta manera, si nos referimos a la figura 7, se asegura que se dé el peor caso en ambas pilas de transistores NMOS enmarcados de la PDN. A su vez, se asegura que los sumadores TG trabajen en el peor caso, propagándose también por estos el acarreo.

Se dimensionan ambos tipos de sumadores para alcanzar el punto de mínimo EDP en la cadena. Con el fin de explicar la forma de dimensionamiento, clasificaremos a los transistores entre: independientes (TI) y dependientes (TD), que en las figuras 7 y 8 se clasifican por cuadrados verdes y naranjas, respectivamente. Los anchos de los transistores independientes son los que se determinarán de manera iterativa, debido a su autonomía e influencia dentro del rendimiento del sistema. Mientras que, el dimensionamiento de los transistores dependientes puede ser determinado a partir de los TI. De acuerdo con la figura 7, en la sección que se calcula el C_{out} en el sumador Dominó, los TI son: $cw1$, $cw2$ y $cwninv$. Mientras que los TD son: $cweval$, $cwpinv$, $cwpre$ y cwk .

Para el caso del transistor de evaluación ($cweval$), con el fin de obtener un apropiado DCap y no verse comprometido con el consumo energético, es apropiado dimensionar el transistor de evaluación mucho mayor al ancho equivalente de la PDN funcionando en el peor caso (Alioto y Palumbo, 2007, p.3; Harris, D. M., 2001). Mediante iteración, se escoge que el transistor de evaluación debe ser 2.6 veces mayor que el W_{eq} de la PDN en cuestión, para así hallarse un mínimo EDP. De esta manera se puede obtener la siguiente expresión:

$$W_{cweval} = 2.6 \cdot W_{eq,PDN} = 1.3 \cdot W_1$$

El transistor correspondiente al *keeper* se dimensiona de manera que tenga un DCap del 16% con respecto a la PDN, considerando el peor caso del FA. Se tiene la relación:

$$\mu_p W_{cwk} = 0.16 \cdot \mu_n W_{PDN+eval}$$

Considerándose que, $\frac{\mu_n}{\mu_p} = 6.3$ y $W_{PDN+eval} = W_{eq,PDN+eval} = 0.3 \cdot W_1$, se plantea la siguiente correspondencia:

$$W_{cwk} = 0.16 \cdot \frac{\mu_n}{\mu_p} \cdot W_{PDN+eval} = 0.16 \cdot 6.3 \cdot 0.3 \cdot W_1 = 0.3024 \cdot W_1$$

Mediante iteración, se obtiene la relación ideal entre W7 y W6:

$$W_{cwpinv} = 3 \cdot W_{cwninv}$$

Finalmente, la dependencia del transistor de precarga se relaciona directamente con la condición de que el retardo de precarga debe ser menor al de evaluación, y el ciclo de trabajo determinado para un mejor rendimiento del sistema. Para la sección que calcula la suma del FA Dominó se utiliza el mismo principio explicado anteriormente, para calcular los diferentes dimensionamientos de los transistores.

Por otro lado, para el caso del sumador TG se dimensionó tan solo el transistor TCW2 (TI), debido a que es el único que influencia en la propagación del acarreo. El valor de W_{tcw2} se escogió mediante la minimización del EDP en la cadena. El resto de los transistores no numerados se dimensionaron con el mínimo de la tecnología. Con excepción de los transistores dentro de un cuadrado, los cuales corresponden a inversores CMOS tradicionales que se dimensionaron iterativamente en base al mejor resultado de EDP obtenido.

Para encontrar el dimensionamiento óptimo de los TI se realizaron diferentes mediciones iterativamente, en busca del menor EDP. Se dividieron en grupos las diferentes iteraciones a realizarse, cada grupo tenía como característica variar uno solo de los transistores. Para cada grupo se iteró el ancho de los transistores en cuestión en un rango promedio de 0.2 μm a 1 μm , en pasos de 0.1 μm .

La medición del retardo de propagación de la cadena se toma como el tiempo que tardan las entradas a llegar a la salida por el camino crítico del circuito, el cual va desde la primera entrada C_{in} de la cadena, hasta la salida de la última suma de esta. Por otro lado, las mediciones de

energía se tomaron con la presencia de fuentes aleatorias en las entradas, las mismas que contaban con un factor de actividad de 0.3. Se realizaron las mediciones de energía bajo 100 operaciones.

RESULTADOS

Se encontraron los anchos de los transistores que brindaban un EDP mínimo a una cadena Dominó-TG de 8 bits e igualmente a otra Dominó de 8 bits, con un voltaje VDD de 0.5 V, los mismos que se muestran en la tabla 1.

Tabla 1. Anchos de los transistores optimizados para un EDP mínimo.

Dimensionamiento de los Transistores [μm]	Dominó	TG
	cw1=0.65	tcw2=0.7
	cweval=0.845	tcwninv=0.5
	cw2=0.2	tcwpinv=1.5
	cwninv=0.5	tswninv=0.5
	cwpinv=1.5	tswpinv=1.5
	sw2=0.2	
	sw3=0.2	
	sweval=0.2	
	swninv=0.5	
swpinv=1.5		

Se verificó que a medida que el número de bits de la cadena aumenta, el retardo y la energía crecen linealmente, como se puede ver en la figura 9.

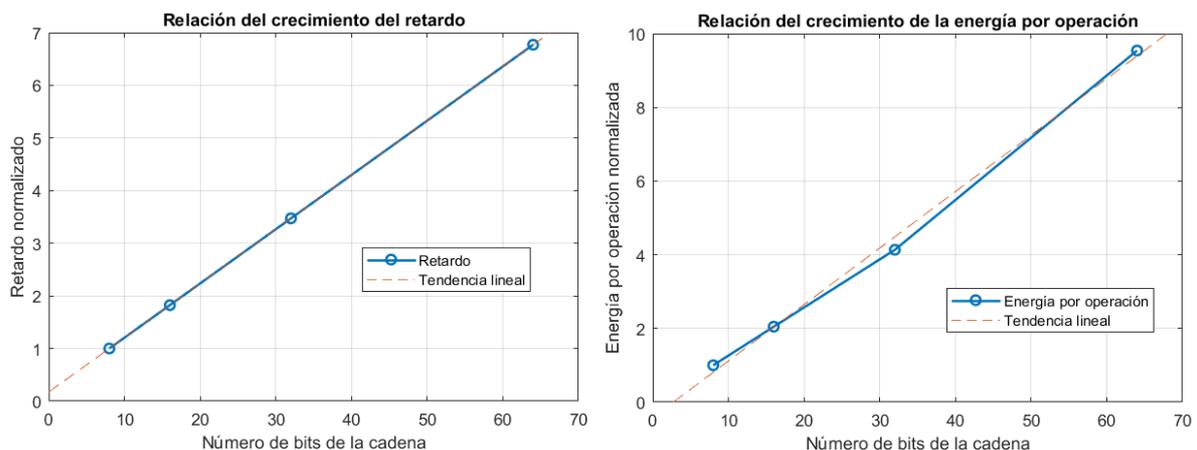


Figura 9. Relación de crecimiento de a) retardo y b) energía, en función del número de bits de la cadena.

En la figura 9, se evaluaron cadenas Dominó-TG de 8, 16, 32 y 64 bits, con el mismo dimensionamiento encontrado inicialmente para una cadena de 8 bits, presentado en la tabla 1.

Como se puede observar la relación de crecimiento del retardo y la energía aumenta

linealmente en función del número de bits de la cadena. Demostrando que las mediciones de energía y retardo normalizadas por bit son independientes del número de bits del RCA (Alioto y Palumbo, 2007, p.4).

A continuación, se procedió a comparar las cadenas Dominó-TG y Dominó de 8 bits, en función del dimensionamiento de los transistores correspondientes al camino crítico de cada cadena.

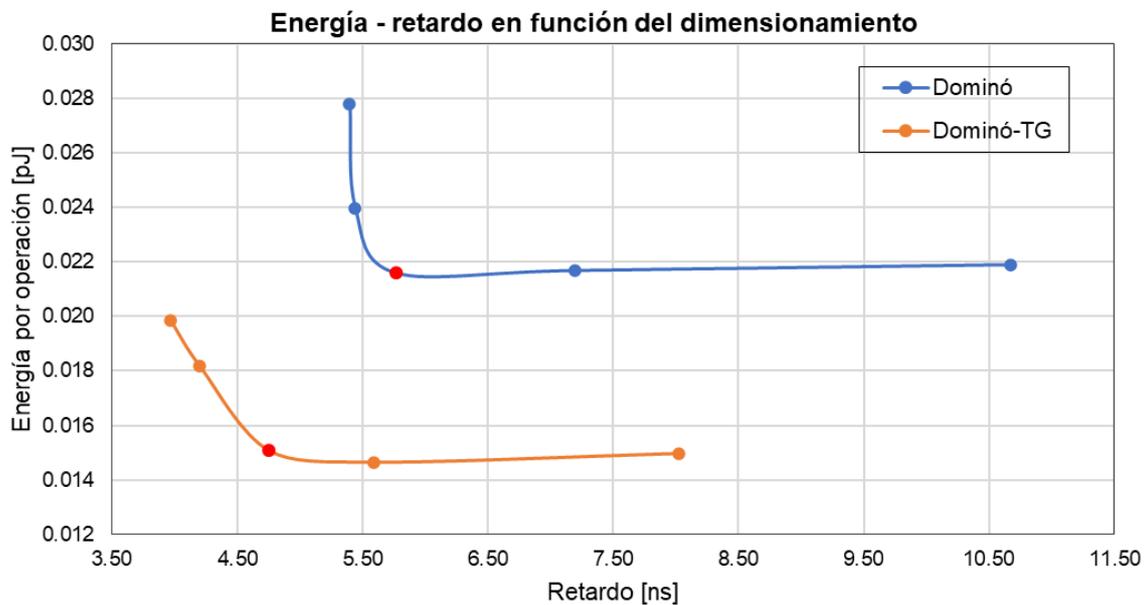


Figura 10. Energía - retardo en función del dimensionamiento de los transistores.

En la figura 10, se puede observar que la cadena mixta Dominó-TG alcanza un menor EDP que la cadena Dominó. Los puntos en rojo representan el EDP mínimo de cada cadena y se puede observar que la cadena mixta tiene un EDP significativamente menor que la cadena Dominó. A su vez, se puede inferir que la cadena mixta puede trabajar en una velocidad más alta y con un menor consumo energético que la cadena Dominó.

Finalmente, se estudió la influencia de la variación del VDD sobre ambas cadenas en estudio. Se quiere analizar el funcionamiento de las cadenas a bajos voltajes, para lo cual se escogió el rango de 0.3 V a 0.5 V.

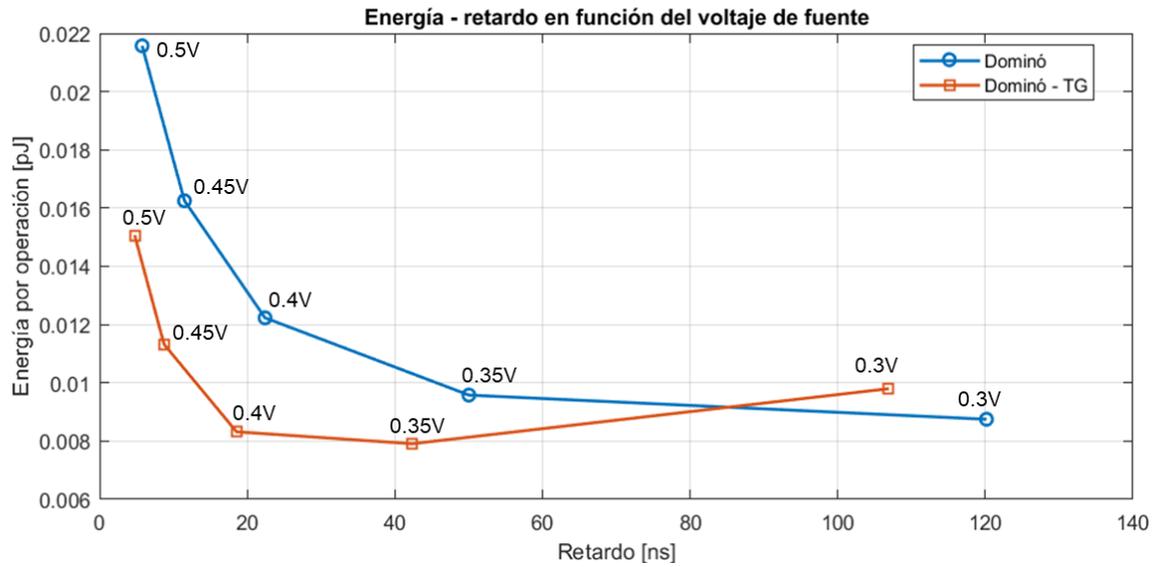


Figura 11. Energía - retardo en función del VDD.

En la figura 11, se puede notar que la cadena mixta consume menos energía que la Dominó aproximadamente en el rango de 0.33 V a 0.5 V. También es importante observar que, a pesar de que en 0.3 V la cadena mixta consume más energía que la cadena Dominó, el EDP en este voltaje sigue siendo menor en la cadena Dominó-TG. Finalmente se puede decir que, se alcanza mayor velocidad a medida que el VDD aumenta pero así también el consumo energético de cada cadena aumenta, por lo que el diseñador debería tener en cuenta el balance que se busca entre retardo y energía.

CONCLUSIONES

Se combinaron de manera efectiva las dos familias lógicas Dominó y TG en la tecnología de 65 nm de TSMC con transistores LVT, implementándose así un RCA capaz de funcionar a bajos voltajes, muy altas velocidades y con una buena compensación en el consumo energético, lo que implica que esta implementación es más eficiente en términos de EDP con respecto al RCA Dominó. El dimensionamiento implementado en este trabajo es en base a la búsqueda del punto de EDP mínimo en función del ancho de los transistores correspondientes al camino crítico de la cadena. El dimensionamiento iterativo aplicado exhibió una disminución de EDP del 65.7%, con respecto al dimensionamiento tradicionalmente utilizado en CMOS. Se realizaron tres tipos de análisis sobre la cadena mixta propuesta: i) relación de crecimiento del retardo y la energía con el número de bits del RCA, ii) comparación de retardo y energía de la cadena mixta con respecto a un RCA Dominó de 8 bits en función del ancho de los transistores y iii) evaluación del comportamiento del RCA con respecto a Dominó al variar el voltaje de fuente (VDD). Así, se demuestra la superioridad del RCA mixto con respecto a Dominó en los diferentes aspectos analizados. Los resultados, de la cadena dimensionada iterativamente, son independientes del número de bits del RCA. Se encontró que la cadena mixta posee un EDP mínimo mucho menor al encontrado en la cadena Dominó y además puede operar a velocidades más altas en comparación con Dominó, con un menor consumo energético que este último. Al variar el VDD en el rango desde 0.3 a 0.5 voltios, ambas cadenas aumentan su velocidad y consumo energético. El valor de VDD con EDP óptimo se da en 0.5 V, obteniéndose en la cadena mixta un EDP 42.4% menor a Dominó.

Como trabajo futuro se plantea la evaluación de la cadena en un rango de voltajes más altos. Para esto se requiere la búsqueda de un dimensionamiento que se adapte mejor a estas condiciones sin perder de vista el EDP mínimo de la cadena. Otra posible adaptación sería la

implementación de la sección de la suma del FA Dominó con otra familia lógica, siendo CMOS la más prometedora debido a que la suma no requiere altas velocidades. Se estima que bajo esta alternativa se integre el sistema para su operación a bajos y altos voltajes. También se desea a futuro realizar la comparación en área de *layout* entre la cadena mixta y la Dominó. Finalmente, se comparará la cadena mixta propuesta con otras familias lógicas destacables, como por ejemplo la lógica de modo dual (DML).

REFERENCIAS BIBLIOGRÁFICAS

- Harris, D. M., & Harris, S. L. (2013). *Digital design and computer architecture* (2da ed.). Morgan Kaufmann.
- Harris, D. M. (2001). *Skew-Tolerant Circuit Design*. Morgan Kaufmann Publishers.
- Jothin, R., Mohamed, M. P., & Vasanthanayaki, C. (2020). High performance compact energy efficient error tolerant adders and multipliers for 16-bit image processing applications. *Microprocessors and Microsystems*, 78, 1-11.
<https://doi.org/10.1016/j.micpro.2020.103237>
- M. Alioto and G. Palumbo. (2007). Very high-speed carry computation based on mixed dynamic/transmission-gate Full Adders. *18th European Conference on Circuit Theory and Design*, Seville, pp. 799-802. Doi: 10.1109/ECCTD.2007.4529717.
- M. Langhammer, B. Pasca and G. Baeckler. (2019). High Precision, High Performance FPGA Adders. *2019 IEEE 27th Annual International Symposium on Field-Programmable Custom Computing Machines (FCCM)*, San Diego, CA, USA, pp. 298-306. Doi: 10.1109/FCCM.2019.00047.
- M. Alioto and G. Palumbo. (2002). Analysis and comparison on full adder block in submicron technology. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 10(6), pp. 806-823. Doi: 10.1109/TVLSI.2002.808446.
- Rabaey, J. M., Chandrakasan, A., & Nikolic, B. (2003). *Digital integrated circuits: a design perspective* (2da ed.). Pearson.
- Weste, N. H. E., & Harris, D. M. (2015). *CMOS VLSI design: a circuits and systems perspective* (4ta ed.). Pearson India.