

UNIVERSIDAD SAN FRANCISCO DE QUITO

**Exploración de dispositivos MOSFET usando COMSOL  
Multiphysics**

JOSÉ BUSTAMANTE GUEVARA

TESIS DE GRADO PRESENTADA COMO REQUISITO PARA LA OBTENCIÓN DEL  
TÍTULO DE INGENIERO ELECTRÓNICO

Quito, 16 de mayo de 2012

**Derechos de autor:** Según la actual Ley de Propiedad Intelectual, Art. 5: .el derecho de autor nace y se protege por el solo hecho de la creación de la obra, independientemente de su mérito, destino o modo de expresión... El reconocimiento de los derechos de autor y de los derechos conexos no está sometido a registro, depósito, ni al cumplimiento de formalidad alguna.”(Ecuador. Ley de Propiedad Intelectual, Art. 5)

Derechos de autor José Alejandro Bustamante Guevara 2012

## Resumen

En este trabajo usamos el simulador COMSOL Multiphysics para simular tres tipos de MOSFET: de canal regular, DG-MOSFET y SOI-MOSFET. Hacemos una introducción a la teoría de semiconductores. Posteriormente caracterizamos el modelo de MOSFET proporcionado por COMSOL Multiphysics y comparamos los resultados con la teoría del dispositivo. Finalmente desarrollamos dos tres modelos originales: DG-MOSFET, PD-SOI-MOSFET y FS-SOI-MOSFET. Caracterizamos los modelos de SOI-MOSFET y comprobamos que el voltaje de umbral depende de la compuerta posterior de manera lineal. Este resultado es similar a resultados experimentales.

## **Abstract**

In this work, we use the simulator COMSOL Multiphysics to model three types of MOSFETs: bulk channel, DG-MOSFET and SOI-MOSFET. We present an introduction to semiconductor theory. Next we find the characteristic curves from the MOSFET model provided by COMSOL Multiphysics and we compare the results with the MOSFET theory. Finally we develop 3 novel models DG-MOSFET, PD-SOI-MOSFET y FS-SOI-MOSFET. We find the characteristics of the SOI-MOSFET and we obtain that the dependence of the threshold voltage on the back gate voltage is linear, as reported in the literature.

# Índice general

<b>1. Introducción</b>	<b>2</b>
1.0.1. Escalamiento . . . . .	2
1.0.2. DG-MOSFET y SOI-MOSFET . . . . .	3
1.1. Simulaciones en COMSOL Multiphysics . . . . .	5
1.2. Objetivo . . . . .	5
<b>2. Fundamento Teórico</b>	<b>8</b>
2.1. Introducción a la Teoría de Semiconductores . . . . .	8
2.1.1. Nociones de un diagrama de Banda E-k . . . . .	8
2.1.2. Masa Efectiva . . . . .	12
2.1.3. Densidad de estados Cuánticos . . . . .	13
2.1.4. Densidad de Portadores de Carga . . . . .	14
2.1.5. Semiconductores Dopados . . . . .	16
2.2. Transporte de portadores de Carga . . . . .	19
2.2.1. Ecuaciones de conducción y difusión . . . . .	20
2.3. Resumen del funcionamiento de un MOSFET . . . . .	21
2.3.1. El Capacitor de Metal-Oxido-Semiconductor (MOS) . . . . .	22
2.3.2. Capacitancia en un capacitor MOS . . . . .	25
2.3.3. Curvas de capacitancia en un capacitor MOS . . . . .	26
2.3.4. El transistor MOSFET . . . . .	28
2.3.5. Ecuaciones características de la corriente de drenaje de un MOSFET . . . . .	29
2.3.6. Efecto de canal corto(Short Channel Effect) . . . . .	30
2.3.7. Degradación de la movilidad en un MOSFET . . . . .	30
2.4. Teoría básica de un MOSFET de doble compuerta (DG MOSFET)	31
2.5. Teoría básica de un SOI MOSFET . . . . .	33
<b>3. Metodología</b>	<b>38</b>
3.1. COMSOL Multiphysics . . . . .	38
3.2. Descripción General del modelo de un MOSFET en COMSOL Multiphysics . . . . .	38
3.2.1. Sistema de ecuaciones diferenciales . . . . .	39
3.2.2. Simulación . . . . .	40
3.2.3. Condiciones de Dominio y de Borde . . . . .	40
3.2.4. Programa para ejecutar el solucionador . . . . .	44
3.3. Descripción del modelo propuesto para un DGMOSFET . . . . .	45
3.3.1. Definición de la Geometría . . . . .	45
3.3.2. Definición del dopaje en el transistor . . . . .	45

3.3.3.	Malla . . . . .	45
3.3.4.	Código para el Solver . . . . .	45
3.4.	SOI-MOSFET . . . . .	48
<b>4.</b>	<b>Resultados del modelo de MOSFET</b>	<b>50</b>
4.1.	Resultados cualitativos para un MOSFET de canal regular . . . . .	50
4.1.1.	Modo Electrostático Inicial . . . . .	50
4.1.2.	Modo Electrostático Permanente . . . . .	50
4.1.3.	Modo Conducción y Diffusion de electrones . . . . .	51
4.1.4.	Modo Conducción y Diffusion de huecos . . . . .	53
4.2.	Caracterización de un MOSFET de canal regular . . . . .	53
4.2.1.	Carga del transistor . . . . .	53
4.2.2.	Capacitancia del transistor . . . . .	55
4.2.3.	Características $I_D - V_G$ y $I_D - V_d$ . . . . .	56
<b>5.</b>	<b>Resultados del modelo de DG-MOSFET</b>	<b>59</b>
5.1.	DG-MOSFET . . . . .	59
<b>6.</b>	<b>Resultados del modelo de SOI-MOSFET y de UT-FD-SOI-MOSFET</b>	<b>66</b>
6.1.	SOI-MOSFET . . . . .	66
6.2.	Descripción de el dispositivo . . . . .	66
6.3.	Potencial en el Transistor . . . . .	68
6.4.	Distribución de Carga . . . . .	69
6.5.	Densidad de Corriente de conducción . . . . .	70
6.6.	Caracterización del SOI-MOSFET . . . . .	70
6.6.1.	Obtención de la Carga superficial . . . . .	70
6.7.	Parámetros adicionales característicos del transistor . . . . .	73
6.7.1.	Potencial de superficie . . . . .	73
6.7.2.	Carga superficial y Capacitancia del dispositivo . . . . .	76
6.7.3.	Transconductancia . . . . .	76
<b>7.</b>	<b>Conclusiones</b>	<b>78</b>

# Índice de figuras

1.1. Revisión histórica del crecimiento de el número de transistores por chip. La línea entrecortada muestra que el número de transistores por chip ha crecido a una tasa de cambio de 2 por cada dos años. Figura tomada de [Tro09] . . . . .	3
1.2. a)Diagrama esquemático de un DG-MOSFET [JD06]. b) Imagen de sección transversal STEM de un 4T-XMOSFET(four-terminal-driven double-gate MOSFETs)[ea05] . . . . .	4
1.3. Diagrama esquemático de un SOI MOSFET.[San08] . . . . .	5
1.4. Curvas Id-Vg1 con Vg2 como parámetro para un nMOS tipo fin Tsi=8.5nm[ea05] . . . . .	6
1.5. Comparación entre el desempeño de los SOI MOSFETs y los MOSFETs de canal regular.[San08] . . . . .	7
2.1. Potencial periódico rectangular.El potencial es 0 para $0 \leq x \leq a$ y luego es $U_0$ para $a \leq x \leq a+b$ . . . . .	9
2.2. Grafico de $\frac{Q^2 b}{2\alpha} \sin \alpha a + \cos \alpha a$ para $Q^2 b/a = 3\pi/2$ Note que solo se puede obtener soluciones para los valores de $\alpha = \sqrt{2m\epsilon/\hbar^2}$ en donde la función está entre 1 y -1. . . . .	11
2.3. Diagrama de banda $\epsilon-k$ para el modelo de Kronig-Penney.Note la aparición de bandas de energía prohibida. . . . .	11
2.4. Bandas de energía a) Para el modelo de Kronig Penney b) Para el silicio. Note que dada la periodicidad del cristal y del cristal recíproco se puede trasladar el gráfico una distancia $n\pi/a$ . . . . .	12
2.5. Masas efectivas de electrones y huecos en distintas condiciones . . . . .	13
2.6. Dopaje para semiconductores a)tipo n. b) tipo p . . . . .	16
2.7. Traslaciones de la energía de Fermi al dopar un semiconductor. Tomada de [Nea03] . . . . .	17
2.8. Esquema de los tres mecanismos que afectan a la movilidad en un MOSFET. Tomada de [TTIT84] . . . . .	20
2.9. Esquema simplificado de un MOSFET . . . . .	21
2.10. Diagrama de banda para una estructura MOS. De izquierda a derecha: Acumulación de huecos, Agotamiento, Inversión. Tomada de [SN07] . . . . .	22
2.11. Esquema básico de un capacitor MOS. Hay una región metálica, un óxido y un semiconductor[SN07] asumiendo un $V_{fb}=0$ . $\chi$ son las afinidades electrónicas de el semiconductor y del óxido, $\phi_m$ es la función de trabajo del metal . . . . .	23

2.12.	Esquema básico de un capacitor MOS. En este caso las bandas están dobladas por un potencial que se aplica a la compuerta. Se puede ver claramente el potencial $\psi_p$ .	24
2.13.	La carga en la superficie del transistor como función del potencial $\psi_s$ . Figura generada en MATLAB.	26
2.14.	Diagrama esquemático de las capacitancias en la region Metal Oxide Semiconductor	26
2.15.	Curvas de capacitancia para un capacitor MOS. Tomada de [SN07]	27
2.16.	Logaritmo de la Concentración de electrones en el gate de un transistor MOSFET. Se puede ver como el grosor del canal varía a entre el drenaje y la fuente. $V_g=0.7V$ , $V_d=3V$ . Esta figura fue generada con un modelo que discutiremos más adelante.	28
2.17.	Esquema de dos MOSFETs de canal largo y corto, con los mismos voltajes de compuerta, fuente y drenaje. a) MOSFET de canal largo y su diagrama de energía b) MOSFET de canal corto y su diagrama de energía. La barrera de potencial para el MOSFET de canal corto se vuelve muy delgada y los electrones tienen más probabilidad de pasar al drenaje.	31
2.18.	Características de corriente de drenaje para varios MOSFETs. Estas curvas ilustran la variación del voltaje de umbral $V_T$ con la longitud del canal. Tomada de [SN07] p334.	32
2.19.	Arquitectura básica de un DGMOSFET. Tomada de [Lu11] pg. 25	33
2.20.	Curvas características de corriente y voltaje para un DGMOSFET. a) p-type and b) n-type. Tomada de [ea05] pg. 2047	34
2.21.	Arquitectura básica de un SOIMOSFET. Tomada de [HKF83]	34
2.22.	Sección transversal de un SOIMOSFET. Tomada de [HKF83]	35
2.23.	Grafico de las ecuaciones 2.94, 2.93a la vez que se compara con experimento. Tomada de [HKF84]	37
3.1.	Malla del modelo para un mosfet.	39
3.2.	Izquierda. Ilustración de lo que hace la función $N_{Dimpl} flgauss(x, y, x1, y1, ch) - N_{Asub}$ descrita en la ecuación 3.8. Note que en los puntos donde $x_1$ y $y_1$ la concentración es igual a $N_{Dimpl}$ , en el resto del espacio la concentración es $N_{Asub}$ y la transición es paulatina entre estas dos regiones. Derecha. Ilustración de la variable $N_{doping}$ en el transistor, producida por la ecuación 3.8. Note la alta concentración en las regiones de la fuente y el drenaje.	42
3.3.	Condiciones de borde para el primer modo de aplicación: Electrostático inicial	42
3.4.	Condiciones de borde para el primer modo de aplicación: Electrostático Permanente	43
3.5.	Condiciones de borde para el modo de aplicación de convección y difusión de electrones.	44
3.6.	Grafico donde se muestran las concentración de impurezas en el DGMOSFET.	46
3.7.	Malla para el DGMOSFET.	47
3.8.	Arquitecturas de SOI-MOSFETs. a) SOI-MOSFET ancho utilizado para ilustrar aspectos cualitativos. b) SOI-MOSFET delgado utilizado para caracterizar al dispositivo. Las dimensiones son: front gate 5nm, back gate 20nm, longitud de front gate 220nm.	49



4.1.	Potencial en el dispositivo cuando $Vd = 0$ . . . . .	51
4.2.	Potencial en el dispositivo cuando $Vd = 0$ . . . . .	51
4.3.	Potencial en el dispositivo cuando $Vd=1V$ . Video para valores $0 < Vd < 1$ : Video de la simulación . . . . .	52
4.4.	Potencial en el dispositivo cuando $Vd=1V$ . Video para valores $0 \leq Vd \leq 1$ : Video de la simulación . . . . .	52
4.5.	logaritmo de la concentración de electrones. Izquierda $Vd=0$ . Derecha $Vd=1V$ . Note como los electrones son aspirados por el voltaje en el drain. Video de la simulación . . . . .	52
4.6.	Formación del canal. Note como la concentración sube en la interface Si-oxido.. Video de la simulación . . . . .	53
4.7.	logaritmo de la concentración de huecos. Como es de esperarse, la concentración es alta en el sustrato p y decrece conforme uno se acerca a las regiones n, o a la compuerta. . . . .	54
4.8.	a)Potencial de superficie como función de $Vg$ . b)Carga superficial como función de $Vd$ c) Carga superficial como función de $\psi_s$ d) Resultado Teórico de la carga superficial generado con la ecuación 2.67. a,b,c fueron generadas en un modelo de COMSOL exportado a MATLAB. d) Carga superficial teórica de un capacitor MOS, generada en MATLAB . . . . .	55
4.9.	En esta figura comparamos la capacitancia del dispositivo a) simulada y b) teórica . . . . .	56
4.10.	Comparación entre la simulación y la ecuación ?? . . . . .	57
4.11.	Corriente de Drenaje $I_{ds}$ , como función del voltaje de compuerta. . . . .	57
4.12.	Corriente de Drenaje $I_{ds}$ , como función del voltaje de compuerta. . . . .	58
4.13.	Corriente de Drenaje $I_{ds}$ , como función del voltaje de compuerta. . . . .	58
5.1.	a)Arquitectura del modelo para un DGMOSFET que desarrollamos.b)Potencial en el DG MOSFET. Los potenciales $Vg1$ y $Vg2$ son controlables. . . . .	59
5.2.	Logaritmo de la carga en el semiconductor. Note que el semiconductor es en general neutral excepto los lugares de la zona desértica y las compuertas. . . . .	60
5.3.	Logaritmo de la concentración de electrones en el semiconductor. En este caso $Vg1=1V$ y $Vg2=2V$ . . . . .	61
5.4.	Corriente en un DG MOSFET con ambas compuertas polarizadas positivamente. En este caso $Vg1=0:0.01:3 V$ y $Vg2=2V$ . . . . .	62
5.5.	Comparación entre los resultados de las simulaciones a) Tomando en cuenta a los portadores minoritarios de carga b) Sin tomar en cuenta a los portadores minoritarios de carga. Note que el potencial en el centro del dispositivo varía sustancialmente. . . . .	62
5.6.	Diagrama de cada compuerta con la otra apagada. Se puede ver que las corrientes son iguales. El dispositivo es simétrico, como se esperaba. . . . .	63
5.7.	Diagrama de cada compuerta con la otra apagada. Se puede ver que las corrientes son iguales. El dispositivo es simétrico, como se esperaba. . . . .	64
5.8.	Diagrama de cada compuerta con la otra apagada. Se puede ver que las corrientes son iguales. El dispositivo es simétrico, como se esperaba. . . . .	65

6.1. Arquitectura de los SOI-MOSFET que utilizaremos en esta sección.	67
6.2. Profundidad de la zona desértica $W_d$ , como voltaje de compuerta del dispositivo. Note que la zona desértica es más grande que el canal para un gran rango de voltajes.	68
6.3. Potencial en el dispositivo	69
6.4. Logaritmo de la concentración de electrones en el dispositivo bajo dos situaciones diferentes.a) Con la compuerta $V_{g2}=1V$ y $V_{g1}=1.8$ . b) La compuerta $V_{g2}=-1V$ . El valor máximo de la concentración es $10^{25}m^{-3}$ y el valor mínimo es $10^{17}cm^{-3}$	69
6.5. Carga en el transistor.	70
6.6. Logaritmo de la magnitud de la densidad de corriente. Usamos $J_n = q * p * \mu_p * E$ Video	71
6.7. Densidad de carga en la compuerta para $V_{gb}=-2.4$ . a) Carga de los portadores de carga. b)Carga de los portadores de carga y del sustrato.	71
6.8. Extracción de el $V_{th}$ con el método de extrapolación lineal.	73
6.9. a)Corriente de Drenaje para varios $V_{bg}$ . Note como el transistor se prende a distintos $V_{th}$ , dependiendo de $V_{bg}$ . b) Extracción de los voltajes de umbral $V_{th}$ para cada curva de la parte a) c) Comparación con resultados experimentales simulares. En este experimento [Cri07] ha encontrado los voltajes de umbral del canal posterior con respecto a los del canal anterior	74
6.10. Voltaje de banda plana. Aquí se grafica el voltaje de banda plana en una sección transversal del transistor cerca del gate, como se indica en las figuras de la izquierda. Con $V_g=0$ se ve una curvatura del potencial, en cambio con $V_g=-0.45V$ se ve que el potencial se vuelve relativamente plano.	75
6.11. Potencial de superficie como función de $V_{fg}$ para varios $V_{bg}$ ,a) para un SOI-MOSFET con diferentes polarizaciones b) para un capacitor MOSFET con diferentes espesores de óxido.	75
6.12. Carga de superficie como función de el voltaje de compuerta. Se puede observar como la carga inicialmente es baja pero se activa con el voltage $V_{gf}$ .	76
6.13. Capacitancia de la superficie y del dieléctrico como función de $V_{gf}$ .	77
6.14. Capacitancia de la superficie y del dieléctrico como función de $V_{gf}$ .	77

# Índice de cuadros

1.1. Factores de escalamiento para cada estrategia de escalamiento y el impacto esperado en las dimensiones de cada parámetro. $\alpha$ es una constante adimensional de escalamiento. $\epsilon$ es la constante de escalamiento de el campo eléctrico. Tomada de [Tro09] . . . . .	4
3.1. Estadísticas de la Malla . . . . .	46

a Ana y Ema. Por su infinita paciencia y apoyo.

# Agradecimientos

Es difícil agradecer a todas las personas que han contribuido con este trabajo. Durante 2 años he producido más de 300 archivos de simulaciones en un total de 4 GB de información. He llenado varios cientos de hojas tratando de entender cómo funcionan los semiconductores. A todos aquellos que me ayudaron, les agradezco profundamente.

Carl Sagan dice que para hacer un pastel de manzana desde cero se necesita primero crear el universo. Y eso se aplica a esta tesis también. Quiero agradecer en primer lugar a mi esposa Ana María, que ha sabido pacientemente esperar a que yo entienda todo este entramado de preguntas. Ella es la coautora de este trabajo. Luego, a mi hija Ema, que esta mañana finalmente dijo con su lenguaje de 2 años *ya no quiero que mi papá trabaje*.

Evidentemente quisiera agradecer a Lionel Trojman, por todo el tiempo que ha dedicado a dirigir mi trabajo, y toda la paciencia que ha tenido frente a los errores y a los desafíos.

A mis lectores, Bruce Honeisen, Luis Miguel Prócel y Omar Aguirre.

A mi madre, por el esfuerzo que hizo desde hace tanto tiempo para que yo llegue hasta aquí, y a mi padre por enseñarme a generar preguntas y a fascinarme con ellas. Además, quisiera agradecer a Wladimir Benalcazar por proveer artículos a los que yo no tenía acceso. Agradezco también a Gabriel Cuesta y a Miriam Navarrete y a David Hervas.

# Capítulo 1

## Introducción

El MOSFET (Metal Oxide Semiconductor Field Effect Transistor) es el corazón de la microelectrónica. Su rápido desarrollo ha marcado el avance de la sociedad tecnológica moderna. Gracias a la miniaturización de los MOSFETs se ha logrado encapsular millones de dispositivos en un circuito integrado. Virtualmente cualquier aparato electrónico moderno con capacidades lógicas está compuesto por MOSFETs, entre ellos: computadoras, teléfonos celulares, aparatos audiovisuales, etc.

El principio de un transistor de superficie de Efecto de Campo fue propuesta inicialmente por Lilienfeld and Heil en 1930. No fue hasta 1960 sin embargo, que el primer MOSFET fue reportado por Khan y Atalla.[Tro09] Su dispositivo se basa en la interface entre el dióxido de silicio y el silicio, que puede fabricarse con pocos defectos de superficie. El primer dispositivo tenía ESTAS DIMENSIONES. En 1958 Kilby descubrió el concepto de circuito integrado y en 1961 Hofstein and Heiman mostraron resultados prometedores usando MOSFETs en circuitos integrados.

Moore observó en 1965 que el número de transistores en un circuito integrado se duplicaba cada año desde 1959 y predijo exitosamente el número de transistores que un circuito integrado tendría en 10 años [Moo65]. La industria de los semiconductores decidió tomar esta tendencia para el plan de escalamiento en los circuitos integrados (Ley de Moore). Esta ley se ha respetado en gran medida desde 1971 como lo muestra el gráfico.

### 1.0.1. Escalamiento

La ley de Moore es empírica y coyuntural, sin embargo se basa en un concepto importante de los dispositivos semiconductores: el escalamiento. El escalamiento se basa en conservar las propiedades de un dispositivo pero aumentar su desempeño mediante una reducción de sus dimensiones físicas. La miniaturización de los transistores ayuda a aumentar la velocidad y reducir el costo de los circuitos integrados. Sin embargo, los parámetros de un transistor se ven afectados de distinta manera por el escalamiento. En la tabla 1.1 se ve cómo se estima que cada parámetro de los transistores será afectado por el escalamiento.  $\alpha$  es el factor adimensional de escalamiento.

Sin embargo, conforme el tamaño de un transistor y el de un átomo se acercan, el escalamiento se vuelve más difícil. No es posible reducir en tamaño

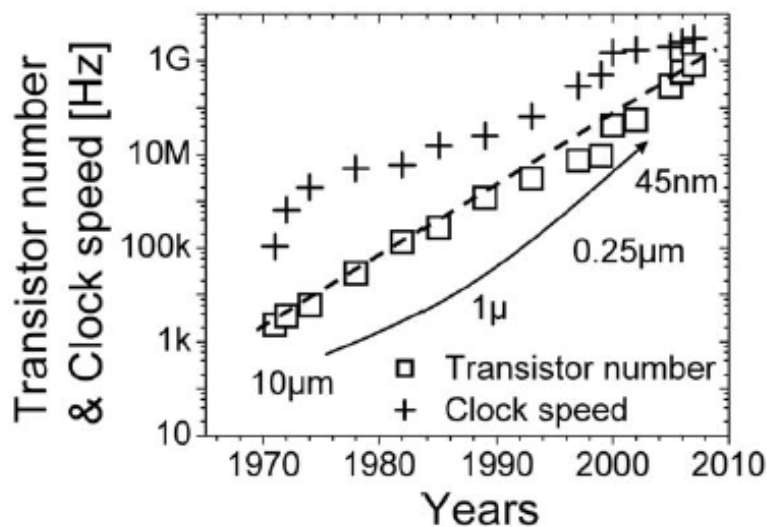


Figura 1.1: Revisión histórica del crecimiento de el número de transistores por chip. La línea entrecortada muestra que el número de transistores por chip ha crecido a una tasa de cambio de 2 por cada dos años. Figura tomada de [Tro09]

sin sacrificar aspectos en su desempeño. Dado el ancho del transistor, el voltaje de drenaje ejerce una influencia muy fuerte en la compuerta. El  $V_d$  puede hacer que la barrera de potencial proporcionada por el canal decrezca los portadores de carga puedan fluir fácilmente del drenaje a la fuente. Así, se pierde el control del transistor: la corriente, cuando el transistor está apagado, es demasiado alta y se vuelve difícil apagarlo. Hablaremos de este efecto ( Efecto de canal corto) en la parte teórica de este trabajo. Las soluciones propuestas para resolver este problema son el Double Gate MOSFET (DG-MOSFET) y el Silicon On insulator MOSFET (SOI-MOSFET).

### 1.0.2. DG-MOSFET y SOI-MOSFET

En las figura 1.2 y 1.3 se muestran las arquitecturas básicas de un DG-MOSFET y de un SOI-MOSFET. La ventaja principal de usar estos dispositivos es que se tiene una compuerta adicional, con la que se puede aumentar el tamaño del pozo de potencial en la compuerta, que separa al drenaje de la fuente. De esta manera, con el voltaje de la compuerta posterior se influencia los límites en el encendido y el apagado del dispositivo.

En la figura 1.4 se puede ver claramente como las curvas características  $I_d$ - $V_{g1}$  dependen de el voltaje  $V_{g2}$ . Se puede imponer un Voltaje  $V_{g2}$  para que los voltajes de la compuerta frontal de On y Off sean los deseados.

Las motivaciones de la industria para usar SOI MOSFETs son 3 [San08]. En primer lugar los SOI MOSFETs son menos sensibles a la radiación. El óxido enterrado BOX ( Burried Oxide) ayuda a detener partículas radiactivas y a reducir la ionización en el sustrato. En segundo lugar, el desempeño de los SOI

Parámetros Físicos	Factor de escalamiento con Campo Eléctrico Constante (1990)	Generalized Scaling Factor 2000
Longitud de Canal, espesor del óxido Ancho de Canal	$1/\alpha$	$1/\alpha$
Campo Eléctrico	1	$\epsilon$
Voltaje	$1/\alpha$	$1/\alpha$
Dopaje	$\alpha$	$\epsilon\alpha$
Disipación de potencia	$1/\alpha^2$	$\epsilon^2/\alpha^2$

Cuadro 1.1: Factores de escalamiento para cada estrategia de escalamiento y el impacto esperado en las dimensiones de cada parámetro.  $\alpha$  es una constante adimensional de escalamiento.  $\epsilon$  es la constante de escalamiento de el campo eléctrico. Tomada de [Tro09]

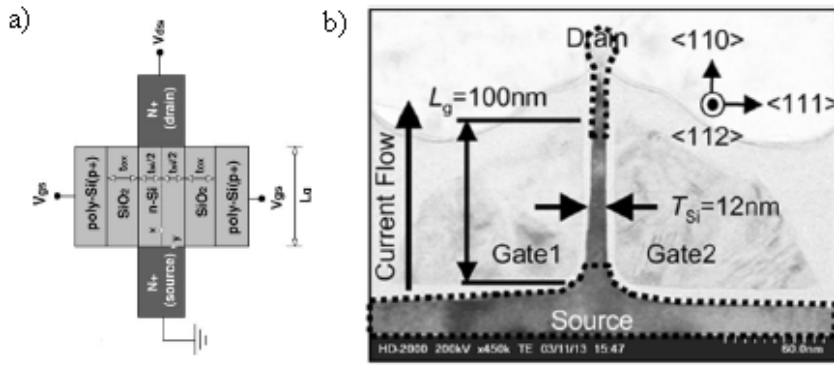


Figura 1.2: a) Diagrama esquemático de un DG-MOSFET [JD06]. b) Imagen de sección transversal STEM de un 4T-XMOSFET (four-terminal-driven double-gate MOSFETs) [ea05]

es mejor que el de los MOSFETs de canal regular. Para cualquier aplicación lógica, circuitos integrados con SOI MOSFETs trabajan más rápido. Por otro lado si se usa el voltaje de la compuerta posterior se puede trabajar con voltajes de drenaje más bajos de tal manera que se reduce la disipación de energía y el desempeño, es decir la frecuencia de trabajo no se ve afectada. Finalmente, se necesita la tecnología SOI para extender el cumplimiento de la ley de Moore. Transistores con longitudes de compuerta menores a 25nm no se desempeñan bien con canal regular. El campo eléctrico inducido por la compuerta tiene que competir con los campos generados por el drenaje y la fuente, entre otros efectos de canal corto (SCE). Estos SCE se reducen o eliminan usando SOI MOSFETs. En la figura 1.5 se comparan los dos dispositivos. Note la desviación de la ley de Moore de los dispositivos regulares en los últimos años.



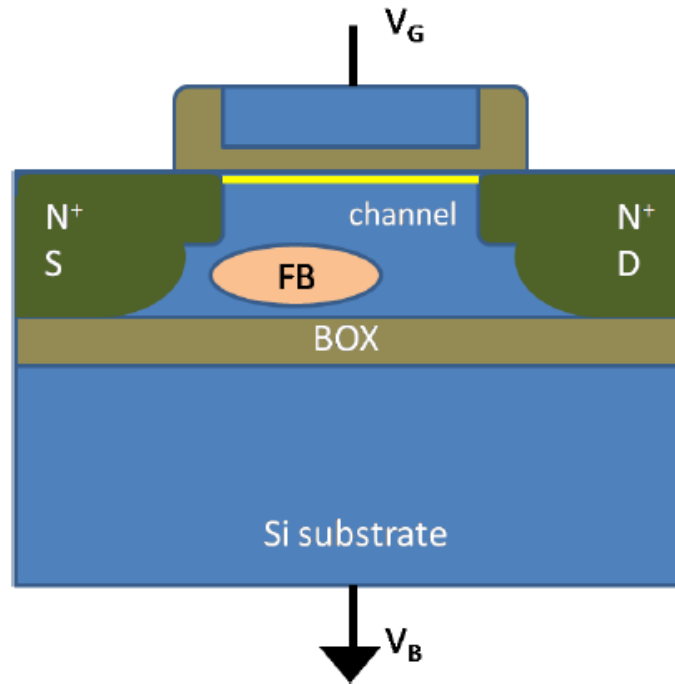


Figura 1.3: Diagrama esquemático de un SOI MOSFET.[San08]

## 1.1. Simulaciones en COMSOL Multiphysics

COMSOL Multiphysics es un simulador de elementos finitos, que proporciona un entorno accesible con muchas herramientas para simular los fenómenos electrostáticos y de transporte que existen en los transistores. El simulador resuelve ecuaciones diferenciales en derivadas parciales que nos permiten modelar una gran variedad de fenómenos físicos. Como todo simulador numérico, la convergencia de las soluciones depende de las características de las ecuaciones diferenciales que se utilicen. Desafortunadamente, las ecuaciones que modelan los semiconductores son no lineales y lograr una simulación satisfactoria es difícil. En este trabajo usamos este simulador para simular y describir las características de los dispositivos.

## 1.2. Objetivo

El objetivo de este trabajo es desarrollar modelos en COMSOL Multiphysics para simular un SOI MOSFET y un DG MOSFET a partir del modelo de MOSFET desarrollado por COMSOL [COM06a]. Además, presentaremos curvas características de MOSFETs de canal regular, SOI MOSFETs y DG MOSFETs.

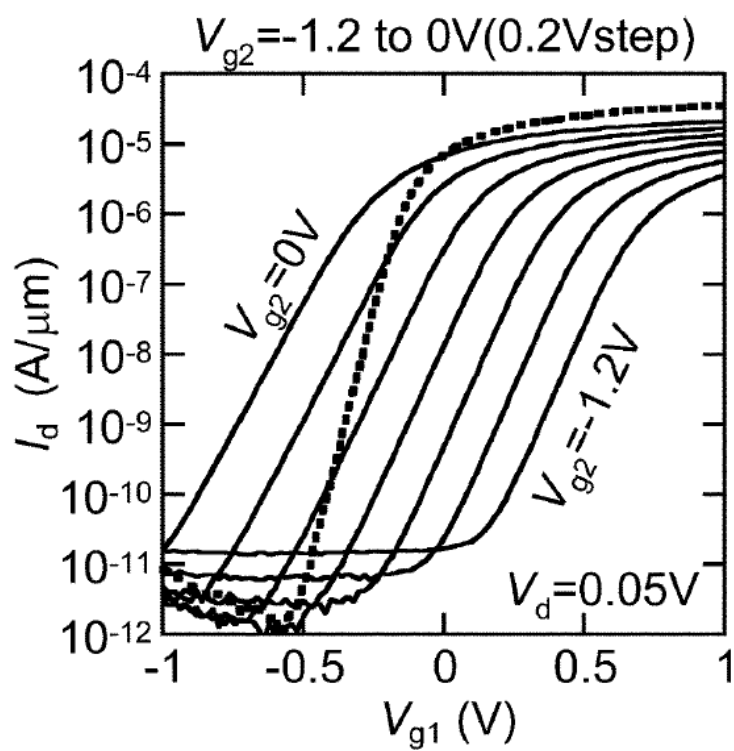


Figura 1.4: Curvas  $I_d$ - $V_{g1}$  con  $V_{g2}$  como parámetro para un nMOS tipo fin  $T_{si}=8.5\text{nm}[ea05]$

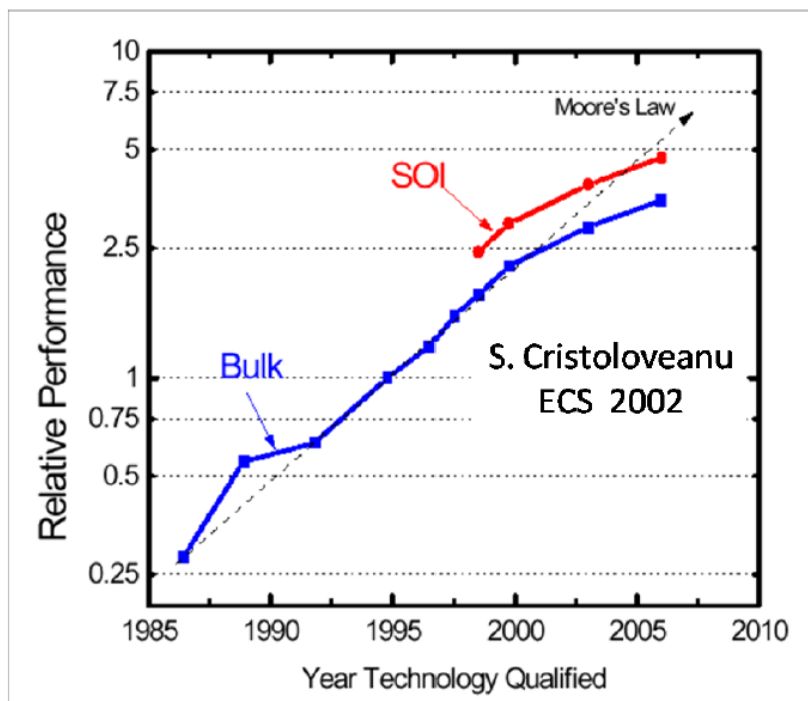


Figura 1.5: Comparación entre el desempeño de los SOI MOSFETs y los MOS-FETs de canal regular.[San08]

## Capítulo 2

# Fundamento Teórico

En este capítulo incluimos la teoría básica de los dispositivos semiconductores. Partimos de la Física de estado sólido, y paulatinamente nos adentramos en conceptos relevantes para el estudio de los dispositivos MOSFET. Al final del capítulo se revisa la teoría de dispositivos avanzados que simularemos más adelante, en particular el MOSFET de doble compuerta (DGMOSFET) y el *Silicon On Insulator MOSFET* SOI MOSFET.

### 2.1. Introducción a la Teoría de Semiconductores

#### 2.1.1. Nociones de un diagrama de Banda E-k

Aquí consideraremos una propiedad fundamental de los semiconductores, que es la relación entre la energía de las partículas en el cristal y su momento lineal  $\vec{p}$ .

Podemos usar la relación de De Broglie, que relaciona el momento lineal de una partícula con la longitud de onda que tendrá su onda correspondiente,

$$p = \frac{h}{\lambda} \quad (2.1)$$

donde  $h$  es la constante de Planck. Definimos el vector de onda como

$$\vec{k} = \frac{2\pi}{\lambda} \vec{r} = \frac{2\pi\vec{p}}{h} \quad (2.2)$$

donde  $\vec{r}$  es un vector en la dirección del movimiento de la onda. Así, se puede construir un diagrama de la energía  $\epsilon$  como función de  $k$ .

Para construir un diagrama de banda  $\epsilon - k$  empezamos considerando que el cristal tiene un potencial periódico, dado el arreglo de los átomos.

Para ilustrar el comportamiento de los electrones en un potencial periódico existen varios modelos. Por su simplicidad, en este trabajo vamos a tratar el modelo de KRONIG-PENNEY, cuyo resultado ilustra cualitativamente la relación  $\epsilon - k$  en un cristal periódico [Kit96]. Este modelo resuelve la ecuación de Schrödinger

$$-\frac{\hbar^2}{2m} \frac{d^2}{dx^2} \psi + V(x)\psi = E\psi \quad (2.3)$$

en un potencial rectangular periódico, como se ilustra en la figura 2.1

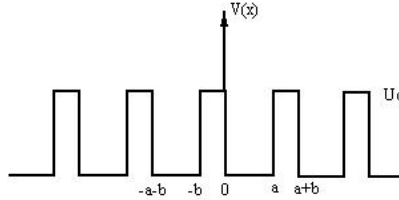


Figura 2.1: Potencial periódico rectangular. El potencial es 0 para  $0 < x < a$  y luego es  $U_0$  para  $a < x < a+b$

En este caso unidimensional, la ecuación de Schrödinger es una ecuación diferencial ordinaria, lineal, con coeficientes constantes. Las soluciones para los lugares con potencial 0 son ondas viajeras de la forma:

$$\psi(x) = Ae^{i\alpha x} + Be^{-i\alpha x} \quad (2.4)$$

donde la energía está dada por:

$$\epsilon = \frac{\hbar^2 \alpha^2}{2m} \quad (2.5)$$

y en los lugares donde el potencial es  $U_0$  las soluciones son exponenciales de la forma

$$\psi(x) = Ce^{Qx} + De^{-Qx} \quad (2.6)$$

con energía  $U_0 - \epsilon = \frac{\hbar^2 Q^2}{2m}$ . Asumiendo que  $U_0 - \epsilon > 0$

Felix Bloch probó que la solución de la ecuación de Schrödinger para un potencial periódico tiene que tener la siguiente forma

$$\psi_k(\vec{r}) = u_k(\vec{r}) e^{i\vec{k} \cdot \vec{r}} \quad (2.7)$$

donde  $\vec{r}$  es el vector de posición,  $\vec{k}$  es el vector de onda, a las funciones  $u_k(\vec{r})$  se las llama funciones de Bloch son periódicas con la misma periodicidad del cristal:  $u_k(\vec{r}) = u_k(\vec{r} + \vec{R})$  donde  $\vec{R}$  es una traslación que deja el cristal invariante [Kit96]. Para el caso que estamos considerando, el vector  $\vec{R}$  es unidimensional y simplemente un múltiplo del período del cristal,  $\vec{R} = (a+b)n$ ,  $n=1,2,\dots$  Por supuesto  $e^{i\vec{k} \cdot \vec{r}}$  es una onda plana con vector de onda  $\vec{k}$ . La ecuación 2.7 se llama el teorema de Bloch.

Podemos usar el teorema de Bloch para encontrar condiciones de borde adicionales. Por definición,

$$u_k(\vec{r}) = u_k(\vec{r} + \vec{R}) \quad (2.8)$$

despejando de la ecuación 2.7

$$\psi_k(\vec{r})e^{(-i\vec{k}\cdot\vec{r})} = \psi_k(\vec{r} + \vec{R})e^{(-i\vec{k}\cdot(\vec{r}+\vec{R}))} \quad (2.9)$$

obtenemos,

$$\psi_k(\vec{r}) = \psi_k(\vec{r} + \vec{R})e^{(-i\vec{k}\cdot\vec{R})} \quad (2.10)$$

Vemos que la función de onda en  $r$  es la función de onda en  $r+R$  multiplicada por un factor  $exp(-ikR)$

Imponemos entonces la siguiente condición, dado que  $R=a+b$  y es unidimensional.

$$\psi(-b) = \psi(a)e^{ik(a+b)} \quad (2.11)$$

Para determinar las constantes A,B,C,D se impone la condición de continuidad en las fronteras  $x=0$  y  $x=a$  de la función de onda y de su primera derivada, usando las ecuaciones 2.5,2.6,2.11. Se tiene,

$$A + B = C + D$$

$$i\alpha(A - B) = Q(C - D)$$

usando la ecuación 2.11 para  $x=a$ ,

$$Ae^{i\alpha a} + Be^{-i\alpha a} = (Ce^{-Qb} + De^{Qb})e^{ik(a+b)} \quad (2.12)$$

$$i\alpha(Ae^{i\alpha a} - Be^{-i\alpha a}) = Q(Ce^{-Qb} - De^{Qb})e^{ik(a+b)} \quad (2.13)$$

Las 4 ecuaciones anteriores forman un sistema con 4 incógnitas. Si se hace una matriz, el sistema tiene soluciones no triviales si el determinante es cero. Si igualamos el determinante a cero, tenemos:

$$\left[ \frac{Q^2 - \alpha^2}{2\alpha Q} \right] \sinh(Qb)\sin(\alpha a) + \cosh(Qb)\cos(\alpha a) = \cos(k(a+b)) \quad (2.14)$$

Esta ecuación puede simplificarse haciendo que las barreras de potencial se hagan angostas,  $b=0$ , e infinitamente altas,  $U_0=\infty$ . [Kit96] la ecuación 2.14 se simplifica a

$$\frac{Q^2 b}{2\alpha} \sin(\alpha a) + \cos(\alpha a) = \cos ka \quad (2.15)$$

$$F(\epsilon) = \cos ka \quad (2.16)$$

Este resultado tiene una interpretación muy interesante para la teoría de semiconductores. Note que las cantidades  $\alpha$  y  $Q$  en el lado izquierdo de la ecuación están relacionadas con la energía de la partícula. En cambio  $k$ , al lado derecho es el vector de onda (relacionado con el momento). Además, note que al lado derecho tenemos una función acotada entre 1 y -1, pero la función al lado izquierdo sobrepasa estos valores para ciertos valores de  $\epsilon$  como se ilustra en la figura 2.2. Para los intervalos donde  $\|F(\epsilon)\| > 1$  no hay solución. Aquellas energías  $\epsilon$  donde esto sucede son energías prohibidas.

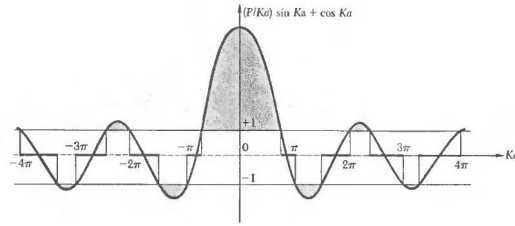


Figura 2.2: Grafico de  $\frac{Q^2b}{2\alpha} \sin\alpha a + \cos\alpha a$  para  $Q^2b/a = 3\pi/2$  Note que solo se puede obtener soluciones para los valores de  $\alpha = \sqrt{2m\epsilon/\hbar^2}$  en donde la función está entre 1 y -1.

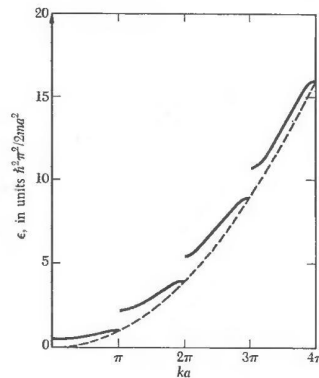


Figura 2.3: Diagrama de banda  $\epsilon$ -k para el modelo de Kronig-Penney. Note la aparición de bandas de energía prohibida.

La ecuación 2.15 puede resolverse numéricamente para la energía y generamos el siguiente gráfico de  $\epsilon$  con respecto al vector k.

Dado que la función  $\cos(ka)$  es periódica,  $ka=2\pi$  es lo mismo que  $ka=0$ . De esta manera se puede trasladar el gráfico de la energía en múltiplos de  $2\pi$  como se ilustra en la figura 2.4.

Hemos visto como el modelo de Kronig-Penney, a pesar de su simplicidad, ilustra bien el hecho de que los electrones no pueden adoptar ciertas energías. Definimos ahora la Banda Prohibida, (Band Gap) como el tamaño del rango de energías que no pueden ser adoptadas por los electrones en un cristal. La banda prohibida define si un material puede utilizarse como semiconductor.

En ingeniería electrónica el Silicio es el material más usado como semiconductor. Tiene un ancho de banda 1.12 eV y su diagrama de banda experimental se presenta en la figura 2.4 b . Notese que en el gráfico se ilustra la distancia entre las bandas superiores, llamadas bandas de conducción y las inferiores, llamadas bandas de valencia. La separación entre estas bandas es la Banda de energía prohibida, es decir, para que un electrón pase de la banda de valencia a la banda de conducción se necesitan por lo menos 1.12eV de energía. Se muestra

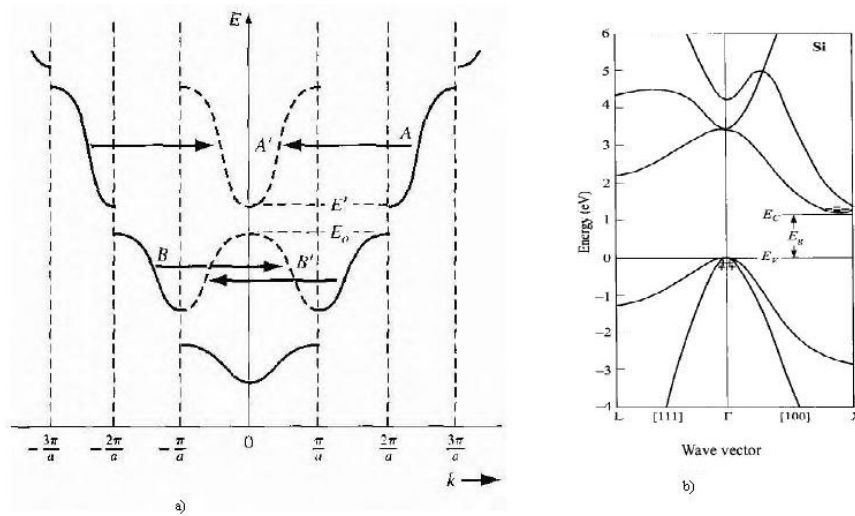


Figura 2.4: Bandas de energía a) Para el modelo de Kronig Penney b) Par el silicio. Note que dada la periodicidad del cristal y del cristal recíproco se puede trasladar el gráfico una distancia  $n\pi/a$

también que el mínimo de las bandas de conducción y el máximo en las bandas de valencia no están alineados. Esto se denomina Energía Prohibida indirecta, es decir, para que los electrones pasen de la energía más alta en la banda de conducción a la energía más baja en la banda de valencia se necesita también un cambio en el vector de onda  $k$  del electrón.

### 2.1.2. Masa Efectiva

El electrón dentro de un cristal va a estar sujeto a muchas fuerzas internas en el cristal, y eventualmente fuerzas externas al cristal. Las fuerzas internas son difíciles de modelar y sobretodo, serán periódicas, de tal manera que la fuerza interna *promedio* ejercida sobre un electrón será en general, constante. Es así que definimos una masa efectiva de un electrón  $m_e^*$  como la constante de proporcionalidad entre una fuerza externa aplicada al cristal, y la aceleración que produce esta fuerza en un electrón

$$\frac{F_{ext}}{a} \equiv m_e^* \quad (2.17)$$

Hablando en términos mecánico cuánticos podemos definir a la masa efectiva de la siguiente forma

$$p = i\hbar \vec{\nabla} \psi \equiv m \vec{v} \quad (2.18)$$

donde  $\psi$  son las funciones de onda de Bloch que definimos en la sección anterior.

La masa efectiva está relacionada con la curvatura de la energía en el diagrama  $\epsilon$ - $k$ . Deducimos esta relación a continuación.

$$a = \frac{dv}{dt} = \frac{d}{dt} \frac{d\epsilon}{dp} \quad (2.19)$$



donde la velocidad  $v$  puede expresarse como  $\frac{dE}{dp} = \frac{dE}{\hbar dk}$

$$\frac{dv}{dt} = \frac{d^2\epsilon}{dk^2} \frac{dk}{dt} = \quad (2.20)$$

pero  $\frac{dk}{dt} = F/\hbar$  de tal manera que

$$a = \frac{1}{\hbar^2} \frac{d^2\epsilon}{dk^2} F \quad (2.21)$$

La ecuación anterior tiene la misma forma que la segunda ley de Newton, definimos así la masa efectiva de una partícula como

$$\frac{1}{m^*} = \frac{1}{\hbar^2} \frac{d^2E}{dk^2} \quad (2.22)$$

La ecuación ?? relaciona el inverso de la masa con la segunda derivada de la energía con respecto al vector de onda. Esto es, la masa es inversamente proporcional a la curvatura local de la energía. Si vemos el diagrama de banda del silicio, figura 2.4 podemos apreciar que la masa efectiva de la partícula variará dependiendo de la dirección de desplazamiento y de la energía. En los extremos, es decir, en la parte más alta de las bandas de valencia y en la más baja de las de conducción se tiene una parábola, (con curvatura positiva en la banda de conducción y negativa en la banda de valencia).

En tres dimensiones cada dirección en el espacio tendrá su particular fuerza interna puesto que en general los cristales tienen distintas periodicidades en direcciones distintas. La masa efectiva en un cristal será entonces un tensor.

Semiconductors	$m^*/m_o$ of electrons	$m^*/m_o$ of holes
GaAs (direct, isotropic)	0.067	0.082
Si (indirect, anisotropic)	0.98 (longitudinal)	0.49 (heavy)
Si	0.19 (transverse)	0.16 (light)
Ge (indirect, anisotropic)	1.64 (longitudinal)	0.28 (heavy)
Ge	0.082 (transverse)	0.04 (light)

Figura 2.5: Masas efectivas de electrones y huecos en distintas condiciones

La introducción de una masa efectiva facilita el tratamiento de los semiconductores puesto que todo el campo eléctrico dentro del cristal con su complicación está comprimido en una constante. Un resumen de las masas efectivas de los electrones y huecos puede encontrarse en [SN07].

### 2.1.3. Densidad de estados Cuánticos

Para encontrar eventualmente las relaciones de corriente, carga y voltaje en un semiconductor, es fundamental saber cuántos portadores de carga están disponibles. Para lograrlo con simplicidad supongamos un cristal cúbico con

separación  $a$  entre los átomos. El espacio recíproco será un espacio  $k$  con un valor discreto de estados, con una separación entre estados  $2\pi/a$ . Si elegimos un número finito de electrones, cada electron va a llenar uno de los estados cuánticos disponibles, desde  $k=0$  hasta  $k_{\max}$  o  $k$  de Fermi. Todos los estados están dentro de una esfera de radio  $k_F$ .

Para calcular el número de estados cuánticos disponibles solamente necesitamos calcular el volumen de la esfera con radio  $k_F$  y dividirlo para el volumen que ocupa un estado cuántico,  $2\pi/L^3$ .

Recordemos que

$$\epsilon_k = \hbar^2 \frac{k^2}{2m^*} \quad (2.23)$$

y  $p = \hbar k$  donde  $m^*$  describe la interacción entre el electrón y el potencial periódico del cristal. El vector  $k$  es  $\vec{k} = \langle k_x, k_y, k_z \rangle = 2\pi \langle n_x/L, n_y/L, n_z/L \rangle$  y además  $n_x, n_y, n_z$  son índices enteros que designan a cada estado cuántico disponible.

La separación mínima entre dos estados cuánticos en el espacio  $k$  es  $2\pi/L$  por lo que un cubo que encierre solamente un estado cuántico tendrá un volumen  $(2\pi/L)^3$ . En cambio, una esfera de radio  $k_F$  tendrá un volumen en el espacio  $k$  de  $\frac{4}{3}\pi k_F^3$ . Si dividimos estas dos cantidades y tomamos el cuenta la multiplicidad de 2 debido al spin de los electrones, tenemos,

$$N = 2 \frac{\frac{4}{3}\pi k_F^3}{(2\pi/L)^3} = \frac{V}{3\pi^2} k_F^3 \quad (2.24)$$

donde  $N$  es el número de estados cuanticos. Despejamos  $k_F$  y reemplazamos en 2.23 para encontrar la energía de Fermi

$$\epsilon_F = \frac{\hbar^2}{2m} \left( \frac{3\pi^2 N}{V} \right) \quad (2.25)$$

Podemos entonces expresar  $N$  en función de la energía, y deducir la densidad de estados cuánticos será [Kit96]

$$D(\epsilon) = \frac{dN}{d\epsilon} = \frac{V}{2\pi^2} \left( \frac{2m}{\hbar^2} \right)^{3/2} \epsilon^{1/2} \quad (2.26)$$

### 2.1.4. Densidad de Portadores de Carga

Hemos visto que los materiales presentan una banda prohibida. Tenemos entonces tres bandas: la banda de conducción, que es un rango de energías de los electrones que permanecen unidos a los núcleos, la banda prohibida, y la banda de conducción, que es el rango de energías de los electrones móviles.

El ancho de la banda prohibida determina el comportamiento de el material. En los semiconductores la banda prohibida es pequeña  $E_g \approx 1eV$  de tal manera que es probable que un electrón salte de la banda de valencia a la banda de conducción. En el caso de los aislantes  $E_g$  es muy grande, lo que hace improbable que se produzca la transición. Los metales, por otro lado, tienen la banda de valencia y de conducción traslapadas,  $E_g = 0$  y electrones móviles permanentes.

Los semiconductores son interesantes porque se comportan como conductores en ciertas circunstancias y como aislantes en otras, como veremos más adelante. La conductividad del semiconductor está dada por la densidad de portadores

carga y la movilidad. La densidad de portadores de carga está determinada por la cantidad de estados cuánticos disponibles y por la probabilidad de que sean ocupados.

Vamos a considerar dos clases de portadores de carga: los electrones, en la banda de conducción y los huecos dejados por los electrones en la banda de valencia. Los primeros tienen energías que les permiten moverse en el cristal. Los segundos, en cambio, son en realidad vacíos dejados por electrones que han sido excitados hacia la banda de conducción. Lo que sucede es que frente a un campo eléctrico por ejemplo, este vacío es llenado por un electrón vecino, y a su vez otro electrón, de tal manera que el espacio vacío se mueve en dirección contraria al movimiento de los electrones y se comporta como una carga positiva. A estos portadores de carga los llamaremos *huecos*. El movimiento de una burbuja en el agua ilustra didácticamente el comportamiento de los huecos en un cristal.

La conductividad del material semiconductor dependerá entonces de la cantidad de portadores de carga. Para calcularla necesitamos la distribución de Fermi-Dirac, que se aplica a los fermiones (electrones y huecos)

$$f(\epsilon) = \frac{1}{e^{(\epsilon - E_F)/k_B T} + 1} \quad (2.27)$$

donde probabilidad  $f$  de que un electrón tenga energía  $\epsilon$  depende de la temperatura  $T$  y el potencial químico o energía de Fermi  $E_F$  del sistema.  $k_B$  es la constante de Boltzmann.

Los electrones en la banda de valencia son irrelevantes para nuestro análisis. En adelante cuando hablemos de electrones nos referiremos a los electrones en la banda de conducción. El número de electrones se encuentra con:

$$n = \int_{E_c}^{\infty} D(\epsilon - E_c) f(\epsilon) d\epsilon \quad (2.28)$$

donde  $n_0$  es el número de electrones en la banda de conducción por unidad de volumen,  $D(\epsilon)$  es la densidad de estados disponibles a la energía  $\epsilon$  definida en la ecuación 2.26 y  $f$  es la distribución de Fermi-Dirac.

En el caso de semiconductores no degenerados, ( $E_F \ll E_c$ ) podemos aproximar la distribución de Fermi Dirac a una distribución de Boltzmann.

$$f(\epsilon) = \frac{1}{e^{(\epsilon - E_F)/k_B T} + 1} \cong e^{-(\epsilon - E_F)/k_B T} \quad (2.29)$$

de tal manera que la integral 2.28 queda como

$$n = \int_{E_c}^{\infty} \frac{V}{2\pi^2} \left( \frac{2m}{\hbar^2} \right)^{3/2} \epsilon^{1/2} e^{-(\epsilon - E_F)/k_B T} d\epsilon \quad (2.30)$$

lo que produce,

$$n = N_c e^{\frac{-(E_c - E_F)}{k_B T}} \quad (2.31)$$

donde  $N_c$  es la densidad efectiva de estados en la banda de conducción y está definida como  $N_c \equiv 2 \left( \frac{2\pi m_e^* k_B T}{\hbar^2} \right)^{3/2}$ .

De manera similar podemos deducir una fórmula para encontrar la cantidad de huecos  $p$  en la banda de conducción.

$$p = \int_0^{E_v} D(E_v - \epsilon)(f(\epsilon) - 1)d\epsilon \quad (2.32)$$

Se obtiene,

$$p = N_v e^{-\frac{(E_f - E_v)}{k_B T}} \quad (2.33)$$

Donde  $N_v$  es la densidad efectiva de estados cuánticos en la banda de valencia y  $N_v \equiv 2 \left( \frac{2\pi m_p^* k_B T}{h^2} \right)^{3/2}$

Las ecuaciones 2.31 y 2.33 expresan la densidad de portadores de carga para semiconductores no degenerados.

### 2.1.5. Semiconductores Dopados

La densidad de portadores de carga en un semiconductor puede modificarse añadiendo impurezas. Si se añaden impurezas con un electrón más que el Silicio, este electrón tiene un enlace muy débil con su núcleo y con algo de energía térmica se deslocaliza y forma parte de los electrones en la banda de conducción. Añadir átomos de la familia V como el Fósforo es equivalente a añadir electrones en la banda de conducción.

Si en cambio se añaden átomos de la familia III, como el Boro, al cristal de silicio, lo que se consigue es aumentar los huecos en la banda de valencia. En este caso se añade un átomo que solamente tiene 3 electrones en su capa exterior, de tal manera que un electrón del cristal puede fácilmente ocupar este espacio y se genera un hueco móvil en el cristal. Aumentar átomos de Boro al cristal de silicio es equivalente a añadir huecos en la banda de valencia. A los semiconductores dopados con un elemento de la familia V, que tienen electrones como portadores de carga nos referiremos como “Semiconductores de tipo n” a los semiconductores dopados con elementos de la familia III, que tienen huecos como portadores de carga, nos referiremos como “semiconductores de tipo p”.

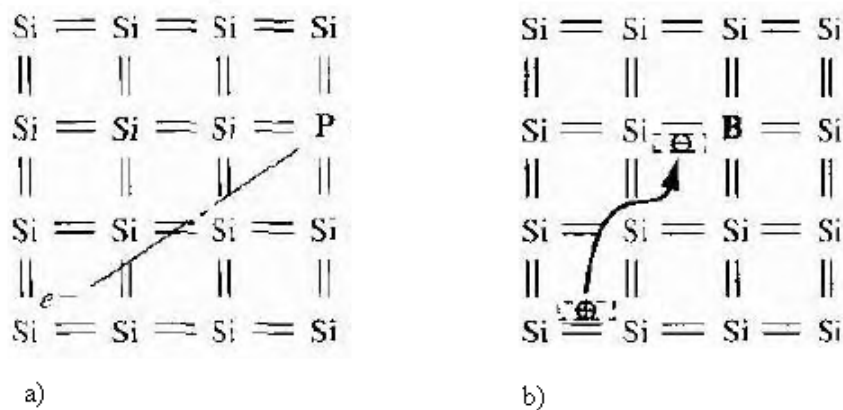


Figura 2.6: Dopaje para semiconductores a) tipo n. b) tipo p  
[Nea03]

Para calcular la densidad de portadores de carga de un semiconductor dopado, utilizamos también las ecuaciones 2.31 y 2.33 sin embargo el dopaje produce una traslación del nivel de Fermi: hacia la banda de valencia para dopaje p, y hacia la banda de conducción para tipo n.

El nivel de Fermi es una energía interesante. Para un gas de electrones libres, el  $E_F$  es la energía del estado que tiene probabilidad 1/2 de ser ocupado. Es el centro de la distribución. En un cristal, esta energía generalmente está dentro de la banda prohibida, por lo que la probabilidad de ocupación es cero. Sin embargo podemos entender al nivel de Fermi como el centro de la distribución de probabilidad. El momento en que se añaden portadores de carga, la distribución se traslada, y el centro de la distribución también. Estas traslaciones se ilustran en la figura 2.7

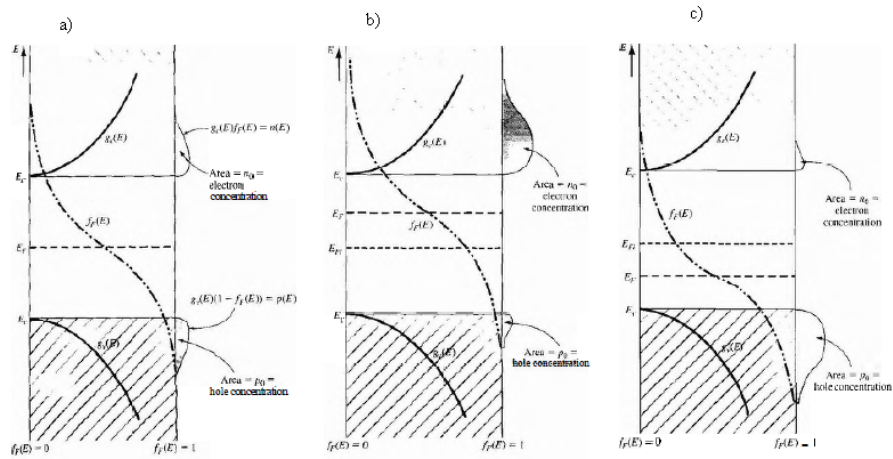


Figura 2.7: Traslaciones de la energía de Fermi al dopar un semiconductor. Tomada de [Nea03]

La pregunta que surge entonces es ¿Cómo se calcula entonces la energía de Fermi? Si suponemos ionización completa  $n = N_D$  En general las concentraciones del dopaje son varios ordenes de magnitud superiores a las concentraciones de electrones excitados térmicamente, de tal manera que. Usando 2.31:

$$N_D = N_c e^{(E_c - E_F)/kT} \quad (2.34)$$

De 2.34  $E_F$  se puede obtener

$$(E_c - E_F) = kT \ln\left(\frac{N_c}{N_D}\right) \quad (2.35)$$

2.35 expresa que  $E_F$  está  $kT \ln\left(\frac{N_D}{N_c}\right)$  debajo de  $E_c$

Para un semiconductor tipo p,

$$(E_F - E_v) = kT \ln\left(\frac{N_v}{N_a}\right) \quad (2.36)$$

Podemos expresar la concentración de electrones y huecos de un semiconductor dopado, en términos de la concentración intrínseca de portadores de carga,  $n_i$ , y de la desviación de la energía de Fermi con respecto a un semiconductor intrínseco,  $E_i - E_f$ . De las ecuaciones 2.31y 2.33 se obtiene:

$$n = n_i e^{\frac{(E_F - E_i)}{kT}} \quad (2.37)$$

para un semiconductor tipo n, y

$$p = n_i e^{\frac{(E_i - E_F)}{kT}} \quad (2.38)$$

para un semiconductor tipo p.  $E_i$  es la energía intrínseca de Fermi y se define como [Gro67]:

$$E_i \equiv \frac{1}{2}(E_c + E_v) + \frac{kT}{2} \ln\left(\frac{N_c}{N_v}\right) \quad (2.39)$$

En el futuro será útil definir los siguientes potenciales  $q\psi_{Bn} = E_f - E_i$  para un dispositivo n y  $q\psi_{Bp} = E_i - E_f$  para dispositivos p. De esta manera se puede escribir las ecuaciones 2.38 y 2.37 con este potencial en el exponente.

Note además que el producto entre 2.38 y 2.37 no depende de la energía de Fermi.

$$np = n_i^2 \quad (2.40)$$

Este resultado se llama Ley de acción de masa. Su utilidad radica en que una vez que se conoce la cantidad de portadores mayoritarios de carga en un sustrato, se puede calcular fácilmente los minoritarios.

En el caso de que no se tenga ionización total no podemos asumir que  $n = N_D$  ni  $p = N_A$ . Sin embargo, si se impone la condición de neutralidad de carga, las impurezas ionizadas negativas (aceptores) más la cantidad de electrones móviles deben ser iguales a la cantidad de impurezas ionizadas positivas (donores) más los huecos móviles. Es decir  $N_A^- + n = N_D^+ + p$  Usando esta condición y se deduce que [SN07]

Para un semiconductor tipo n,

$$n_{n0} = \frac{1}{2} \left[ (N_D - N_A) + \sqrt{(N_D - N_A)^2 + 4n_i^2} \right] \quad (2.41)$$

$$p_{n0} = \frac{n_i^2}{n_{n0}} \quad (2.42)$$

Para un semiconductor tipo p,

$$p_{p0} = \frac{1}{2} \left[ (N_A - N_D) + \sqrt{(N_A - N_D)^2 + 4n_i^2} \right] \quad (2.43)$$

$$n_{p0} = \frac{n_i^2}{p_{p0}} \quad (2.44)$$

donde  $n_{n0}, p_{n0}$  son las concentraciones en equilibrio térmico para un material n y  $p_{p0}, n_{p0}$  son las concentraciones en equilibrio térmico para un material p.

Hemos visto cómo la cantidad de portadores de carga puede alterarse y controlarse en un semiconductor, añadiendo impurezas.

## 2.2. Transporte de portadores de Carga

Hemos mencionado ya que los portadores de carga se comportan como cargas móviles dentro del cristal. Si unimos las ecuaciones de fuerza de Lorentz con la segunda ley de Newton tenemos que la aceleración de la partícula será constante y proporcional al campo eléctrico aplicado como se puede ver en la ecuación 2.45

$$\vec{F} = m^* \vec{a} = e \vec{E} \quad (2.45)$$

Sin embargo los portadores de carga, los huecos por ejemplo, aceleran uniformemente hasta que chocan con un átomo de dopante ionizado o con fonones en el cristal. Pierde entonces hueco parte o toda su energía y acelera desde cero nuevamente. Estadísticamente este comportamiento se repite.

A una escala macroscópica lo que sucede es que los huecos se mueven con una velocidad promedio constante si el campo es débil. A esta velocidad se la llama velocidad de deriva ( drift velocity) y es proporcional al campo eléctrico.

$$v_{dp} = \mu_p E \quad (2.46)$$

La constante de proporcionalidad se llama movilidad y se la representa con una letra  $\mu_p$  para los huecos y  $\mu_n$  para los electrones.

También, podemos aplicar la segunda ley de Newton a una partícula con masa efectiva  $m_p^*$  junto con la fuerza eléctrica de Lorentz y tenemos

$$F = m_p^* \frac{dv}{dt} = qE \quad (2.47)$$

Si integramos con respecto al tiempo y reemplazamos la velocidad que se obtiene en la ecuación 2.46, obtenemos,[Nea03]

$$\mu_p = \frac{q\tau_{cp}}{m_p^*} \quad (2.48)$$

donde  $\tau_{cp}$  es el tiempo medio entre colisiones.

La movilidad tiene 3 contribuciones importantes. La primera se relaciona con los fonones del cristal  $\mu_{ph}$ , la segunda tiene que ver con los choques que sufren los portadores de carga con iones fijos en el sustrato  $\mu_I$ , y por último la tercera es un efecto de superficie, que solamente se observa en los dispositivos que tienen una superficie conductora como los MOSFET. Cuando el canal se forma cerca de la superficie entre el óxido y el silicio, el movimiento de los electrones depende también de la aspereza de la interfase  $\mu_s$ .

$$\mu_{tot}^{-1} = \mu_{ph}^{-1} + \mu_I^{-1} + \mu_s^{-1} \quad (2.49)$$

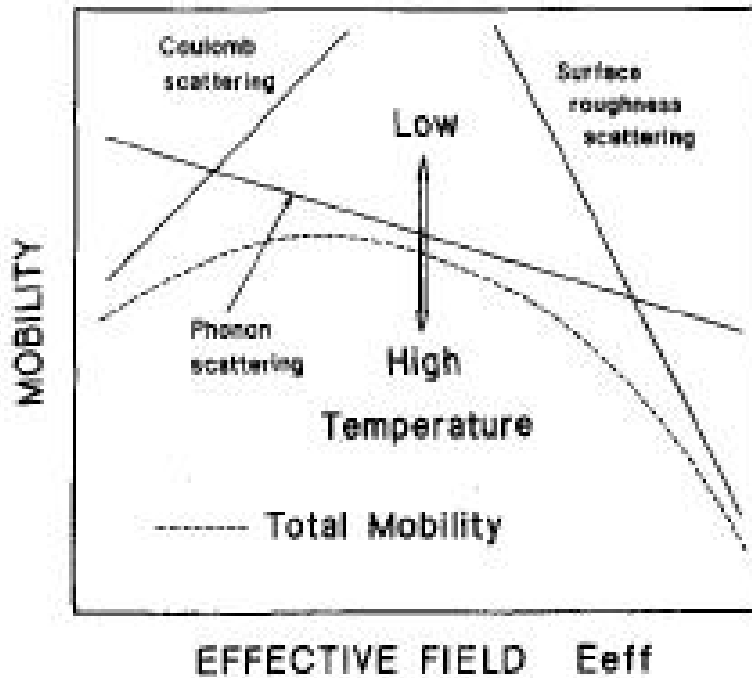


Figura 2.8: Esquema de los tres mecanismos que afectan a la movilidad en un MOSFET. Tomada de [TTIT84]

### 2.2.1. Ecuaciones de conducción y difusión

Imagine que hay una región del semiconductor en donde hay  $\rho$  portadores de carga y todos tienen una velocidad promedio  $v_d$ . La densidad de corriente será entonces  $J_d = v_d \rho$  en el caso particular de los huecos  $\rho_p = qp$  por lo que tenemos  $J_{dp} = qp v_{dp}$  uniendo esta ecuación con la ecuación 2.46 encontramos que la densidad de corriente de deriva puede expresarse como

$$J_{dp} = qp \mu_p E \quad (2.50)$$

De esta manera, si se aplica un campo eléctrico se genera una corriente en el semiconductor. Sin embargo hay otro mecanismo importante de generación de corriente que es la difusión. Las partículas tienen un movimiento browniano que hace que naturalmente se dispersen. En el caso de tener un lugar uniformemente dopado este tipo de corriente es cero, sin embargo, cuando hay diferencias en las concentraciones de determinada partícula se observa que las partículas fluyen naturalmente a lugares menos poblados. Podemos definir una corriente de *difusión* que es esencialmente proporcional al negativo del gradiente de la concentración. Escribimos entonces  $J_{dif} \propto -\nabla p$ . La constante de proporcionalidad será  $qD_p$ .  $D_p$  es la difusividad de los huecos. En una dimensión



$$J_{difp} = -qD_p \frac{dp}{dx} \quad (2.51)$$

La densidad de corriente total será la suma de las corrientes de deriva y la corriente de difusión.  $J_p = J_{dp} + J_{difp}$ . De 2.51 y 2.50 se obtiene

$$J_p = qp\mu_p E - qD_p \frac{dp}{dx} \quad (2.52)$$

El mismo análisis puede hacerse con los electrones y con las sustituciones adecuadas, podemos escribir

$$J_n = qn\mu_n E - qD_n \frac{dn}{dx} \quad (2.53)$$

### 2.3. Resumen del funcionamiento de un MOSFET

Un MOSFET tiene una arquitectura similar a lo que vemos en la figura 2.9. Hay tres regiones unidas. Un metal, una película de dióxido de silicio muy delgada y una región semiconductor.

Dependiendo del dopado del sustrato, hay dos tipos de MOSFET, el nMOS y el pMOS. En adelante nos vamos a enfocar en el transistor nMOS, sin embargo nuestro análisis es válido para pMOS con las debidas sustituciones.

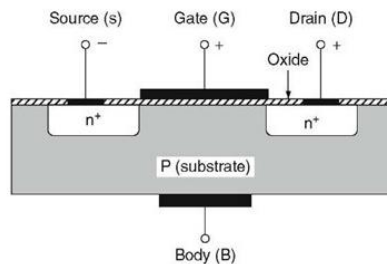


Figura 2.9: Esquema simplificado de un MOSFET

Un nMOSFET típico está compuesto por un sustrato de silicio tipo p, en donde dos regiones tipo n altamente dopadas se han colocado, usualmente por implantación de iones. Estas regiones se llaman Drenaje y Fuente (Drain y Source en inglés) Luego, sobre el sustrato que está entre las dos regiones n se oxida térmicamente el silicio para formar una capa de óxido de silicio. Sobre el óxido de silicio se implanta nuevamente una región metálica de aluminio o de poly-silicio y esta capa se llama compuerta.[Sze 297] Un dispositivo de estas

características se llama de canal n. Un dispositivo de canal p tiene características similares pero con regiones dopadas de tipo n en vez de p y viceversa.

Cuando el voltaje de compuerta es cero no hay conducción entre el drain y el source. Sin embargo, cuando el voltaje de compuerta aumenta, la población de huecos es desplazada de la interface entre el oxido y el semiconductor, de tal manera que la energía de Fermi se desplaza. Hay un momento en que el voltaje en la compuerta es suficientemente positivo como para que los electrones de esta región salten a la banda de valencia y la población de electrones se vuelve superior a la de huecos. En este momento los portadores de carga en la compuerta son mayoritariamente electrónes en vez de huecos y se ha producido una inversión: la región que originalmente fue de tipo p ahora es de tipo n. Así, con el voltaje de compuerta se puede controlar la cantidad de portadores de carga en la superficie entre el aislante y el semiconductor. Los portadores de carga son móviles y reaccionan frente a un campo eléctrico. Cuando hay una diferencia de potencial entre el source y el drain se genera una corriente y el dispositivo ha pasado al estado *on*. Vemos como se puede pasar del estado apagado al estado prendido. El dispositivo es entonces, un interruptor controlado por voltaje.

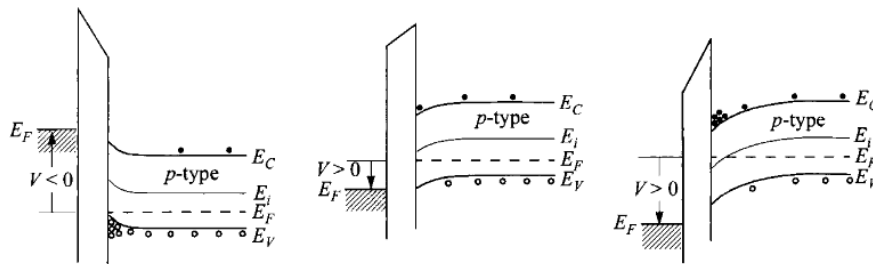


Figura 2.10: Diagrama de banda para una estructura MOS. De izquierda a derecha: Acumulación de huecos, Agotamiento, Inversión. Tomada de [SN07]

El funcionamiento del dispositivo se basa en el comportamiento de la región comprendida entre el Metal-Oxido-Semiconductor, por lo que es importante estudiar detalladamente esta región.

### 2.3.1. El Capacitor de Metal-Oxido-Semiconductor (MOS)

El diagrama de bandas de un capacitor MOS se detalla a continuación, asumiendo un voltaje de banda plana (Flat Band Voltage) de  $V_{fb}=0$ .

Cuando uno aplica un potencial a la compuerta, el nivel de Fermi cambia cerca de la interface. Vamos a medir el cambio de nivel de Fermi en el semiconductor usando el parámetro

$$\psi_p = \frac{E_i(x) - E_i(\infty)}{q} \quad (2.54)$$

que simplemente es la desviación del nivel de Fermi con respecto al nivel de Fermi normal del semiconductor dopado. La figura 2.12

Cerca de la interface, donde las bandas están dobladas, el nivel de Fermi cambia, por tanto la concentración. La concentración será entonces

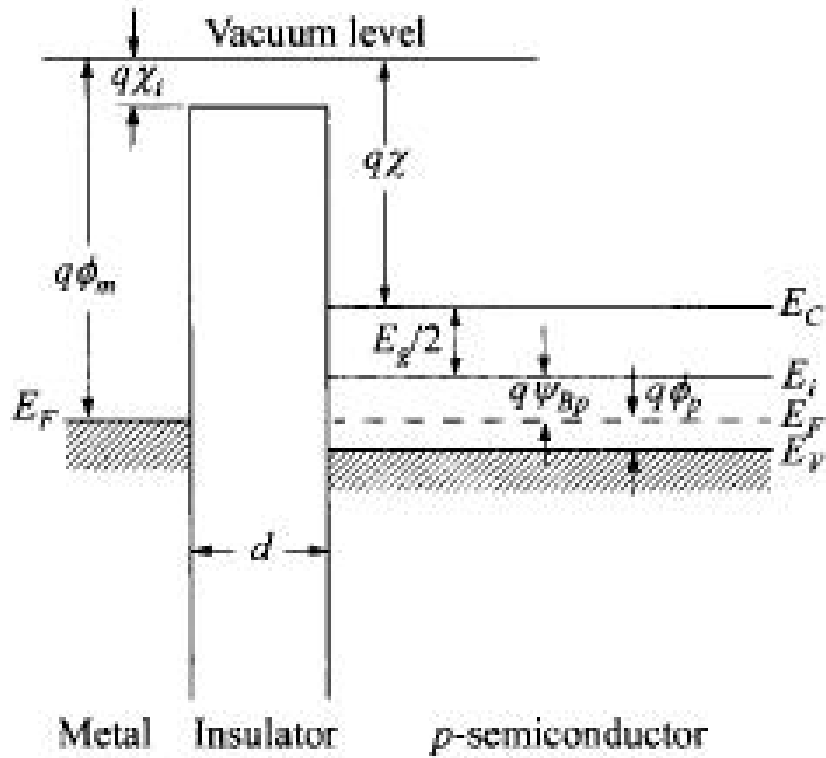


Figura 2.11: Esquema básico de un capacitor MOS. Hay una región metálica, un oxido y un semiconductor[SN07] asumiendo un  $V_{fb}=0$ .  $\chi$  son las afinidades electrónicas de el semiconductor y del oxido,  $\phi_m$  es la función de trabajo del metal

$$p_p = n_i \exp\left(\frac{q}{kT}(\psi_{Bp} - \psi_p)\right) = n_i \exp\left(\frac{q\psi_{Bp}}{kT}\right) \exp\left(-\frac{q}{kT}\psi_p\right) = p_{p0} \exp\left(-\frac{q}{kT}\psi_p\right) \quad (2.55)$$

donde  $p_{p0}$  es la concentración de huecos en un sustrato tipo p, sin ningún voltaje aplicado, análogamente

$$n_p = n_{p0} \exp\left(\frac{q}{kT}\psi_p\right) \quad (2.56)$$

$n_{p0}$  es la concentración de electrones, en un sustrato p, en equilibrio térmico. Usamos,

$$p_{p0} = n_i \exp\left(\frac{q\psi_{Bp}}{kT}\right) \quad (2.57)$$

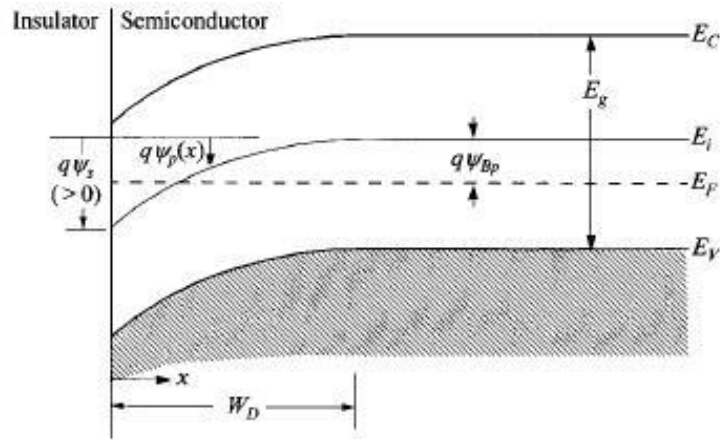


Figura 2.12: Esquema básico de un capacitor MOS. En este caso las bandas están dobladas por un potencial que se aplica a la compuerta. Se puede ver claramente el potencial  $\psi_p$ .

$$n_{p0} = n_i \exp\left(-\frac{q\psi_{Bp}}{kT}\right) \quad (2.58)$$

donde  $\psi_{Bp} = E_i - E_f$

El objetivo de nuestro análisis es saber cómo se comportan los portadores de carga en la interfaz cuando están sometidos a un potencial en la compuerta. Para esto vamos a usar la ecuación de Gauss, que relaciona un campo eléctrico con una densidad de carga

$$\nabla \cdot \vec{E} = \rho \quad (2.59)$$

La densidad de carga está dada por la suma de la densidad de los portadores de carga negativos y positivos, y de los iones fijos negativos.

$$\rho = q(p_p - n_p + N_a) \quad (2.60)$$

donde  $N_a$  es la densidad de aceptores con la que se ha dopado el sustrato. Si usamos 2.55 y en 2.59 reemplazamos  $\vec{E} = \nabla\psi_p$  obtenemos la siguiente ecuación de Poisson:

$$\nabla^2\psi_p = -q\left(p_{p0}\exp\left(-\frac{q}{kT}\psi_p\right) - n_{p0}\exp\left(\frac{q}{kT}\psi_p\right) - N_a\right) \quad (2.61)$$

Esta ecuación diferencial permite hallar el potencial  $\psi_p$  a lo largo del sustrato p, es una ecuación no lineal que se puede resolver sólo usando métodos numéricos. Sin embargo, con cierta perspicacia matemática, se puede encontrar una expresión para el campo eléctrico como función de la desviación del nivel de Fermi  $\psi_p$ . Y a su vez se usa este resultado para la densidad de carga en la

superficie (Interface oxido-semiconductor) del sustrato p. Para hacerlo hay se necesita reemplazar,

$$\frac{d^2\psi}{dx^2} = \frac{1}{2d\psi/dx} \frac{d}{dx} \left( \frac{d\psi}{dx} \right)^2 \quad (2.62)$$

Y la ecuación 2.61 se vuelve separable. Incluyo el resultado aquí.

El campo eléctrico

$$E^2 = \left( \frac{2kT}{q} \right)^2 \left( \frac{qp_{p0}\beta}{2\epsilon_s} \right) \left\{ [exp(-\beta\psi_p) + \beta\psi_p - 1] + \frac{n_{p0}}{p_{p0}} [exp(\beta\psi_p) - \beta\psi_p - 1] \right\} \quad (2.63)$$

donde  $\beta = \frac{q}{kT}$  [Sze202]. Podemos introducir las siguientes definiciones para simplificar la notación,

$$F \left( \beta\psi_p, \frac{n_{p0}}{p_{p0}} \right) = \sqrt{[exp(-\beta\psi_p) + \beta\psi_p - 1] + \frac{n_{p0}}{p_{p0}} [exp(\beta\psi_p) - \beta\psi_p - 1]} \quad (2.64)$$

El campo eléctrico puede entonces escribirse como

$$E = \pm \frac{\sqrt{2kT}}{qL_D} F \left( \beta\psi_p, \frac{n_{p0}}{p_{p0}} \right) \quad (2.65)$$

donde  $L_D$  es la longitud de Debye o de difusión,

$$L_D \equiv \sqrt{\frac{kT\epsilon_s}{p_{p0}q^2}} \quad (2.66)$$

La carga puede ser fácilmente deducida considerando la interface entre el oxido y el silicio como un capacitor de placas planas en la superficie,  $\psi_p(0) = \psi_s$  donde  $\psi_s$  es el potencial de superficie.

$$Q_s = -\epsilon_s E_s = \mp \frac{\sqrt{2kT}\epsilon_s}{qL_D} F \left( \beta\psi_s, \frac{n_{p0}}{p_{p0}} \right) \quad (2.67)$$

En la figura 2.13 se pueden ver claramente las regiones de operación de un mosfet. Cuando  $\psi_s$  es negativo, lo que se tiene es la acumulación de portadores de carga positivos en la interface. Cuando el voltaje es ligeramente positivo los portadores de carga son expulzados de la zona cercana al oxido y se genera una zona desértica. que también se ilustra en el gráfico. Luego hay toda una región de inversión debil, y posteriormente los portadores de carga aumentan muy rápidamente en la inversión fuerte.

### 2.3.2. Capacitancia en un capacitor MOS

La capacitancia en un capacitor MOS es la unión en serie de dos capacitancias. La primera es la capacitancia que surge del voltaje en el oxido, y es constante. La segunda es la capacitancia que surge de la zona desértica y que varía con la cantidad de cargas superficiales y la profundidad de la zona desértica. Podemos empezar a deducir estas curvas escribiendo que en el transistor

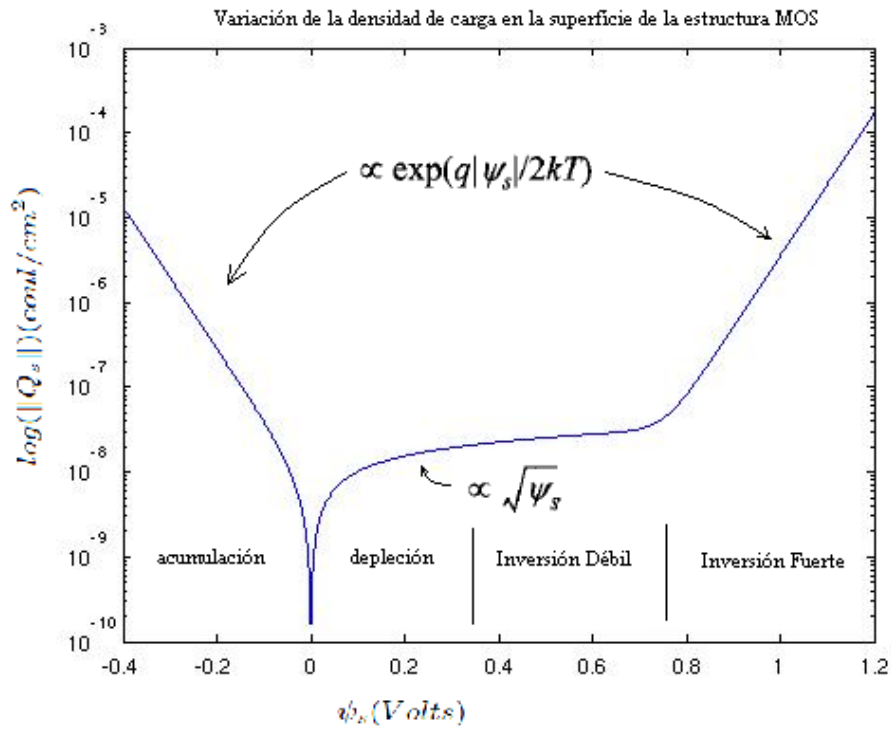


Figura 2.13: La carga en la superficie del transistor como función del potencial  $\psi_s$ . Figura generada en MATLAB.

se debe mantener neutralidad. La carga en el metal necesariamente es igual y opuesta a la carga total en el semiconductor, esto es, a la suma de las cargas en el canal y en la zona desértica:  $Q_{Me} = -(Q_{eN} + Q_{ZD})$ . Pero la carga en la zona desértica está principalmente dada por los iones fijos en el sustrato, de tal manera que es igual a  $qN_A W_D$  donde  $W_D$  es la profundidad de la zona desértica. Entonces,

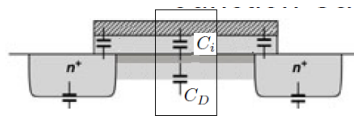


Figura 2.14: Diagrama esquemático de las capacitancias en la region Metal Oxide Semiconductor

### 2.3.3. Curvas de capacitancia en un capacitor MOS

$$Q_M = -(Q_N + qN_a W_D) = -Q_s \quad (2.68)$$

La capacitancia en el oxido es simplemente la capacitancia de un capacitor plano con espesor  $d$  y permitividad  $\epsilon_i$ . De esta manera

$$C_i = \frac{\epsilon_i}{d} \quad (2.69)$$

En cambio la capacitancia de el semiconductor está dada por

$$C_D = \frac{dQ_s}{d\psi_s} \quad (2.70)$$

donde  $Q_s$  está definida por la ecuación 2.67. El resultado de la derivada es

$$C_D = \frac{\epsilon_s}{\sqrt{2}L_D} \frac{e^{-\beta\psi_s} + 1 + \frac{n_{p0}}{p_{p0}}(e^{\beta\psi_s} - 1)}{F(\beta\psi_s, n_{p0}/p_{p0})} \quad (2.71)$$

La capacitancia total será la unión en serie de  $C_D$  y  $C_i$

$$C = \frac{C_i C_D}{C_i + C_D} \quad (2.72)$$

Es útil expresar el potencial  $\psi_s$  como una función del Voltaje aplicado sa la compuerta. Para esto basta notar que el voltaje aplicado a la compuerta aparecerá en parte en el oxido  $V_i = \mathcal{E}_i d = |Q_s|/C_i$ , y en parte en el semiconductor  $\psi_s$ . Así,  $V_G = V_i + \psi_s = |Q_s|/C_i + \psi_s$

En la figura 2.15, podemos encontrar la capacitancia en baja frecuencia de un capacitor MOS. Note que tanto para la región de acumulación como para la región de inversión fuerte la capacitancia es simplemente  $C_i$ . La razón es que tanto en la región de acumulación como en la de inversión el semiconductor tiene muchas cargas móviles y se asemeja a un metal, entonces la capacitancia es la de un capacitor de placas metalicas planas con separación  $d$ .

Cabe mencionar que la capacitancia a alta frecuencia difiere cualitativamente de la capacitancia a baja frecuencia.

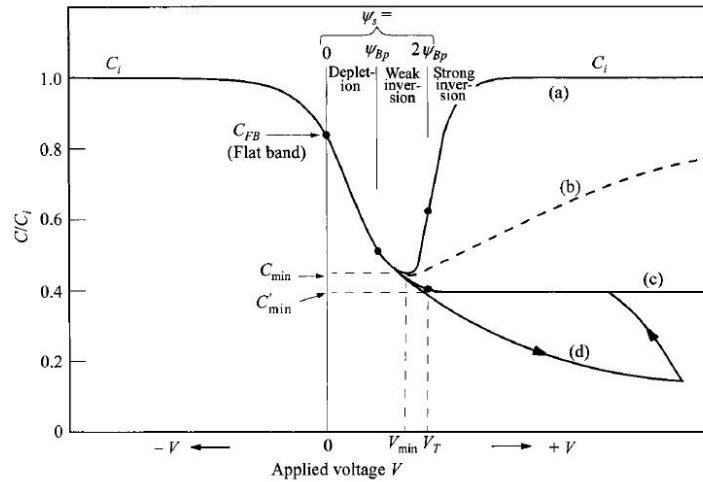


Figura 2.15: Curvas de capacitancia para un capacitor MOS. Tomada de [SN07]

### 2.3.4. El transistor MOSFET

Cuando un transistor MOSFET no tiene diferencia de potencial entre el drenaje(drain) y la fuente (source) se comporta como un capacitor. Sin embargo, cuando hay una diferencia de potencial entre los dos terminales  $V_{DS}$  el voltaje a lo largo de la compuerta no se mantiene constante. Supongamos que  $V_S = 0$  y  $V_D > 0$ . En este caso el potencial cerca de el drain es más alto y la capa de inversión se forma más fácilmente. Podemos ilustrar esto en la siguiente figura ??.

El siguiente es un gráfico de la concentración de portadores minoritarios en el canal.

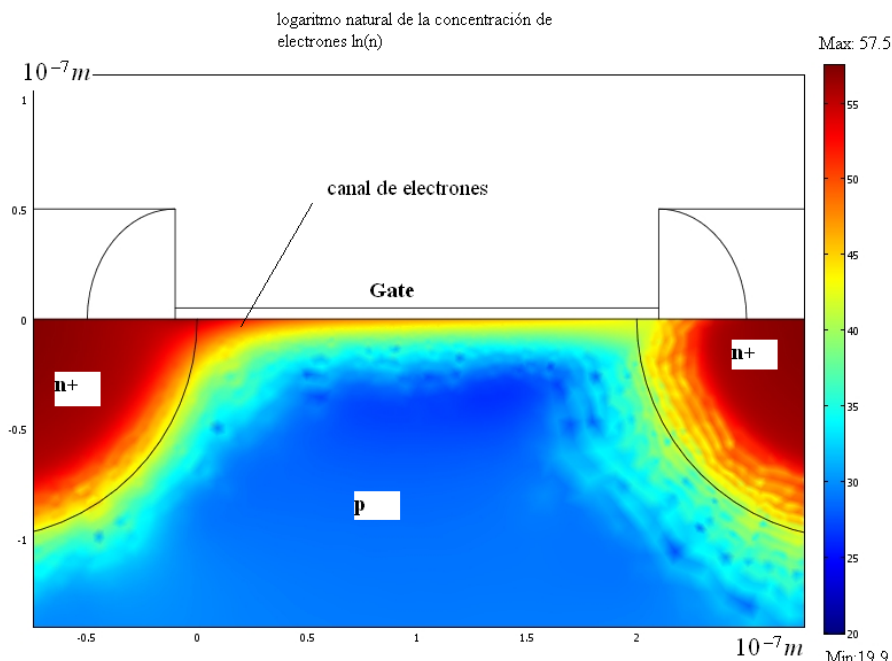


Figura 2.16: Logaritmo de la Concentración de electrones en el gate de un transistor MOSFET. Se puede ver como el grosor del canal varía a entre el drenaje y la fuente.  $V_g=0.7V$ ,  $V_d=3V$ . Esta figura fue generada con un modelo que discutiremos más adelante.

De esta manera el potencial va a ser una función de la distancia desde el drenaje hasta la fuente. Dado que el potencial de drenaje es más alto, no hay equilibrio y los electrones empiezan a fluir a travez del canal para formar una corriente de drenaje.  $I_D$  de hecho la concentración de los portadores de carga minoritarios se comporta como si hubiera un nivel de Fermi ficticio, o *quasi nivel de Fermi*  $E_{Fn}$ . El quasi Nivel de Fermi de los electrones cerca del drenaje baja una cantidad  $V_D$ , de tal manera que la concentración de electrones en el drenaje está dada por

$$n = n_{p0} \exp(\beta\psi_p - \beta V_D) \quad (2.73)$$



podemos calcular la carga de la región de inversión tomando la integral de la carga de inversión tomando en cuenta toda la profundidad de la capa de inversión. Esto es,

$$|Q_n| = \int_0^{x_i} n(x) dx \quad (2.74)$$

donde  $x_i$  es el lugar donde deja de haber inversión, es decir, donde el potencial  $\psi_p = \psi_B$ . Note que podemos calcular esta integral usando la regla de la cadena,  $dx = \frac{dx}{d\psi_p} d\psi_p = \frac{1}{d\psi_p/dx} d\psi_p$ . 2.74 se convierte en,

$$|Q_n| = \int \frac{n(\psi_p) d\psi_p}{d\psi_p/dx} \quad (2.75)$$

El término  $d\psi_p/dx$  es el negativo del campo eléctrico que calculamos en la sección de un capacitor MOS.

### 2.3.5. Ecuaciones características de la corriente de drenaje de un MOSFET

Vamos a considerar una manera de desarrollar una expresión para la corriente de drenaje en función de el voltaje de compuerta y de fuente. Para esto, usaremos un modelo llamado de película de carga. En él, asumimos que en la superficie del semiconductor tenemos una película de sin ningun ancho. Esto por supuesto introduce errores pero son aceptables [Sze300]. Para encontrar la corriente vamos a multiplicar la carga por la velocidad e integrar a lo largo del canal.

$$I_D = \frac{Z}{L} \int_0^L |Q_n(y)| v(y) dy \quad (2.76)$$

De esta manera, la expresión que se tiene es [SN07].

$$I_D = \frac{Z}{L} \mu_n C_{ox} \left\{ \left( V_G - V_{FB} - 2\psi_B - \frac{V_d}{2} \right) V_d - \frac{2}{3} \frac{\sqrt{2\epsilon_s q N_A}}{C_{ox}} \left[ (V_D + 2\psi_B)^{2/3} - (2\psi_B)^{3/2} \right] \right\} \quad (2.77)$$

Sin embargo esta ecuación puede simplificarse para tener algo más amigable. [Nea03] El resultado de la simplificación es que la corriente varía como una parábola en la región lineal o ohmnica, y luego se mantiene en ese valor constante. La expresión para  $I_D$  si  $V_D \approx 20mV$  a  $100mV$

$$I_D = \frac{Z\mu_n C_{ox}}{L} \left( V_G - V_T - \frac{V_D}{2} \right) V_D \quad (2.78)$$

[Nea03] Donde Z es la altura y L es el ancho del canal. La ecuación 2.78 es válida para la región ohmnica, es decir para  $0 < V_D < V_{Dsat}$ . Esta ecuación además necesita  $V_D \ll V_G - V_{th}$  [Sze305]. El Voltaje de umbral  $V_{threshold} = V_T$  es el voltaje de compuerta para que empiece la inversión:  $V_T = V_{FB} + 2\psi_B$  Para la región de saturación lo que usaremos es

$$I_D = \frac{Z\mu_s C_{ox}}{2L} (V_G - V_T)^2 \quad (2.79)$$

### 2.3.6. Efecto de canal corto(Short Channel Effect)

Desde la invención de los MOSFETs y el inicio de los circuitos integrados, el tamaño de un MOSFET ha decrecido en más de dos ordenes de magnitud . Conforme un MOSFET se reduce en tamaño, pierde sus propiedades iniciales, puesto que no todos los parametros físicos son escalables. Por ejemplo, la banda de energía prohibida, el parámetro  $\beta = q/kT$  se mantienen constantes. Además un problema fundamental es que el oxido de compuerta tiene que volverse más delgado y esto permite a los electrones atravesarlo por el efecto tunel[Tro09], generando un aumento en la corriente de compuerta. Los efectos de la miniaturización son básicamente 4 [SN07]:

El Voltaje de umbral  $V_T$  no se mantiene constante con los cambios en L

$I_D$  no llega a saturarse conforme se incrementa  $V_D$

$I_D$  no es proporcional a  $1/L$

Las propiedades del dispositivo se degradan con el tiempo de operación.

En particular nos interesa el cambio en el voltaje de umbral, puesto que este voltaje determina si el dispositivo está prendido o está apagado. Cuando se escala un MOSFET, se produce un efecto llamado DIBL (Drain Induced Barrier Lowering). Este efecto puede entenderse considerando la conservación de carga. El transistor entero es generalmente neutro, la carga en el sustrato, está balanceada por la carga en los electrodos de fuente, drenaje y compuerta. Si se aplica un voltaje alto en el drenaje, la zona desértica se extiende hacia la compuerta, y las bandas se curvan hacia la condición de inversión. En este caso, la compuerta tiene que hacer menos esfuerzo, es decir, tener menos voltaje para producir una inversión. En otras palabras, cuando un MOSFET es muy pequeño se vuelve difícil apagarlo.

Desde el punto de vista técnico, la potencia que disipa un transistor apagado debe ser mínima y  $P = I_{off}V_{DS}$ .  $V_{DS}$  se mantiene constante, de tal manera que se debe minimizar  $I_{off}$ . Por otro lado, para tener un desempeño óptimo del transistor, es necesaria una diferencia clara entre las corrientes de encendido y de apagado del transistor. Se necesita en general  $I_{on}/I_{off} > 10^3$

En la figura 2.18 se ilustra como las curvas características de  $I_D$  varían con respecto a la longitud de canal L. Note como para el dispositivo de canal largo, las curvas de corriente y voltaje son practicamente independientes del voltaje de drenaje  $V_D$ , sin embargo, para el dispositivo de canal corto hay una clara diferencia entre las corrientes a  $V_D = 1V$  y  $V_D = 0,5V$

### 2.3.7. Degradación de la movilidad en un MOSFET

Es importante mencionar que la movilidad depende de varios factores. La movilidad total dentro de un semiconductor, en particular de un MOSFET está dominada por la movilidad que depende de las colisiones con fonones en el cristal, la que está limitada por la aspereza en la superficie entre el semiconductor y el oxido y finalmente las colisiones coulombicas remotas. En la figura 2.8 se puede apreciar un diagrama esquemático de los 3 mecanismos.

Las interacciones con los fonones se dan cuando los portadores de carga chocan con movimientos térmicos del cristal. Si el cristal vibra térmicamente

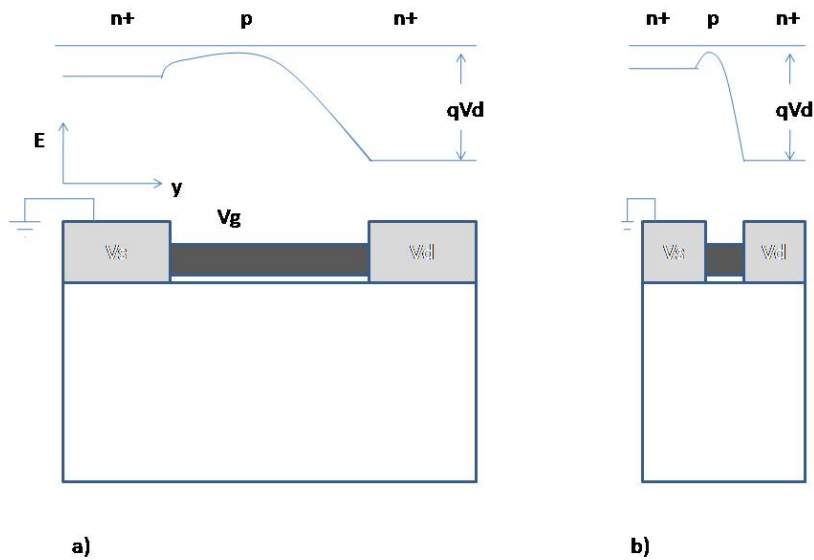


Figura 2.17: Esquema de dos MOSFETs de canal largo y corto, con los mismos voltajes de compuerta, fuente y drenaje. a) MOSFET de canal largo y su diagrama de energía b) MOSFET de canal corto y su diagrama de energía. La barrera de potencial para el MOSFET de canal corto se vuelve muy delgada y los electrones tienen más probabilidad de pasar al drenaje.

el movimiento de los portadores de carga se ve limitado. Luego, los portadores de carga también chocan contra las impurezas en el arreglo cristalino, de tal manera que la movilidad se degrada conforme el dopaje aumenta. Finalmente el último término en esta dependencia son las interacciones coulombicas.

Podemos dividir a las interacciones coulombicas en 3 tipos: interacciones con las impurezas del cristal, interacciones con cargas atrapadas en la interface entre el óxido y el metal, e interacciones con cargas dentro del óxido. [TTIT84]. En la la seccion del DGMOSFET y del SOIMOSFET discutiremos como se pueden reducir estos mecanismos usando dichos dispositivos.

## 2.4. Teoría básica de un MOSFET de doble compuerta (DG MOSFET)

Una manera de reducir los efectos de canal corto es usando un potencial para contrarestar los cambios en el  $V_{th}$ . Dos intentos para lograrlo son el DGMOSFET (Double Gate MOSFET) [DDHA06] y el SOI MOSFET (Silicon on Insulator MOSFET)[HKF83]. En esta sección nos concentraremos en el MOSFET de doble compuerta. La arquitectura básica de un DGMOSFET se muestra

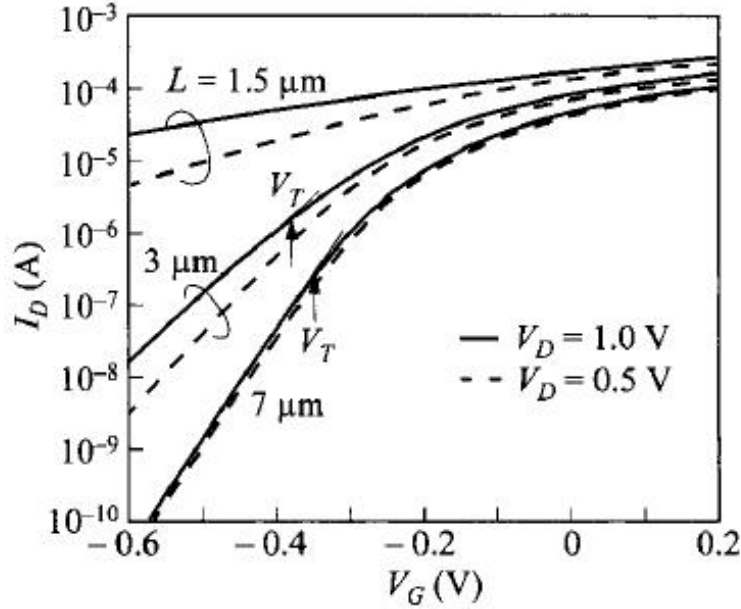


Figura 2.18: Características de corriente de drenaje para varios MOSFETs. Estas curvas ilustran la variación del voltaje de umbral  $V_T$  con la longitud del canal. Tomada de [SN07] p334.

en la figura 2.19. Vemos que básicamente se tienen dos MOSFETs juntos.

Nuestro objetivo es una vez más obtener una expresión para la corriente de drenaje en función del voltaje de drenaje y el voltaje de compuerta. Para hacerlo, empezamos nuevamente con la ecuación de Poisson para un transistor, y esta vez despreciamos los portadores de carga minoritarios,

$$\epsilon_s \frac{d^2 \psi}{dx^2} = qNc e^{\beta(\psi - V_{ch})} \quad (2.80)$$

Expresando  $\frac{d^2 \psi}{dx^2}$  como  $\frac{1}{2d\psi/dx} \frac{d}{dx} \left( \frac{d\psi}{dx} \right)^2$  se puede integrar la ecuación 2.80 entre los dos óxidos y se obtiene

$$E_{s1}^2 = \frac{2N_c k T}{\epsilon_s} \{ \exp(\beta(\psi_{s1} - V_{ch})) \} + E_{s2}^2 \quad (2.81)$$

La carga de la superficie del DG MOSFET está relacionada con los campos eléctricos y es  $Q_{inv} = \epsilon_s(E_{s1} - E_{s2})$ . De tal manera que podemos ordenar la ecuación 2.81 y Obtenemos

$$Q_{inv} = \epsilon_s \sqrt{\frac{2N_c k T}{\epsilon_s} \{ \exp(\beta(\psi_{s1} - V_{ch})) \} + E_{s2}^2} - \epsilon_s E_{s2} \quad (2.82)$$

Para encontrar la corriente integramos la densidad de corriente a lo largo del dispositivo

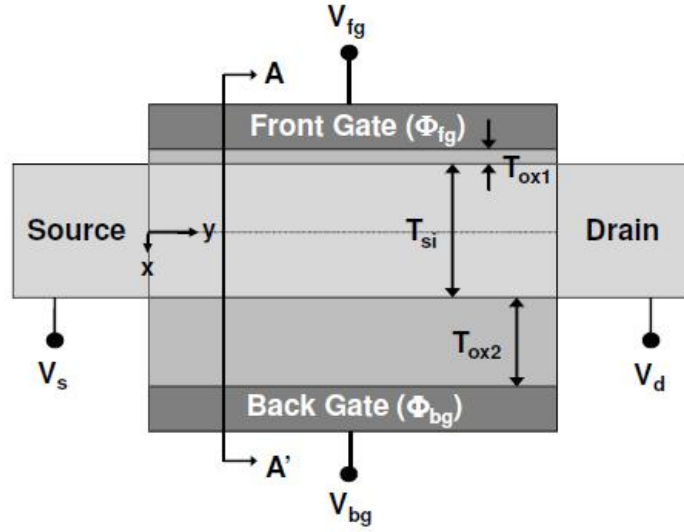


Figura 2.19: Arquitectura básica de un DG MOSFET. Tomada de [Lu11] pg. 25

$$I_D = \mu W Q_{inv} \frac{dV_{ch}}{dy} \quad (2.83)$$

Derivando implícitamente eq:  $Q_{inv}$  y tomando el promedio sobre el canal de la carga, se obtiene [Lu11]

$$I_{ds} = \mu \frac{W}{L} \left[ \frac{Q_{inv,s} + Q_{inv,d}}{2} (\psi_{s1} + \psi_{d1}) + \eta \frac{kT}{q} (Q_{inv,s} - Q_{inv,d}) \right] \quad (2.84)$$

Donde  $\mu$  es la movilidad,  $L$  es el largo del canal,  $W$  es el ancho del canal,  $Q_{inv,s}$  es la carga de inversión en la fuente, y  $Q_{inv,d}$  es la carga de inversión en el drenaje.  $\psi$  es el potencial. (s o d implican fuente o drenaje).

Además en [Kol07] se detallan una gran variedad de maneras para modelar DG MOSFETs dependiendo de las condiciones de trabajo. En este trabajo se detallan maneras de obtener una ecuación para la corriente de drenaje para dispositivos de canal largo y canal corto.

En esta tesis, vamos a tomar los resultados experimentales de [ea05]. En su trabajo, encuentran las siguientes curvas para distintos voltajes  $V_{g1}$  y  $V_{g2}$  como se ilustra en la figura 2.20. Compararemos nuestros resultados cualitativamente con los resultados experimentales reportados.

## 2.5. Teoría básica de un SOI MOSFET

Una alternativa para reducir los efectos de canal corto es el Silicio Sobre Aislante (Silicon on Insulator) SOI MOSFET. La arquitectura básica de este dispositivo se ilustra en la figura 2.21

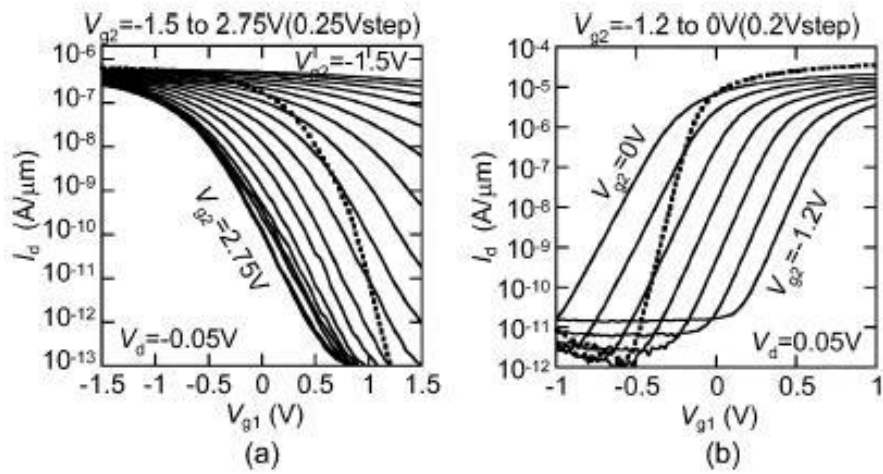


Figura 2.20: Curvas características de corriente y voltaje para un DG MOS-FET. a) p-type and b) n-type. Tomada de [ea05] pg. 2047

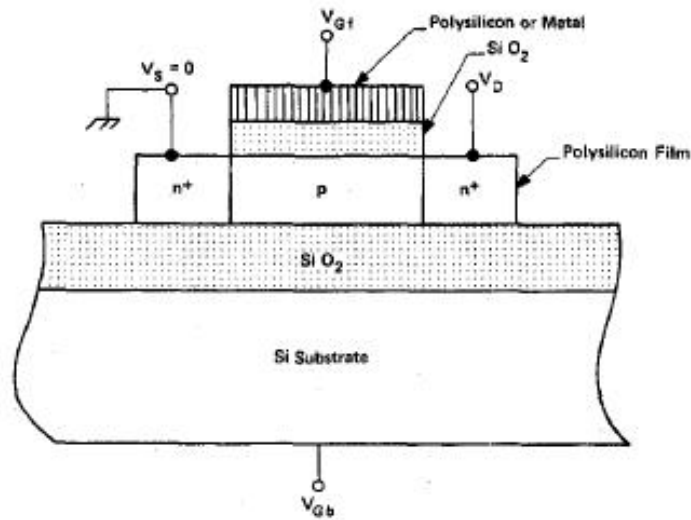


Figura 2.21: Arquitectura básica de un SOIMOSFET. Tomada de [HKF83]

Para propósitos de análisis vamos a centrarnos en una sección transversal del transistor como lo hacen Lim y Fossum en [HKF83]  
 Basta sumar voltajes en esta imagen para encontrar

$$V_{Gf} = \psi_{sf} + \psi_{of} + \phi_{MS}^f \quad (2.85)$$

Si consideramos un transistor totalmente agotado (fully depleted) la densi-

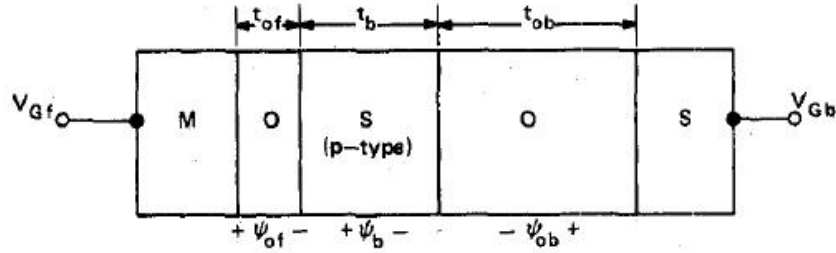


Figura 2.22: Sección transversal de un SOIMOSFET. Tomada de [HKF83]

dad de carga en el sustrato es  $-qN_A$  por lo que podemos resolver la ecuación de Poisson en una dimensión

$$\epsilon_s \frac{d^2 \psi_p}{dx^2} = -qN_A \quad (2.86)$$

Integramos la ecuación en los límites del sustrato y tenemos [HKF83]

$$\psi_b = \psi_{sf} - \psi_{sb} = E_{sf} - \frac{qt_b N_A}{2\epsilon_s} \quad (2.87)$$

Además, si aplicamos la ley de Gauss a una superficie cerrada rectangular que encierre a la interface semiconductor-oxido en la parte frontal se encuentra que

$$\psi_{of} = \frac{1}{C_{ob}} (\epsilon_s E_{sf} - Q_{ff} - Q_{cf}) \quad (2.88)$$

Si usamos las ecuaciones 2.85, 2.87 y 2.88 podemos encontrar una expresión para el voltage de compuerta, que posteriormente servirá para encontrar un voltage de umbral. Luego de resolver el sistema de ecuaciones tenemos 2.89

$$V_{Gf} = V_{FB}^f + \left(1 + \frac{C_b}{C_{of}}\right) \psi_{sf} - \frac{C_b}{C_{of}} \psi_{sb} - \frac{Q_b/2 + Q_{cf}}{C_{of}} \quad (2.89)$$

Un análisis similar, con las sustituciones adecuadas para la compuerta posterior produce

$$V_{Gb} = V_{FB}^b - \frac{C_b}{C_{ob}} \psi_{sf} + \left(1 + \frac{C_b + C_{sb}}{C_{ob}}\right) \psi_{sb} - \frac{Q_b/2 + Q_{cb}}{C_{ob}} \quad (2.90)$$

Esta ecuación nos permite buscar el voltaje de umbral anterior y posterior ( $V_{Tf}$  y  $V_{Tb}$ ) para varios valores de los potenciales de superficie frontal y posterior. A continuación vamos a escribir las ecuaciones 2.90 y 2.89 en situaciones particulares, y nos podemos servir de ciertas aproximaciones para obtener expresiones más simples.

En el caso de que la **superficie posterior en acumulación** el potencial de superficie  $\psi_{sb}$  esta sujeto a la condición de umbral que es justamente  $\psi_{sf} = 2\psi_{Bp}$

donde  $\psi_{Bp} = Ei - Ef$ , es decir, es la desviación del nivel de Fermi desde el nivel intrínseco. En este caso la carga de canal es aproximadamente cero y podemos escribir 2.89 como [HKF83]

$$V_{Gf}(\psi_{sf} = \psi_{Bp}) = V_{Tf}^A = V_{FB}^f + \left(1 + \frac{C_b}{C_{of}}\right) 2\psi_{Bp} - \frac{Q_b/2}{C_{of}} \quad (2.91)$$

Puesto que  $\psi_{sb}$ , dada la acumulación, es independiente del voltaje Vgb. Nuestro objetivo es hallar una expresión para la corriente de drenaje de un SOI-MOSFET. Para esto podemos usar la ecuación 2.92, en donde la carga está dada por el voltaje que supera al voltaje de umbral

$$Q_n = C_{of}(V_{Gf} - V_T) \quad (2.92)$$

y en el caso de la acumulación usaremos  $V_T = V_{Tf}^A$ . Esto introduce cambios en la ecuación característica de corriente de un MOSFET convencional. La ecuación 2.78 se transforma en [HKF84]

$$I_D = \frac{Z}{L} \mu_{nf} C_{of} \left[ (V_{Gf} - V_{Tf}^A) V_D - \left(1 - \frac{C_b}{C_{of}}\right) \frac{V_D^2}{2} \right] \quad (2.93)$$

y la corriente de saturación es [HKF84]

$$I_D(sat) = \frac{Z}{L} \frac{\mu_{nf} C_{of}}{1 + C_b/C_{of}} (V_{Gf} - V_{Tf}^A)^2 \quad (2.94)$$

que se obtiene maximizando la ecuación 2.93 con respecto a  $V_D$ . Estas ecuaciones resultan en curvas características similares a las de un SOI convencional. Note que en la figura 2.23 La corriente varía linealmente hasta saturarse y se mantiene saturada.



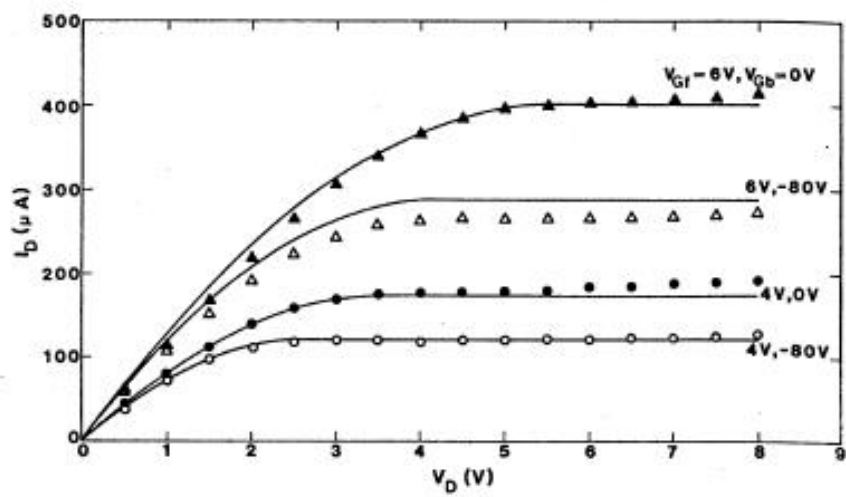


Figura 2.23: Grafico de las ecuaciones 2.94, 2.93a la vez que se compara con experimento. Tomada de[HKF84]

## Capítulo 3

# Metodología

En esta sección revisamos los métodos que se usaron para hacer las simulaciones que componen esta tesis.

### 3.1. COMSOL Multiphysics

COMSOL Multiphysics es un programa computacional que resuelve ecuaciones diferenciales en derivadas parciales usando el método de elementos finitos FEM (Finite Element Method) [COM06c]. El programa incorpora varios solvers para diferentes tipos de problemas. Hay 3 maneras de describir el sistema de ecuaciones diferenciales en derivadas parciales que usa COMSOL:

Forma de Coeficientes

Forma General

Forma Débil

El programa tiene incorporadas las ecuaciones que modelan un gran número de fenómenos, un paquete predeterminado de ecuaciones, con las condiciones de borde en particular para dichas ecuaciones se llama *modo de aplicacion*. Se pueden usar varios modos de aplicacion sobre el mismo modelo para modelar, por ejemplo, convección y difusión de los portadores de carga al mismo tiempo que el efecto electrostático que generan.

Los modelos que usamos usan en particular la forma débil.

### 3.2. Descripción General del modelo de un MOS-FET en COMSOL Multiphysics

Este trabajo se basa en los modelos provistos por COMSOL, y se pueden encontrar en [COM06a]. A continuación explico cómo funciona el modelo.

En primer lugar es necesario dibujar la geometría del sistema. Dentro de esta geometría vamos a construir una malla de puntos discretos, en donde las ecuaciones serán evaluadas. En este caso la malla se muestra en la figura 3.1,

tiene 68196 nodos y la densidad de puntos ha sido ajustada para que haya más elementos en los lugares donde hay mayor cambio en las ecuaciones diferenciales. Note que cerca de la compuerta la densidad de elementos es muy elevada.

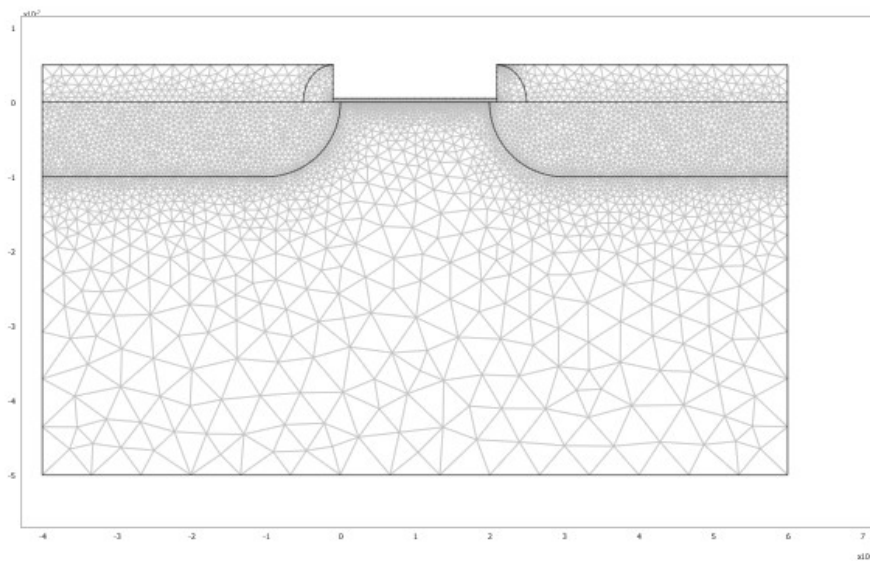


Figura 3.1: Malla del modelo para un mosfet.

Una vez definidos estos parámetros, COMSOL resuelve las ecuaciones diferenciales relacionadas con el transistor. A continuación las describimos

### 3.2.1. Sistema de ecuaciones diferenciales

El potencial dentro del transistor tiene que satisfacer la ecuación de Poisson 2.61, además la distribución de carga varía de acuerdo con las ecuaciones de transporte de portadores de carga 3.2,3.3, y la tasa de recombinación de portadores de carga está dada por 3.6. Como un resumen, incluyo las ecuaciones aquí.

Ecuación de Poisson,

$$\nabla \cdot (\epsilon \nabla \psi_p) = -q \left( p_{p0} \exp\left(-\frac{q}{kT} \psi_p\right) - n_{p0} \exp\left(\frac{q}{kT} \psi_p\right) - N_a \right) \quad (3.1)$$

Ecuaciones de las densidades de corriente,

$$J_p = -qp\mu_p E - qD_p \nabla p \quad (3.2)$$

$$J_n = -qn\mu_n E + qD_n \nabla n \quad (3.3)$$

$$-\nabla J_p = -qR_{SRH} \quad (3.4)$$

$$-\nabla J_n = -qR_{SRH} \quad (3.5)$$

La tasa de recombinación de Shokley-Read-Hall

$$R_{SRH} = \frac{\sigma_n \sigma_p v_{th} N_t (pn - n_i^2)}{\sigma_n (n + n_i) + \sigma_p (p + n_i)} \quad (3.6)$$

### 3.2.2. Simulación

Para que el modelo tenga una mejor convergencia, se usan los siguientes pasos.

1. Se encuentra al potencial en todo el transistor usando  $V_d=0$ , para ser usado como condición inicial para la simulación.
2. Usando la solución del paso anterior se encuentra la solución de las ecuaciones acopladas de Poisson y las ecuaciones de transporte.

Para lograr esto, se definen cuatro *modos de aplicación*

1. Modo de aplicación electrostático inicial ( para encontrar el potencial inicial dado el dopaje ). Se resuelve el problema para  $\psi_{p,init}$

La ecuación que se resuelve es

2. Modo de aplicación electrostático permanente. Se resuelve el problema para  $\psi_p$ .
3. Modo de aplicación de convección y difusión para electrones  $n$
4. Modo de aplicación de convección y difusión para huecos  $p$

En los dos modos de aplicación de convección y difusión, la ecuación que se resuelve es

$$\nabla (-qD_n \nabla n + qn\mu_n \nabla \psi_p) = R_{SRH} \quad (3.7)$$

para electrones y con las sustituciones apropiadas se encuentra una ecuación para huecos

### 3.2.3. Condiciones de Dominio y de Borde

En cada modo de aplicación se usan las condiciones de dominio y borde adecuadas. Las describimos a continuación.

### Modo de aplicación electrostático Inicial

En este caso las cantidades que cambian con respecto al material del que el dominio está compuesto son la permitividad y la densidad de carga. Se definirá entonces  $\epsilon_s = k_s \epsilon_0$  para las regiones de silicio, y  $\epsilon_{ox} = k_{ox} \epsilon_0$  para el oxido de silicio.

En este modo de aplicación es importante definir el dopaje para el sustrato en general, y para las junturas n+. En el modelo se hace que las regiones n+ tengan un dopaje de  $10^{21} \text{cm}^{-3}$  y el sustrato tendrá un dopaje de  $10^{17} \text{cm}^{-3}$ . La transición entre estos dominios tiene que ser suave, así que asumimos una transición gaussiana entre los dos dopajes. [COM06a] pg.424. La ecuación que define el dopaje de todo el transistor es la siguiente.

$$N_{doping} = N_{Dimpl} * flgauss(x, y, x1, 0, ch) + N_{Dimpl} * flgauss(x2 - x, y, x1, 0, ch) - N_{Asub} \quad (3.8)$$

$$flgauss(x, y, x1, y1, ch) = (e^{-((y-y1)/ch)^2} * (y < y1) + (y \geq y1)) * (e^{-((x-x1)/ch)^2} * (x > x1) + (x \leq x1)) \quad (3.9)$$

Donde

$N_{doping}$  es la concentración de impurezas en todo el transistor

$N_{Dimpl}$  es la concentración de *Donores* implantados en las regiones n+

$N_{Asub}$  es la concentración de *Aceptores* en el sustrato

$ch$  es la longitud característica de la juntura y está dada por  $\frac{yj}{\sqrt{\log(N_{Dimpl}/N_{Asub})}}$  [COM06a] pg. 462.

$x1, y1$  son coordenadas de referencia.

Lo que la función flgauss hace está ilustrada en la figura. 3.2. Estas dos ecuaciones se encargan de modelar el dopaje en todo el dispositivo.

Las condiciones de borde se ilustran en la Figura 3.3 y son las siguientes[COM06b]:

**Simetría** Esto implica que no hay campo eléctrico fluyendo por esta superficie.

En otras palabras  $\vec{n} \cdot \vec{E} = 0$  Donde  $\vec{n}$  es un vector unitario normal a la superficie.

**Continuidad** Esta condición establece que el flujo de campo electrico por el borde es continuo, es decir  $\vec{n} \cdot (\epsilon_1 \vec{E}_1 + \epsilon_2 \vec{E}_2) = 0$

**Electric Potential** En esta condición, se fuerza al voltaje a ser una determinada cantidad en la interface.  $\psi = V_0$ . En este modo de aplicación, por ejemplo, hacemos que el potencial eléctrico en la compuerta sea  $\psi_{gate} = V_G$ .

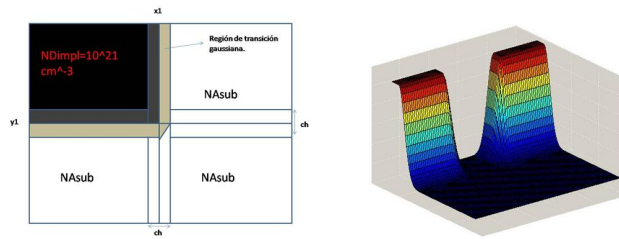


Figura 3.2: Izquierda. Ilustración de lo que hace la función  $N_{Dimpl} flgauss(x, y, x1, y1, ch) - N_{Asub}$  descrita en la ecuación 3.8. Note que en los puntos donde  $x|x1$  y  $y|y1$  la concentración es igual a  $N_{Dimpl}$ , en el resto del espacio la concentración es  $N_{Asub}$  y la transición es paulatina entre estas dos regiones. Derecha. Ilustración de la variable  $N_{doping}$  en el transistor, producida por la ecuación 3.8. Note la alta concentración en las regiones de la fuente y el drenaje.

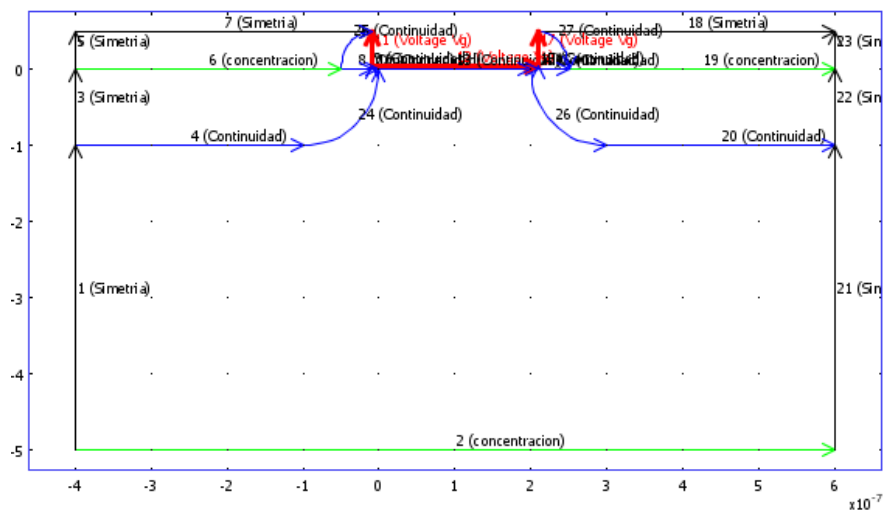


Figura 3.3: Condiciones de borde para el primer modo de aplicación: Electrostático inicial

### Modo de aplicación electrostático permanente

En este modo de aplicación se reciclan las condiciones de borde y dominio que se utilizaron en el primer modo de aplicación. La única diferencia es que COMSOL impone ahora que el voltaje en el drenaje ya no sea simplemente el dado por las cargas en el dopaje, sino que hace que el voltaje de drenaje sea  $V_G$ . Podemos construir una figura para ilustrar esto.

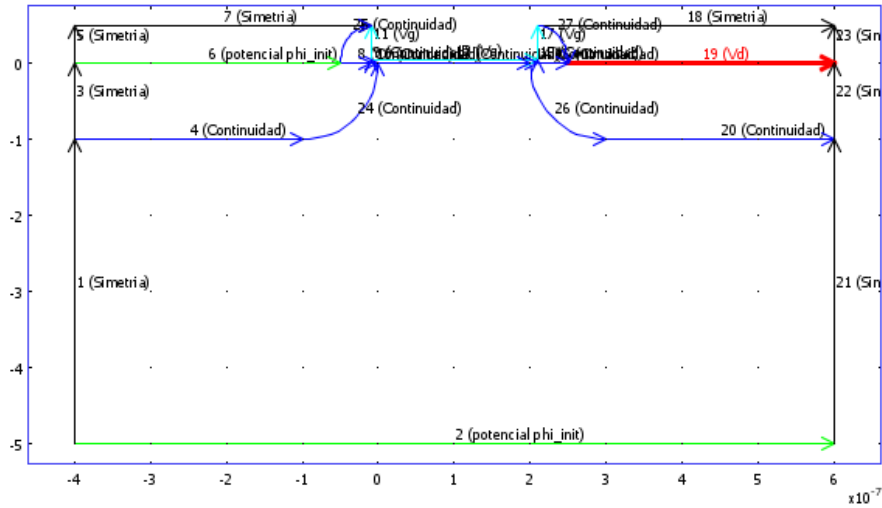


Figura 3.4: Condiciones de borde para el primer modo de aplicación:Electrostático Permanente

### Modo de aplicación de convección y difusión para electrones

La convección y difusión solo ocurre en el silicio. De esta manera desactivamos todos los subdominios que no sean silicio para este modo de aplicación. Las condiciones de borde que el modelo impone son

**Aislamiento** Es decir  $\vec{n} \cdot \vec{J} = 0$

**Continuidad** La densidad de corriente se mantiene a los dos lados de el borde, esto es  $\vec{n} \cdot (\vec{J}_1 + \vec{J}_2) = 0$

**Concentración** se impone una concentración específica en este lugar.  $n = n_0$

En la figura 3.5 se ilustran las condiciones de borde para este modo de aplicación. Note que hay varios bordes en donde la condición inicial es de concentración. la condición en estos bordes es la ecuación 3.10 y en este caso podemos escribirla así

$$n_{n0} = \frac{1}{2} \left[ (N_{doping}) + \sqrt{N_{doping}^2 + 4n_i^2} \right] N_{doping} > 0$$

$$\frac{n_i^2}{|N_{doping}|/2 + \sqrt{N_{doping}^2/4 + n_i^2}} N_{doping} < 0 \quad (3.10)$$

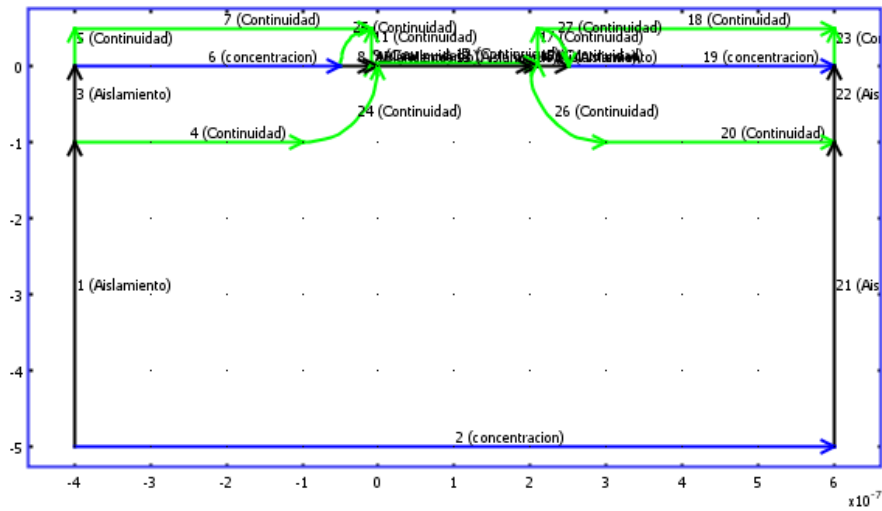


Figura 3.5: Condiciones de borde para el modo de aplicación de convección y difusión de electrones.

### Modo de aplicación de convección y difusión para huecos

Este modo de aplicación usa las mismas condiciones que el modo de aplicación anterior, por supuesto con las sustituciones adecuadas.

#### 3.2.4. Programa para ejecutar el solucionador

Dado que el problema es no lineal, la aproximación que hace COMSOL para lograr convergencia es resolver el modelo paraméricamente. Se resuelve



para cuando el  $V_g=0.8$  y  $V_d=0$ , y luego se aumenta  $V_d$  en pequeños pasos. El programa utilizado se muestra a continuación: [COM06a]

```
init \= assemnit(fem);% Se inicializa el modelo
fem.sol=femstatic(fem, ... % Este comando resuelve el problema,
'init',init, ...
'solcomp',{'phi0'}, ...
'outcomp',{'lm3','phi','phi0','pc','nc','lm4'});
fem0=fem;
fem.sol=femstatic(fem, ...           %aquí se construye una solución inicial
'init',fem0.sol, ...
'solcomp',{'lm3','phi','pc','nc','lm4'}, ...
'outcomp',{'lm3','phi','phi0','pc','lm4','nc'}, ...
'pname','Vd', ...
'plist',[0:0.02:0.2 0.25:0.05:1]);
fem0=fem;
```

### 3.3. Descripción del modelo propuesto para un DGMOSFET

En esta sección detallo las modificaciones que se hicieron al modelo desarrollado por COMSOL para obtener un DG MOSFET.

#### 3.3.1. Definición de la Geometría

La primera aproximación a este dispositivo es reflejarlo con respecto al sustrato. De esta manera se tiene una especie de doble mosfet como se puede ver en la figura ??

#### 3.3.2. Definición del dopaje en el transistor

La función que modela el dopaje en el transistor tiene que cambiar para tomar en cuenta las regiones n+ nuevas que se han generado. Para hacerlo nos basamos en la ecuación 3.9 y 3.8 y reflejamos las funciones con respecto a un eje transversal. El resultado se muestra en la figura 3.6

Por alguna razón el modelo no acepta tener el mismo dopaje en las regiones n+ posteriores y anteriores. Cuando se hace que sea la misma concentración de impurezas el modelo simplemente no converge. La razón escapa a mi comprensión.

#### 3.3.3. Malla

Los mejores resultados se obtuvieron con una malla de las características que se detallan a continuación:

#### 3.3.4. Código para el Solver

Para resolver el problema usamos el siguiente código, que fue inspirado del trabajo de S.Guidon [Gui05]

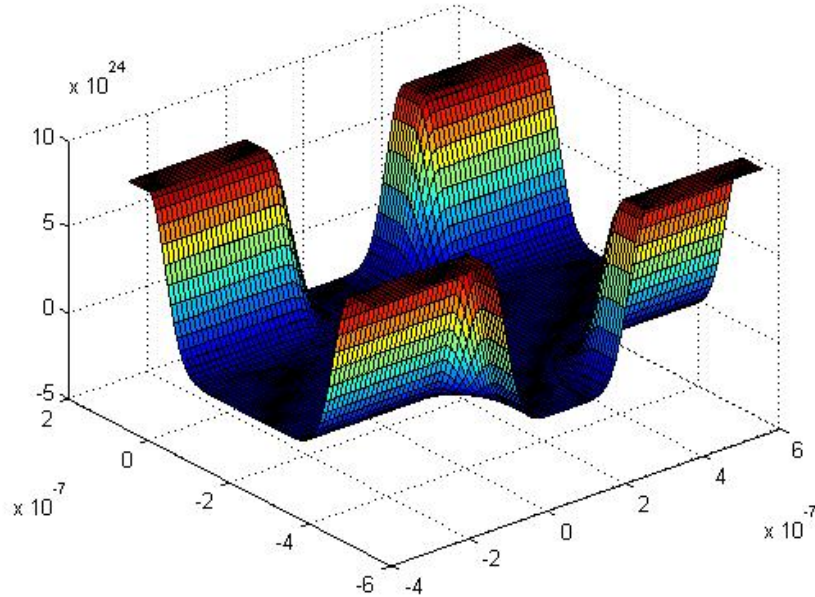


Figura 3.6: Grafico donde se muestran las concentración de impurezas en el DGMOFET.

Numero de elementos:	16657
Número de elementos en la compuerta inferior:	625
Número de elementos en la compuerta superior:	75
Número de elementos en el sustrato:	6414

Cuadro 3.1: Estadísticas de la Malla

```
% Solver script
fem1.xmesh=fem.xmesh;
fem1.sol=assemnit(fem1,'u',zeros(flngdof(fem),1));
fem0.xmesh=fem.xmesh;
fem0.sol=assemnit(fem0,'u',zeros(flngdof(fem),1));
init = assemnit(fem,'u',fem0.sol);
fem.sol=femnlin(fem, ...
'init',init, ...
'nullfun','fnullorth', ...
'solcomp',{'phi0'}, ...
'outcomp',{'lm3','phi','phi0','nc','lm4','pc'}, ...
'pname','Vd', ...
'plist',[0.005], ...
'hmlin','on');
fem0=fem;
```

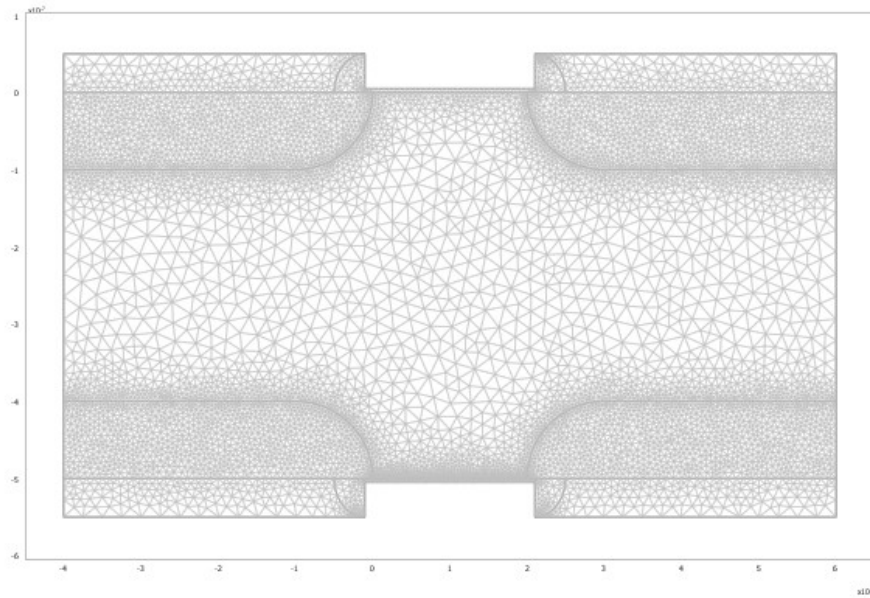


Figura 3.7: Malla para el DGMOSFET.

```

init = assemnit(fem,'u',fem0.sol);
fem.sol=femnlin(fem, ...
'init',init, ...
'nullfun','fnullorth', ...
'solcomp',{'lm3','phi','nc','lm4','pc'}, ...
'outcomp',{'lm3','phi','phi0','nc','lm4','pc'}, ...
'pname','Vd', ...
'plist',[0.005], ...
'hnlm','on');
fem1=fem;
%Determination of initial solutions at Vg1=0
% Constants
fem.const={'Vg1','0'}
fem.sol=femnlin(fem, ...
'init',fem1.sol, ...
'nullfun','fnullorth', ...

```

```

'solcomp',{'lm3','phi','nc'}, ...
'outcomp',{'lm3','phi','phi0','nc','lm4','pc'}, ...
'pname','Vg2', ...
'plist',[0:.2:2], ...
'hmlin','off');
fem2=fem;
%Loop on Vg2 values and variation on Vg1
for nn=1:11
% Constants
fem.const={'Vg2',0.2*(nn-1)};
init =assemnit(fem,'init',fem2.sol,'solnum',nn);
fem.sol=femnlin(fem, ...
'init',init, ...
'nullfun','fnullorth', ...
'solcomp',{'lm3','phi','nc','lm4','pc'}, ...
'outcomp',{'lm3','phi','phi0','nc','lm4','pc'}, ...
'pname','Vg1', ...
'plist',[0:.05:1], ...
'hmlin','off');
%Table of the fem structures
femT(nn)=fem;
end

```

Este modelo funciona, sin embargo, el problema tiene graves problemas de convergencia. En este trabajo no se ignora a los portadores minoritarios de carga. Lo que parecería ser una buena opción para optimizar la convergencia y el gasto computacional.

Los resultados de este modelo se discuten en la sección de resultados.

### 3.4. SOI-MOSFET

En el caso del SOI MOSFET, añadimos una gate en la parte de atrás del dispositivo, de tal manera que se observa una segunda compuerta. El modelo de DG-MOSFET y de SOI-MOSFET son en realidad muy parecidos. La diferencia radica en que el SOI-MOSFET no tiene ni fuente ni drenaje en la parte posterior. A parte de estas dos diferencias, son básicamente iguales.

En el modelo para el SOI-MOSFET despreciamos a los portadores mayoritarios de carga, es decir, no resolvemos el problema para los huecos. Dado que es un dispositivo que trabaja en inversión y completamente agotado, se obtienen buenos resultados.

Usamos dos tipos de arquitectura: un SOI-MOSFET con el Si ancho del que encontramos las características cualitativas y un SOI-MOSFET fino que caracterizamos y encontramos los parámetros cuantitativos, como la variación en el  $V_{th}$ , etc.

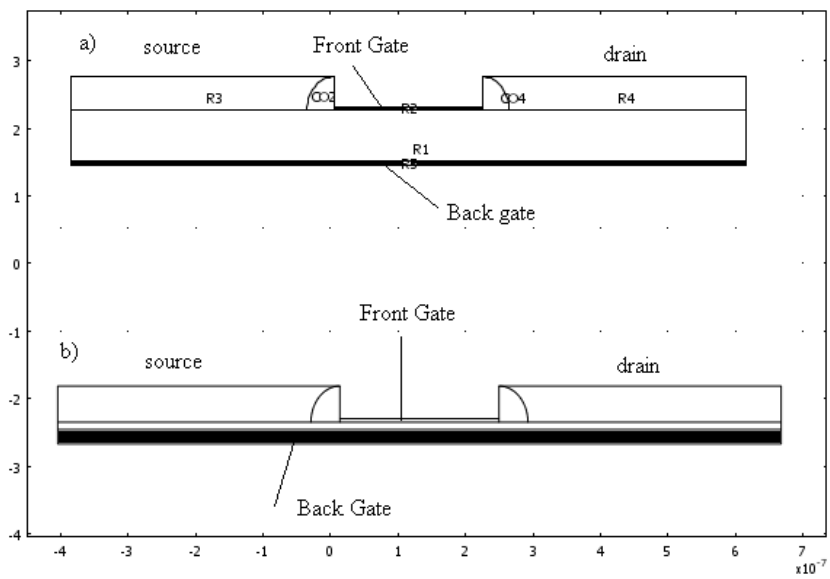


Figura 3.8: Arquitecturas de SOI-MOSFETs. a) SOI-MOSFET ancho utilizado para ilustrar aspectos cualitativos. b) SOI-MOSFET delgado utilizado para caracterizar al dispositivo. Las dimensiones son: front gate 5nm, back gate 20nm, longitud de front gate 220nm.

## Capítulo 4

# Resultados del modelo de MOSFET

### 4.1. Resultados cualitativos para un MOSFET de canal regular

En esta sección vamos a incluir los resultados de las simulaciones hechas con el modelo proporcionado por COMSOL Multiphysics. Se discutirán resultados cualitativos que se pueden apreciar con el modelo y que pueden ser usados para explicar el funcionamiento de este dispositivo.

Vamos a describir los resultados detallados de los 4 modos de aplicación de COMSOL mencionados en la metodología de este trabajo.

#### 4.1.1. Modo Electrostático Inicial

Como lo hemos mencionado ya, este modo simplemente calcula las condiciones iniciales de potencial y de concentraciones de portadores de carga para iniciar la simulación. Esta simulación en particular tiene un  $V_g=0.8V$  fijo y  $V_d$  varía entre 0 y 1V.

El potencial inicial es

Note en la siguiente figura la densidad de carga a  $V_d=0$ .

#### 4.1.2. Modo Electrostático Permanente

El modo electrostático permanente es el Modo de aplicación que resuelve iterativamente el potencial para todo el transistor.

Hay algunas características cualitativas interesantes en el modelo, por ejemplo, la figura 4.4 muestra la distribución de la carga en el transistor. Note la región desértica cerca de las junturas n-p además, se muestra la carga negativa de inversión en la compuerta.

La curva de corriente de drenaje  $I_{ds}$  vs voltaje de drenaje  $V_D$ .

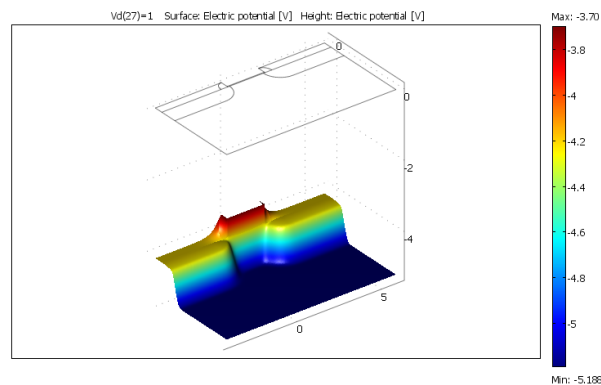


Figura 4.1: Potencial en el dispositivo cuando  $V_d = 0$

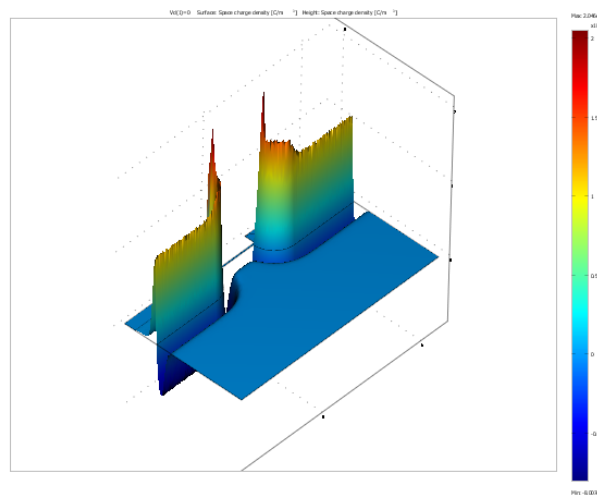


Figura 4.2: Potencial en el dispositivo cuando  $V_d = 0$

### 4.1.3. Modo Conducción y Diffusion de electrones

Este modo de aplicación muestra como se comportan los electrones en el MOSFET. Note en la figura 4.6 como la concentración de electrones decrece cerca de el drenaje

#### Formación del canal en un MOSFET

Es fundamental para el funcionamiento del mosfet, entender la formación de un canal de portadores de carga en la interface  $Si - SiO_2$ . Las figuras a continuación corresponden a una simulación en donde el Voltaje de compuerta varía, se tiene un voltaje de drain fijo  $V_d=0.7V$ . Note como la concentración de electrones aumenta y eventualmente el Drenaje y la Fuente están conectadas.

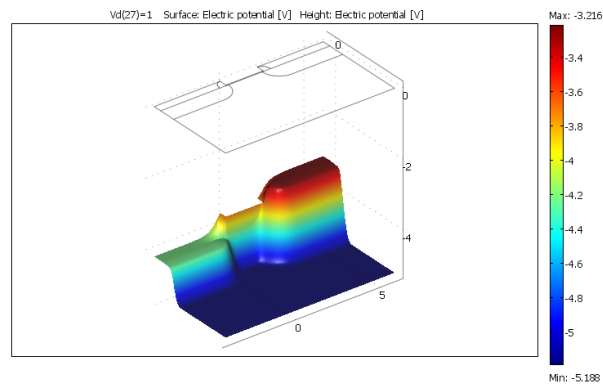


Figura 4.3: Potencial en el dispositivo cuando  $V_d=1V$ . Video para valores  $0 < V_d < 1$ : Video de la simulación

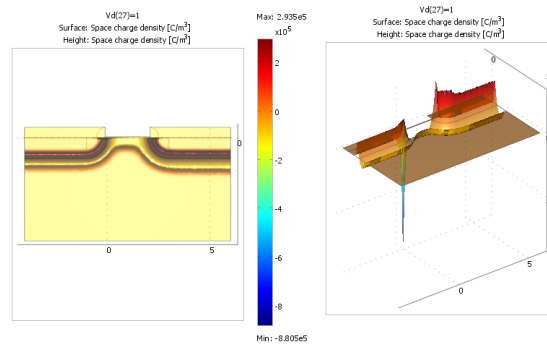


Figura 4.4: Potencial en el dispositivo cuando  $V_d=1V$ . Video para valores  $0 < V_d < 1$ : Video de la simulación

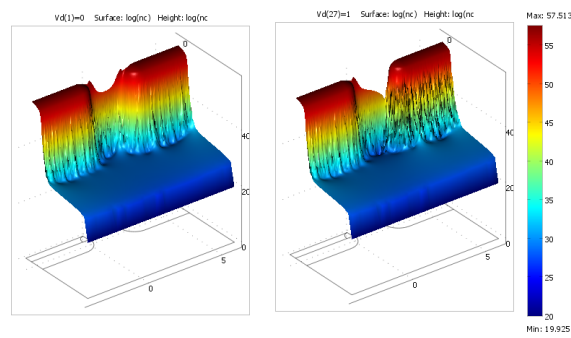


Figura 4.5: logaritmo de la concentración de electrones. Izquierda  $V_d=0$ . Derecha  $V_d=1V$ . Note como los electrones son aspirados por el voltaje en el drain. Video de la simulación



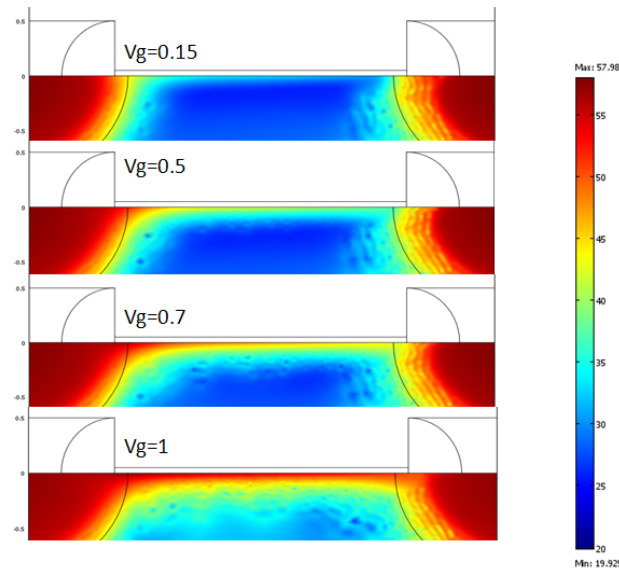


Figura 4.6: Formación del canal. Note como la concentración sube en la interface Si-oxido.. Video de la simulación

#### 4.1.4. Modo Conducción y Diffusion de huecos

Es interesante notar la distribución de los huecos en el transistor. En el sustrato p, hay una alta concentración de portadores de carga, sin embargo, cerca de las regiones n la concentración baja dramáticamente.

## 4.2. Caracterización de un MOSFET de canal regular

En esta sección vamos a explorar a fondo los parámetros de el transistor. Se presentarán las curvas características del transistor y serán comparadas con curvas experimentales y teóricas para dispositivos similares.

### 4.2.1. Carga del transistor

La carga del transistor fue simulada con  $V_d=0$  de tal manera que el transistor se comporta como un capacitor MOS. Para encontrar la carga  $Q_s$ . Sin embargo, es posible que esta suposición sea fuente de errores.

Resulta interesante comparar los resultados de la figura 4.8. Note que el potencial superficial varía linealmente como función de  $V_g$  al inicio, y luego se mantiene relativamente constante. Esto se debe a que cuando la carga es pequeña en la superficie, el potencial se superficie es proporcional a  $V_g$ , pero una vez que se ha formado una capa de inversión, la diferencia entre  $V_g$  y  $\psi_s$  se mantiene constante y es igual al voltaje que cae en el óxido.  $\psi_s$  fue calculado haciendo un promedio de el potencial en la superficie del transistor. Ciertamente

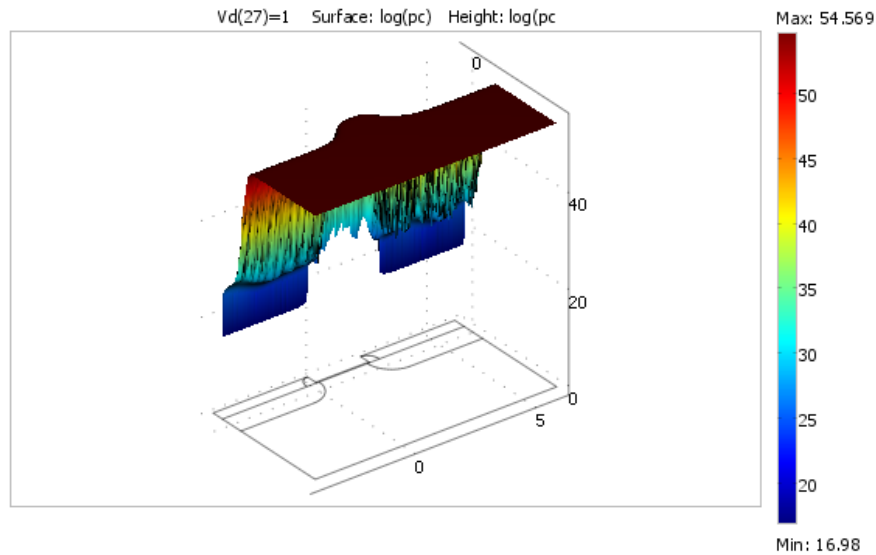


Figura 4.7: logaritmo de la concentración de huecos. Como es de esperarse, la concentración es alta en el sustrato p y decrece conforme uno se acerca a las regiones n, o a la compuerta.

el potencial de superficie está influenciado por las regiones n que distorsionan el valor promedio del potencial. Para lograr un mejor resultado se podría hacer un modelo de capacitor MOS en COMSOL Multiphysics en donde no exista la distorsión producida por las regiones n.

En las figuras referentes a la carga del capacitor. Se puede ver la relación entre las figuras 4.8 b) y c) tomando en cuenta a). Para la región donde  $\psi_s$  y  $V_g$  son proporcionales las dos figuras se ven parecidas, pero cuando  $\psi_s$  empieza a ser constante, se nota una diferencia. Note también que las figuras 4.8 c) y d), coinciden en las regiones de acumulación, de agotamiento y de inversión débil. Para la región de inversión fuerte, la simulación difiere significativamente de la teoría. Las razones posibles pueden ser: 1) la teoría es de un capacitor MOS y la simulación es de un transistor MOSFET con  $V_d=0$ , sin duda se introduce un error por las regiones n, como ya mencionamos. 2) Es probable que para inversión fuerte, el modelo en sí no de buenos resultados, dadas las ecuaciones exponenciales de la concentración que pueden causar errores numéricos y problemas de convergencia.

Finalmente, es notoria la diferencia en los Voltajes entre los resultados teóricos y la simulación. Se puede explicar esta discrepancia tomando en cuenta que el nivel de referencia de las simulaciones es el vacío. De tal manera que cuando  $V_g=0$ , el voltaje real de la compuerta es de la afinidad eléctrica del polisilicio

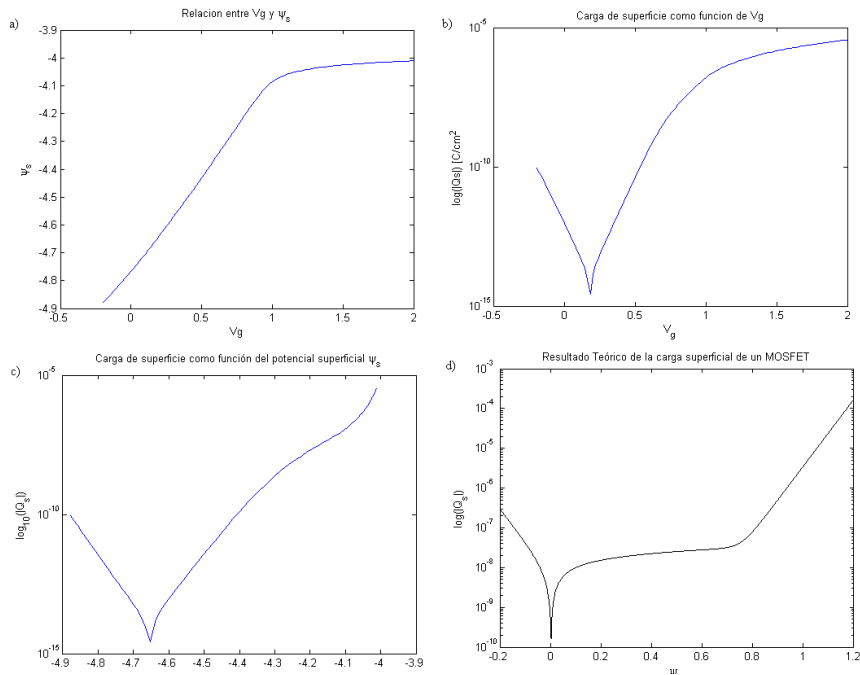


Figura 4.8: a)Potencial de superficie como función de  $V_g$ . b)Carga superficial como función de  $V_d$  c) Carga superficial como función de  $\psi_s$  d) Resultado Teórico de la carga superficial generado con la ecuación 2.67. a,b,c fueron generadas en un modelo de COMSOL exportado a MATLAB. d) Carga superficial teórica de un capacitor MOS, generada en MATLAB

$X_{poly} = 4,5$ . Usamos una afinidad electrónica para el silicio de  $X_{si} = 4,0$ . Estos valores son aproximados y en el futuro se podría mejorar el modelo usando la afinidad electrónica real del policilicio tipo n dopado con  $10^{19}cm^{-3}$  impurezas.

#### 4.2.2. Capacitancia del transistor

En la parte teórica de este trabajo se hizo una descripción de cómo es la capacitancia teórica de un capacitor MOS 2.71. A continuación presentamos una comparación entre el resultado teórico de la capacitancia del semiconductor, y el resultado de la simulación. En la figura 4.9 se observa la forma de las curvas de capacitancia teórica y simulada. Cualitativamente son semejantes. Varían en los valores, pero note que si se establecen los límites correctos de los gráficos, las dos figuras serían muy parecidas.

Respecto a la figura 2.15 que se presentó en la parte teórica note que las curvas de capacitancia, tanto teórica como simulada, son muy parecidas a la primera parte del gráfico, en donde la capacitancia se reduce drásticamente a partir de un punto. Luego, las capacitancias obtenidas difieren de lo mencionado en la parte teórica. Las razones son dos: en estos gráficos presentamos solamente la capacitancia de el semiconductor  $C_D$  y no la capacitancia total  $C = \frac{C_i C_D}{C_i + C_D}$ . Luego, creemos, como ya lo hemos discutido, que para el regimen de inversión

fuerte, la simulación no coincide con la realidad.

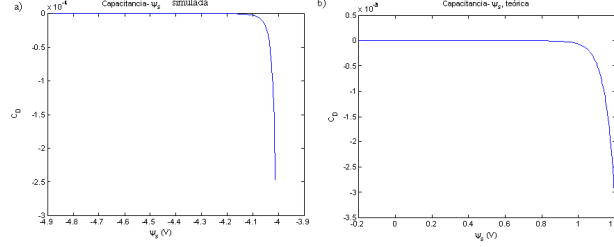


Figura 4.9: En esta figura comparamos la capacitancia del dispositivo a) simulada y b) teórica

### 4.2.3. Características $I_D - V_G$ y $I_D - V_d$

La ecuación que describe las curvas características de Voltaje y de corriente para un transistor MOSFET están dadas por la ecuación 2.77 que incluimos a continuación.

$$I_D = \frac{Z}{L} \mu_n C_{ox} \left\{ \left( V_G - V_{FG} - 2\psi_B - \frac{V_d}{2} \right) V_D - \frac{2}{3} \frac{\sqrt{2\epsilon_s q N_A}}{C_{ox}} \left[ (V_D + 2\psi_B)^{2/3} - (2\psi_B)^{3/2} \right] \right\} \quad (4.1)$$

Usaremos el parámetro  $Z$  para como un parámetro de calibración entre la solución producida por el simulador y la teoría. Posteriormente este parámetro nos será útil para calibrar las soluciones del DG MOSFET y el SOI MOSFET. Además se hizo un ajuste también del parámetro  $V_{fg}$  puesto que en la simulación se usó simplemente una diferencia de afinidades eléctricas empíricas. En la figura ?? se puede ver que inicialmente, para la región lineal, se tiene una buena correlación entre la simulación y la curva teórica, que luego disminuye hasta que finalmente se tiene una corriente constante de saturación en el modelo teórico, pero la corriente aumenta para la simulación a una tasa constante.

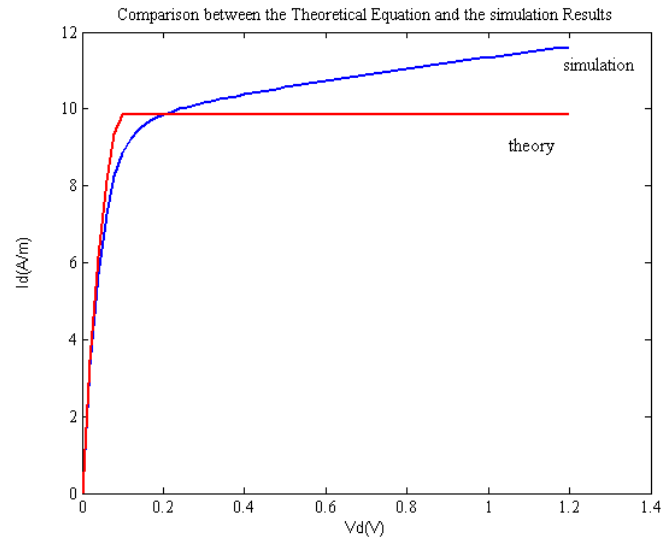


Figura 4.10: Comparación entre la simulación y la ecuación ??

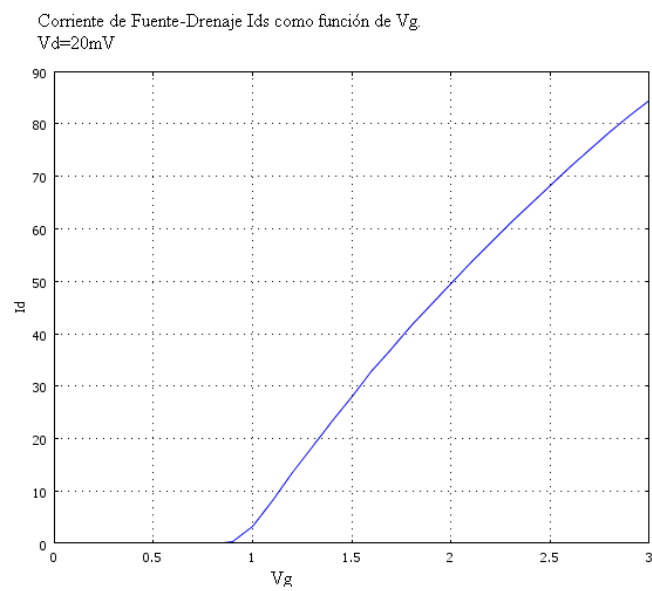


Figura 4.11: Corriente de Drenaje  $I_{ds}$ , como función del voltaje de compuerta.

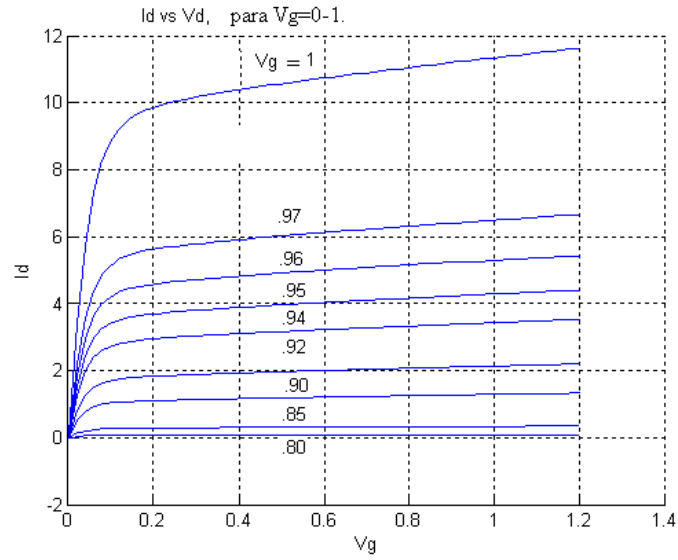


Figura 4.12: Corriente de Drenaje  $I_{ds}$ , como función del voltaje de compuerta.

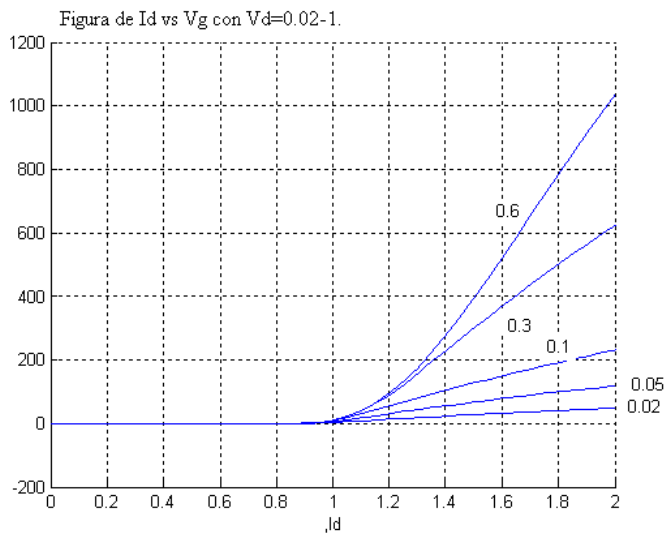


Figura 4.13: Corriente de Drenaje  $I_{ds}$ , como función del voltaje de compuerta.

## Capítulo 5

# Resultados del modelo de DG-MOSFET

### 5.1. DG-MOSFET

Como ya lo hemos mencionado en el capítulo de Metodología, la arquitectura básica de un DGMOSFET se ilustra a continuación. En este caso el DG MOSFET es practicamente una reflexion de un MOSFET normal. Los resultados que tenemos sugieren que el comportanmiento es practicamente igual al de un MOSFET normal.

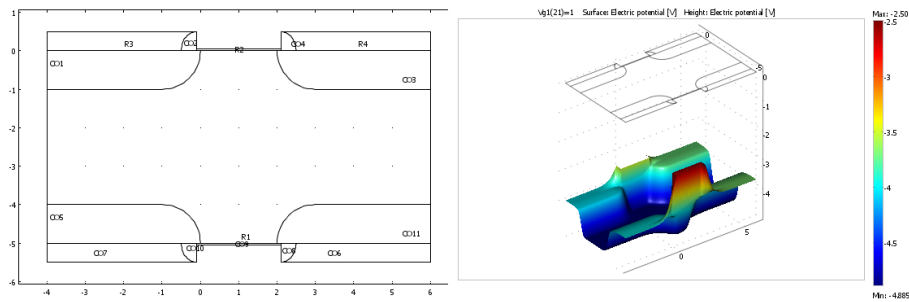


Figura 5.1: a)Arquitectura del modelo para un DGMOSFET que desarrollamos.b)Potencial en el DG MOSFET. Los potenciales  $V_{g1}$  y  $V_{g2}$  son controlables.

El modelo que desarrollamos exhibe una curva de corriente que se espera para un MOSFET. Sin embargo, lo que se observó es que las dos compuertas no interactúan. Este DG-MOSFET es equivalente a tener dos MOSFETs independientes en paralelo. Para poder observar los efectos de la compuerta poste-

rior, se necesita tener un DG-MOSFET completamente agotado (Fully Depleted DG-MOSFET), es decir que la región entre las compuertas esté en regimen de agotamiento. Esto se logra con un transistor fino. Desgraciadamente los intentos por hacer un transistor fino, no convergieron en la simulación.

Presentamos a continuación, resultados cualitativos de el DG-MOSFET realizado.

En la figura 5.1 se presenta la arquitectura que utilizamos además del perfil de potencial.

La siguiente figura muestra el logaritmo de la carga del transistor. Note que en general todo el transistor es neutral excepto las regiones de unión entre las regiones n+ y el sustrato p.

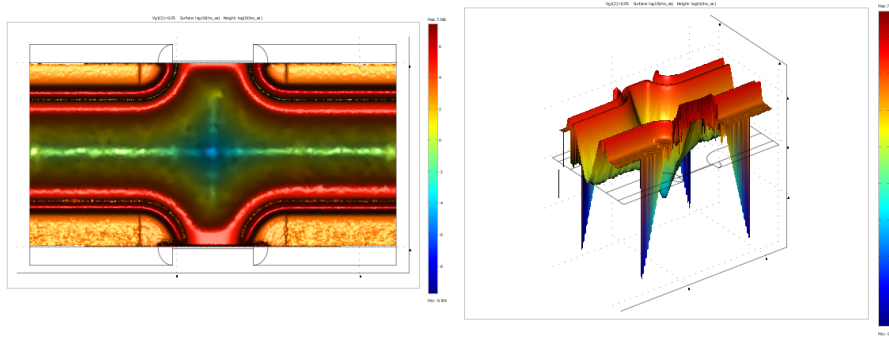


Figura 5.2: Logaritmo de la carga en el semiconductor. Note que el semiconductor es en general neutral excepto los lugares de la zona desértica y las compuertas.

Además, en [Gui05] se desprecia a los portadores de carga minoritarios. Esta es una buena aproximación cerca del canal, pero en la figura 5.5 se muestra que las soluciones difieren. Cuando se ignoran los portadores de carga minoritarios, parecería que se tiene un pozo de potencial en la mitad del transistor, pero cuando se los cuenta, se puede ver que en el centro del transistor el potencial es constante. Atribuimos este efecto a que cuando se toma en cuenta los portadores minoritarios y mayoritarios estos dos se cancelan junto con la carga de iones fijos en el sustrato y la carga neta es cero (Excepto en las zonas desérticas).

Vamos a comprobar si el modelo de DG-MOSFET funciona o no. Para ello trataremos de comprobar que las dos compuertas son independientes y se comportan como un DG-MOSFET parcialmente agotado (Partially Depleted PD-DG-MOSFET). Lo que mostramos a continuación, son las corrientes de las dos compuertas, cada una con la otra compuerta apagada; ponemos  $V_{g1} < V_{th}$  y encontramos la corriente de la compuerta 2,  $I_{d2_{g1=off,g2=on}}$  haciendo variar  $V_{g2}$  desde 1.5 V hasta 3V. Hacemos lo mismo con la otra compuerta: ponemos  $V_{g2} < V_{th}$  y encontramos la corriente de la compuerta 1,  $I_{d1_{g1=on,g2=off}}$  haciendo variar  $V_{g1}$  desde 1.5 V hasta 3V. Luego, hacemos una simulación en la que las dos compuertas varíen simultáneamente y encontramos la suma de las dos corrientes  $I_{d1_{g1=on,g2=on}} + I_{d1_{g1=on,g2=off}}$ . La linealidad del PD-DG-MOSFET se comprueba si

$$I_{d2_{g1=off,g2=on}} + I_{d1_{g1=on,g2=off}} = I_{d1_{g1=on,g2=on}} + I_{d2_{g1=on,g2=on}} \quad (5.1)$$



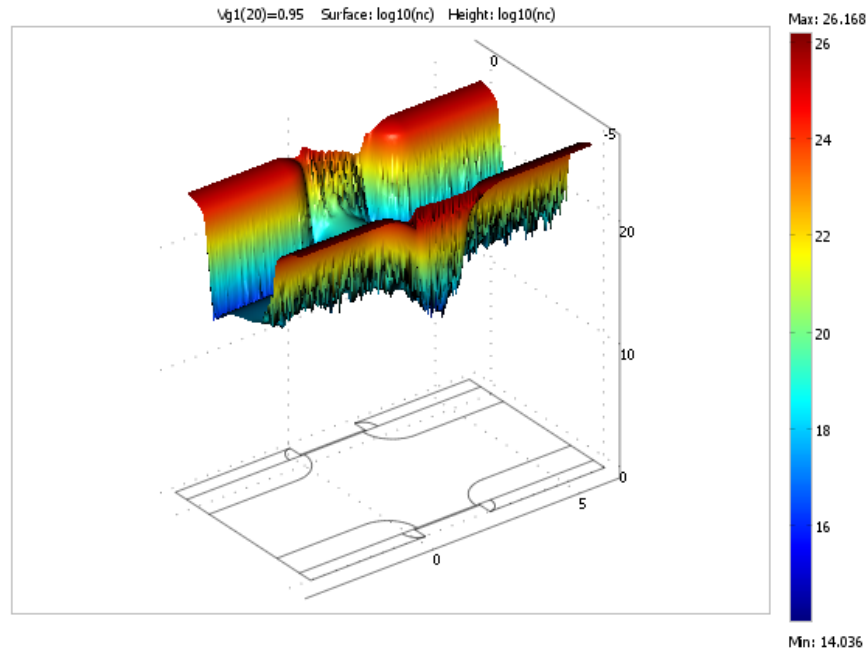


Figura 5.3: Logaritmo de la concentración de electrones en el semiconductor. En este caso  $V_{g1}=1V$  y  $V_{g2}=2V$ .

Es decir las corrientes son independientes, solamente dependen de el voltaje aplicado a su respectivo gate.

El modelo muestra que las corrientes no son lineales, sin embargo la desviación de la linealidad no es significativa. El dispositivo es simétrico, es decir, las compuertas 1 y 2 son equivalentes, pero no es lineal. En la figura 5.8 se muestra como las corrientes se influyen mutuamente.

La figura

Podemos ver que la corriente de una compuerta varía sí la segunda está prendida o no. Sin embargo, hay una posible explicación a este comportamiento no lineal:  $I_{D1}$  está definida como la corriente que sale del transistor a travez de el drenaje 1, e  $I_{D2}$  es la corriente que sale del transformador por el drenaje 2. Hay la posibilidad de que algunos de los portadores de carga que pasan por el canal de la compuerta 1, salgan por el drenaje 2 o viseversa. En la región de el drenaje del transistor los portadores de carga pueden moverse libremente. Para comprobar este fenómeno se podría medir la corriente directamente en el canal.

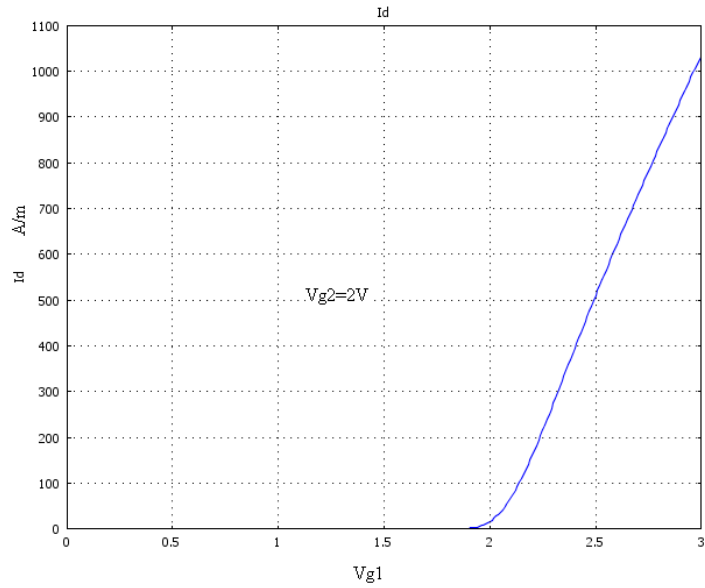


Figura 5.4: Corriente en un DG MOSFET con ambas compuertas polarizadas positivamente. En este caso  $V_{g1}=0:0.01:3$  V y  $V_{g2}=2V$ .

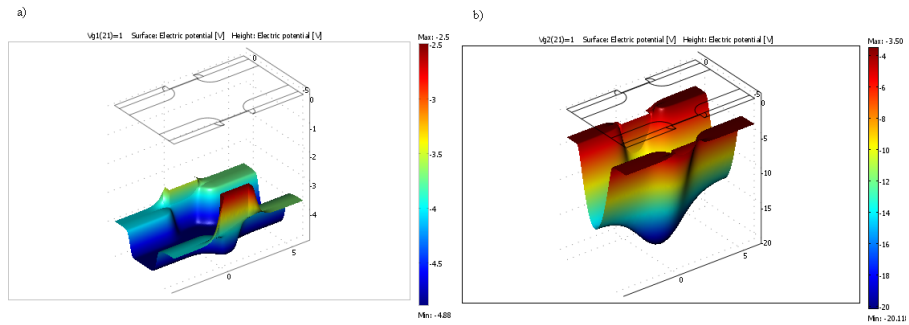


Figura 5.5: Comparación entre los resultados de las simulaciones a) Tomando en cuenta a los portadores minoritarios de carga b) Sin tomar en cuenta a los portadores minoritarios de carga. Note que el potencial en el centro del dispositivo varía sustancialmente.

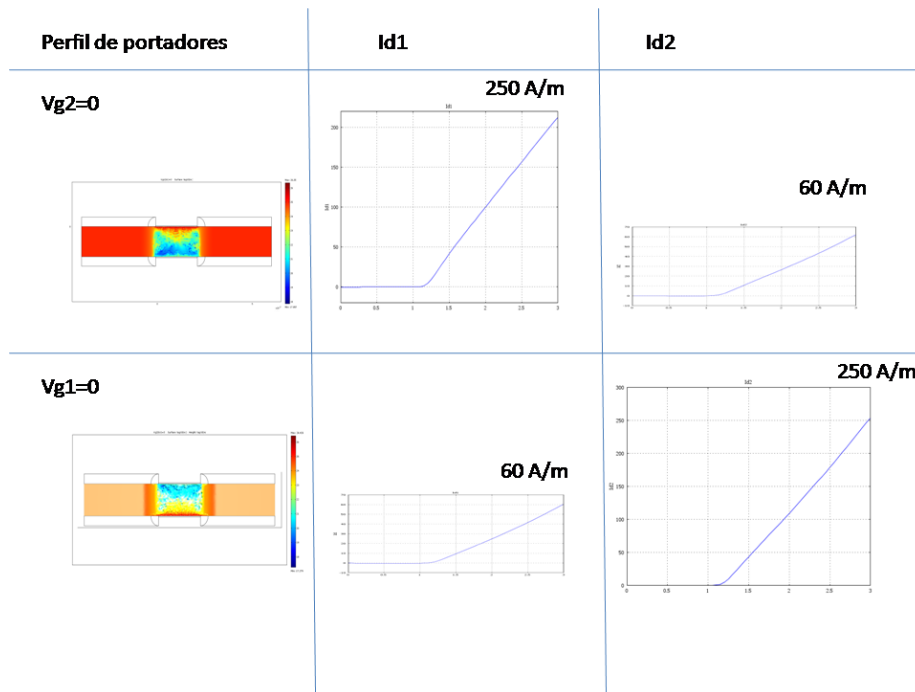


Figura 5.6: Diagrama de cada compuerta con la otra apagada. Se puede ver que las corrientes son iguales. El dispositivo es simétrico, como se esperaba.

En el presente estudio no se lo hizo, sin embargo, simulamos un transistor con una barrera de dióxido en el medio, separando los dos drenajes y se observa que el transistor se comporta de una manera mucho más lineal.

## Con las dos compuertas prendidas

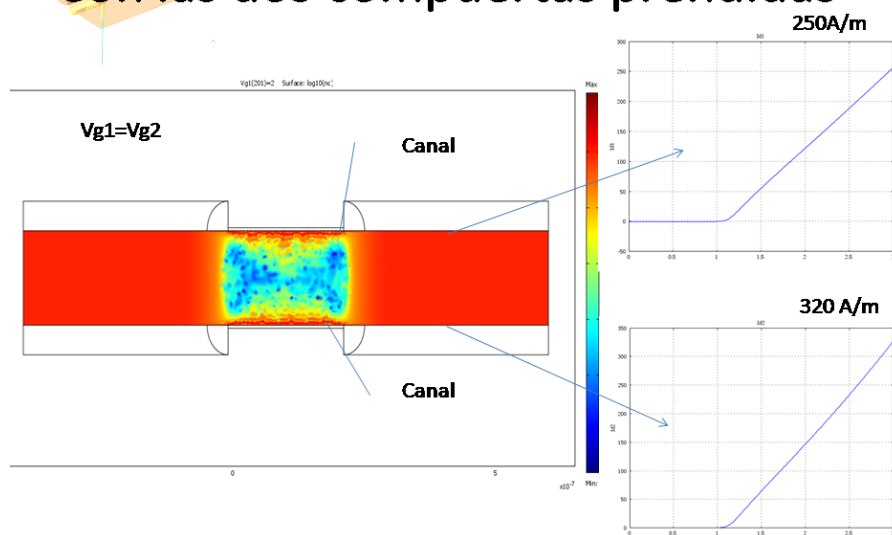
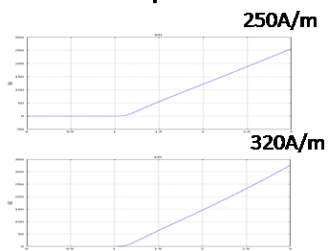


Figura 5.7: Diagrama de cada compuerta con la otra apagada. Se puede ver que las corrientes son iguales. El dispositivo es simétrico, como se esperaba.

## Las corrientes no son completamente Lineales

**$I_{d1}(g1=on, g2=on) + I_{d2}(g1=on, g2=on)$**

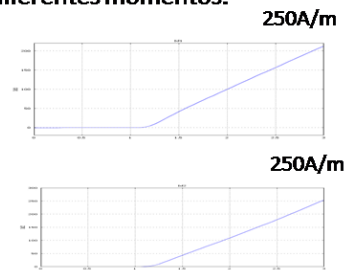
- Los dos canales prendidos al mismo tiempo



**Maximo de corriente**      **570 A/m**

**$I_{d1}(g1=on, g2=off) + I_{d2}(g1=off, g2=on)$**

- Los dos canales prendidos en diferentes momentos.



**500 A/m**

Figura 5.8: Diagrama de cada compuerta con la otra apagada. Se puede ver que las corrientes son iguales. El dispositivo es simétrico, como se esperaba.

## Capítulo 6

# Resultados del modelo de SOI-MOSFET y de UT-FD-SOI-MOSFET

### 6.1. SOI-MOSFET

Los SOI MOSFETs son dispositivos muy parecidos a los DG mosfets. Su diferencia radica en que en el SOI MOSFET solamente tenemos una fuente y un drenaje. La compuerta posterior es usada exclusivamente para modificar las curvas de Voltaje-Corriente del dispositivo y así lograr que los efectos de canal corto disminuyan.

Inicialmente mencionaremos los resultados cualitativos del modelo, es decir, los perfiles de potencial en los dispositivos, la distribución de carga, etc. usando un SOI-MOSFET con un canal de 100nm. Lo hacemos porque se pueden ver mejor los parámetros en este dispositivo. Luego, caracterizaremos a un SOI-MOSFET ultra delgado y completamente agotado (Ultra Thin-Fully Depleted-Silicon On Insulator-MOSFET) UT-FD-SOI-MOSFET. Veremos que las curvas de corriente Id sufren una traslación, de acuerdo con el voltaje de compuerta posterior.

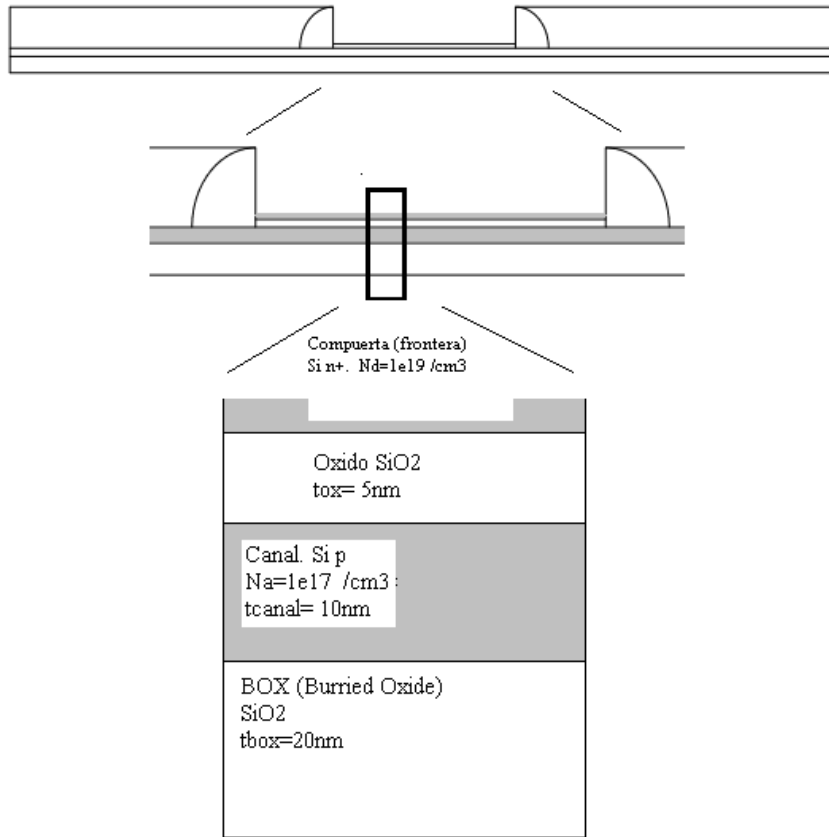
### 6.2. Descripción de el dispositivo

En esta sección describiremos el UT-FD-SOI-MOSFET. El modelo para un SOI-MOSFET de canal más profundo es idéntico salvo el altura del canal. En la figura 6.2 se muestra un esquema de los dispositivos.

Para empezar, necesitamos que el transistor esté totalmente agotado para que haya un acoplamiento entre las dos compuertas. Por esto se usan normalmente concentraciones muy altas en el polisilicio sobre la compuerta, y concentraciones muy bajas en el silicio del canal. Sin embargo, el modelo mostraba problemas de convergencia para dopajes extremos. Lo que vamos a mostrar a continuación es que el transistor está efectivamente agotado para el rango de operación.

Necesitamos una expresión para la longitud de la zona desértica en el silicio del MOSFET. Podemos encontrar una usando la ecuación 2.67. En régimen de

## UT-FD-SOI-MOSFET



## SOI-MOSFET parcialmente agotado

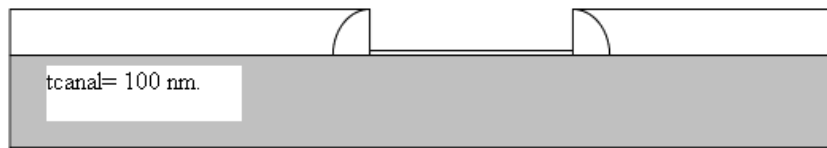


Figura 6.1: Arquitectura de los SOI-MOSFET que utilizaremos en esta sección.

agotamiento y de inversión débil, se puede aproximar

$$Q_s = \sqrt{2\epsilon_s q \psi_s} = qW_d N_a \quad (6.1)$$

El voltaje que se aplica en la compuerta caerá parcialmente en el óxido, y el resto en el semiconductor. Usamos también la función de trabajo  $\phi_{ms} = -0,45V$  que calcularemos más adelante.

$$V_G = V_i + \psi_s + \phi_{ms} \quad (6.2)$$

$V_i$  es el voltaje en el oxido y está dado por  $V_i = \|Q_s\|/C_i$ . Usando esta relación y las ecuaciones 6.1 y 6.2 se puede encontrar que la longitud de la zona desértica es

$$W_D = -\frac{\epsilon_s}{C_i} + \sqrt{\frac{\epsilon_s^2}{C_i^2} + \frac{2\epsilon_s(V_g - \phi_{ms})}{qN_A}} \quad (6.3)$$

Si graficamos la ecuación vemos que el dispositivo estará completamente agotado desde aproximadamente -0.42V en adelante. En este rango, la longitud de la zona desértica es más grande que la longitud del canal, por lo que todo el canal está agotado.

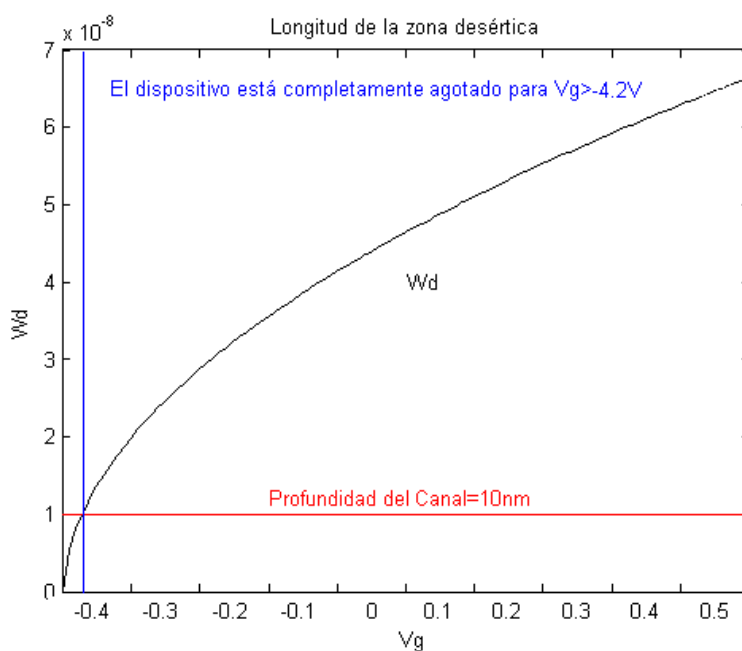


Figura 6.2: Profundidad de la zona desértica  $W_d$ , como voltaje de compuerta del dispositivo. Note que la zona desértica es más grande que el canal para un gran rango de voltajes.

### 6.3. Potencial en el Transistor

El modelo produce una distribución de potencial como se muestra en la figura 6.3. la depresión en el centro del transistor se debe a que no estamos



considerando los portadores mayoritarios de carga, por lo que la condición de neutralidad no se cumple. Esta depresión en el modelo refleja que en este lugar la concentración de electrones es baja.

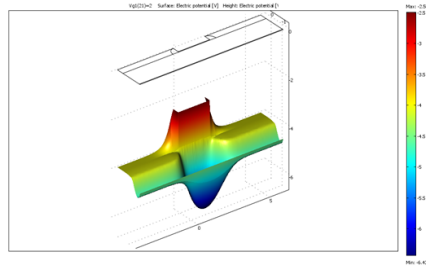


Figura 6.3: Potencial en el dispositivo

## 6.4. Distribución de Carga

Hay dos parámetros interesantes que nos gustaría mencionar en esta sección. La primera es la distribución de electrones en el transistor, y se muestra en la figura 6.5. En esta figura graficamos la densidad de electrones en el transistor. Note como la densidad de carga varía cerca de la compuerta posterior. Aquí mostramos un  $V_{bg}$  bajo, donde no hay casi electrones, y un  $V_{bg}$  alto donde se puede ver que prácticamente se ha formado un canal en la compuerta posterior.

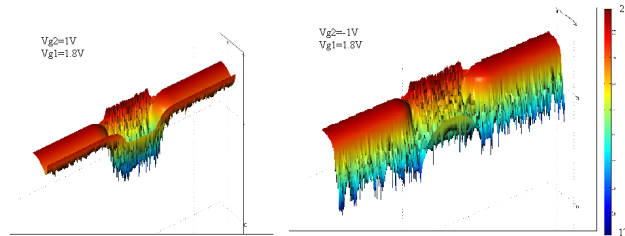


Figura 6.4: Logaritmo de la concentración de electrones en el dispositivo bajo dos situaciones diferentes. a) Con la compuerta  $V_{g2}=1V$  y  $V_{g1}=1.8$ . b) La compuerta  $V_{g2}=-1V$ . El valor máximo de la concentración es  $10^{25}m^{-3}$  y el valor mínimo es  $10^{17}cm^{-3}$

Sin embargo, la carga depende también de los portadores p, y de los iones fijos en el sustrato. En la siguiente figura vemos como el transistor tiene carga ahora en gran parte de su superficie, sea negativa o positiva, a diferencia del MOSFET de canal regular.

## 6.5. Densidad de Corriente de conducción

También quisieramos presentar la densidad de corriente de conducción en el dispositivo. Esta corriente se calculó usando las ecuacion 2.50

$$J_{dp} = qp\mu_p E \quad (6.4)$$

Se obtiene el gráfico 6.6. Note la irregularidad de la distribución de corriente. Esta distribución sugiere que la solución es poco estable y no lineal.

El dispositivo que hasta ahora hemos presentado no tiene un buen comportamiento para caracterizarlo. Como vimos con el modelo de DG-MOSFET se observa un comportamiento que difiere de un MOSFET normal cuando el sustrato está completamente agotado. Solamente se logra esto cuando el silicio no es muy profundo. Por esta razón desarrollamos un modelo de SOIMOSFET fino, como se muestra en la figura 6.2

## 6.6. Caracterización del SOI-MOSFET

El objetivo principal de caracterizar a este SOI-MOSFET es encontrar si en realidad se comporta como un SOI-MOSFET real, esto es, si el voltaje de umbral puede ser controlado por la compuerta posterior. Como hablamos en la introducción esta es la propiedad fundamental de un SOI-MOSFET y es lo que los vuelve interesantes para solucionar los retos tecnológicos presentes.

### 6.6.1. Obtención de la Carga superficial

Para obtener la densidad de carga superficial, lo que hicimos fue integrar sobre la compuerta las densidades de portadores de carga y el dopaje. Es relevante analizar dos cantidades la densidad de carga originada por los portadores

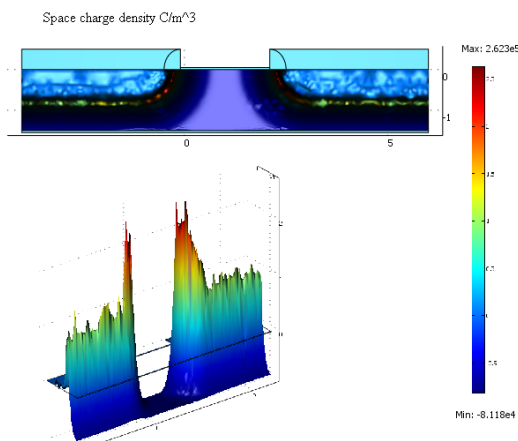


Figura 6.5: Carga en el transistor.

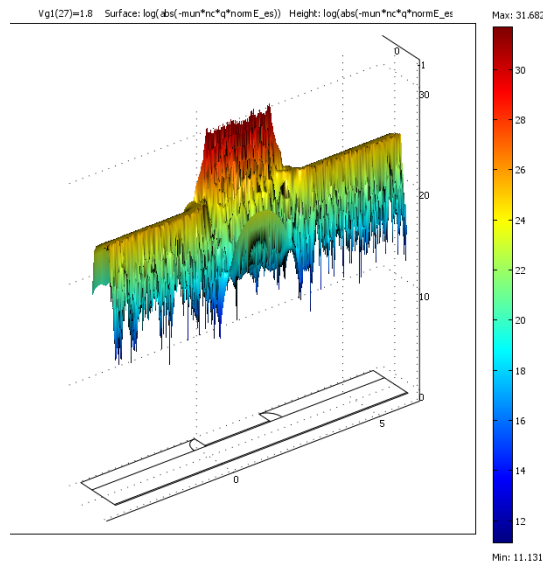


Figura 6.6: Logaritmo de la magnitud de la densidad de corriente. Usamos  $J_n = q * p * \mu_p * E$  Video

$Q_n$

$$Q_n \equiv \int_{gate} q(p - n)dy \quad (6.5)$$

$$Q_s \equiv \int_{gate} q(p - n - Na)dy \quad (6.6)$$

El logaritmo de estas cantidades se muestra a continuación. Note que la carga  $Q_s$  sugiere que en la compuerta la carga tiene un comportamiento similar al MOSFET regular.

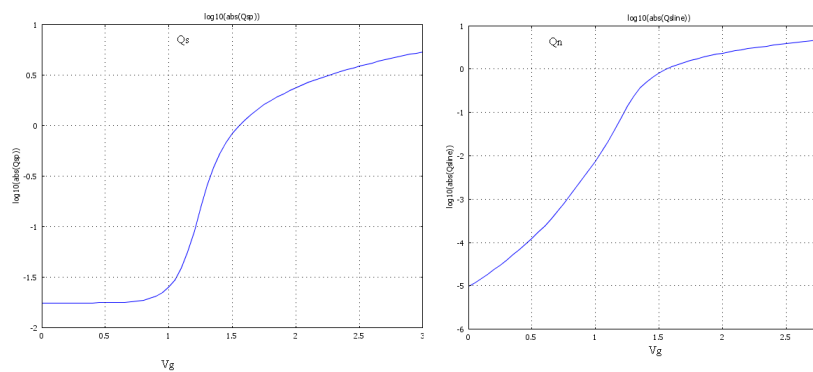


Figura 6.7: Densidad de carga en la compuerta para  $V_{gb} = -2.4$ . a) Carga de los portadores de carga. b) Carga de los portadores de carga y del sustrato.

Una vez obtenida la carga, podemos encontrar la capacitancia de la compuerta.

$$C_D = \left\| \frac{dQ_s}{dV_g} \right\| \quad (6.7)$$

Note que la derivada de  $Q_s$  como de  $Q_n$  son iguales puesto que solamente difieren en una constante  $qN_A$ . Se observa que inicialmente la capacitancia, tal como la hemos definido es cero, conforme se genera carga en la interface la capacitancia sube.

La corriente de drain la encontramos integrando la densidad de corriente  $J = J_n + J_p$  en el drenaje.

$$I_d = \int_{drain} J_n + J_p ds \quad (6.8)$$

La variable de integración  $s$  es la longitud de el drenaje. El modelo está definido de tal manera que no hay perdidas por los bordes aislantes. Por el gate por ejemplo, no se fuga nada de corriente. Se tiene que  $I_d = I_s$ .

A partir de la corriente, se puede obtener la transconductancia,  $gm$ , definida como

$$gm = \frac{dI_d}{dV_g} \quad (6.9)$$

La transconductancia es una especie de ganancia del transistor. Dado un  $\Delta V_g$  la respuesta que se tiene del transistor es  $\Delta I_d = gm \Delta V_g$  Tanto  $V_g$  como  $I_d$  son vectores, discretos, por lo que aproximamos la derivada como

$$gm(k) = \frac{I_d(k) - I_d(k+1)}{V_g(k) - V_g(k-1)} \quad (6.10)$$

Una vez que tenemos la curva de transconductancia, podemos extraer el voltaje de umbral del transistor de la siguiente manera : encontramos el maximo en la trasconductancia, esto indica un punto de inflexión en la curva de la corriente. A partir de ahí, hacemos una extrapolación lineal y encontramos la intersección entre la extrapolación y el eje  $V_g$ . Este punto será el voltaje de umbral. La figura 6.8 es generada por un programa en MATLAB que lo hace automáticamente

Cuando se simula la corriente del transistor para varios valores de  $V_g$  se observa que el Voltaje de umbral se desplaza. Mientras más negativo sea el voltaje aplicado en la compuerta posterior, más difícil es prender el transistor. Estos resultados son visibles en la figura 6.9. Se ve claramente como varía el voltaje de umbral, note como se lo puede trasladar desde  $V_{th}=0$  hasta  $V_{th}=1V$ .

El cambio en el voltaje de umbral es el resultado más importante de esta tesis. Prueba que efectivamente en los SOI-MOSFETs se puede controlar el funcionamiento del dispositivo con la compuerta posterior. Además, esta dependencia lineal junto con el comportamiento de la transconductancia también se ha observado en trabajos experimentales como [HKF84].

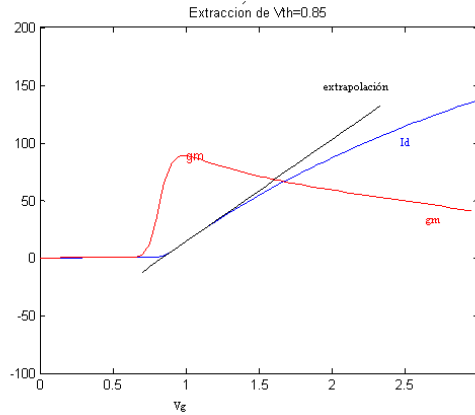


Figura 6.8: Extracción de el Vth con el método de extrapolación lineal.

## 6.7. Parámetros adicionales característicos del transistor

En esta sección presentamos la variación de las curvas de carga del transistor, la capacitancia, el potencial de superficie y la transconductancia.

### 6.7.1. Potencial de superficie

El potencial de superficie depende de el voltage  $V_{g1}$ , de la diferencia en las afinidades eléctricas de el metal en la compuerta y el silicio en el sustrato.

En un MOSFET normal el Vth está dado por

$$V_T = V_{FB} + 2\psi_B + \frac{\sqrt{(2\epsilon_s q N_A (2\psi_B))}}{C_{ox}} \quad (6.11)$$

El modelo que hemos usado usa  $X_{si} = 4V$  y  $X_{si} = 4,5V$  de ahí la diferencia que se ve en la figura 6.10 La figura se simuló con  $V_g=0$ , y sin embargo hay una diferencia en los voltages de superficie y  $V_g$ . En este caso el flat band voltage será

$$V_{fb} = \phi_{ms} + Q_i/C_{ox} = \phi_{ms} \quad (6.12)$$

Dado que no hay carga atrapada en el dieléctrico y que estamos usando polisilicio

$$\phi_{ms} = X_{poly} - (X_{si} + E_g/2q + \psi_B) \quad (6.13)$$

y  $\psi_B = V_{tln}(N_a/n_i)$  de tal manera que  $V_{FB} = -0,44V$  Esa es aproximadamente la curvatura de las bandas cuando  $V_{gs}=0$ . Cabe mencionar que la condicion de borde para el gate es  $V_g - X_{poly}$  En otras palabras, en todo el transistor se mide el voltaje con respecto al vacío. Cuando  $V_g=0$ , el gate tiene su afinidad electrónica normal de  $X_{poly}$ . Es por esto que en los gráficos que se

presentan a continuación se tiene un potencial negativo en la superficie cuando  $V_g$  es cero.

A continuación se muestra el potencial de superficie como función de  $V_{gf}$ , para varios  $V_{bg}$ . Note que mientras se forma una carga de inversión en la compuerta, el voltaje  $V_{gf}$  cae en el dieléctrico, pero una vez que se ha formado una capa de inversión  $\psi_s$  se mantiene relativamente constante con respecto a  $V_{gf}$ . Para calcular el potencial de superficie se tomó un promedio de los valores del potencial sobre toda la compuerta. Para que el resultado se aproxime a un

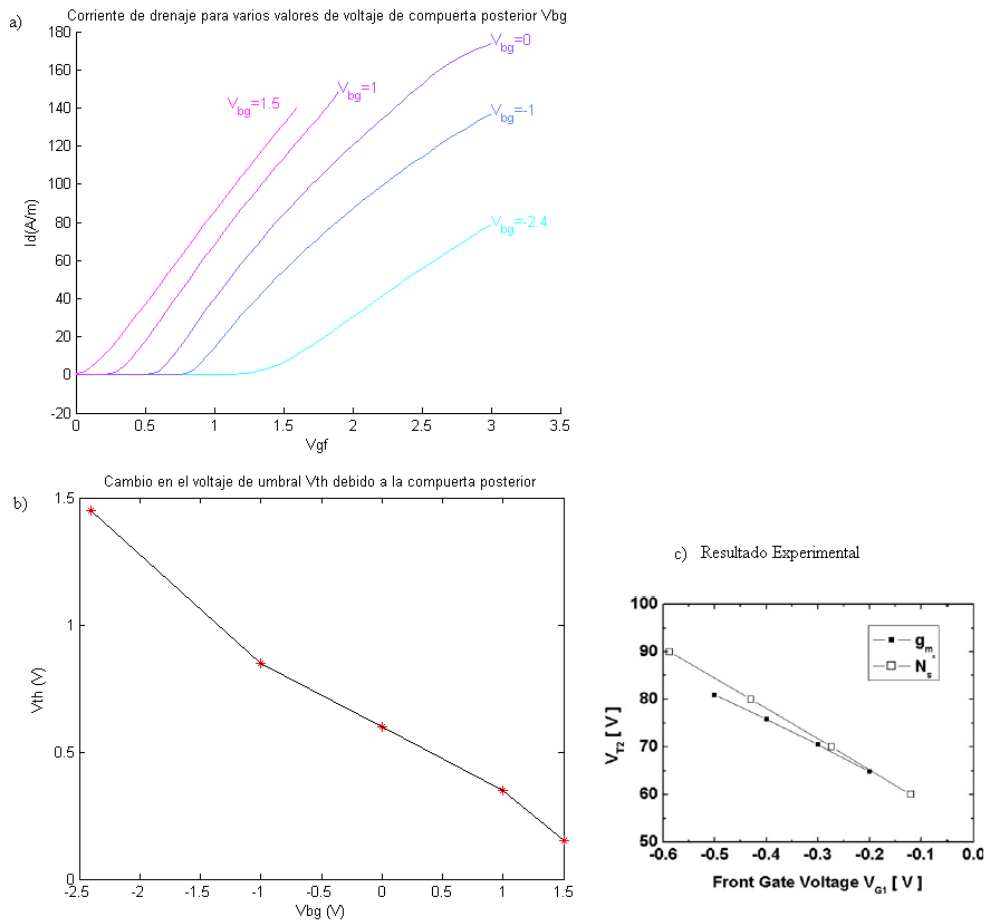


Figura 6.9: a) Corriente de Drenaje para varios  $V_{bg}$ . Note como el transistor se prende a distintos  $V_{th}$ , dependiendo de  $V_{bg}$ . b) Extracción de los voltajes de umbral  $V_{th}$  para cada curva de la parte a) c) Comparación con resultados experimentales simulares. En este experimento [Cri07] ha encontrado los voltajes de umbral del canal posterior con respecto a los del canal anterior

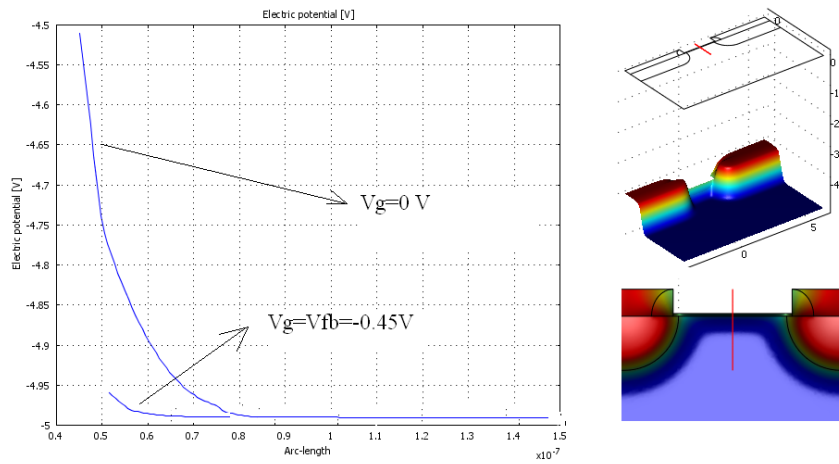


Figura 6.10: Voltaje de banda plana. Aquí se grafica el voltaje de banda plana en una sección transversal del transistor cerca del gate, como se indica en las figuras de la izquierda. Con  $V_g=0$  se ve una curvatura del potencial, en cambio con  $V_g=-0.45\text{V}$  se ve que el potencial se vuelve relativamente plano.

capacitor MOS se debería quizás tomar solo el potencial en la mitad de la compuerta, para reducir la influencia de la curvatura producida por las regiones n+ de los lados.

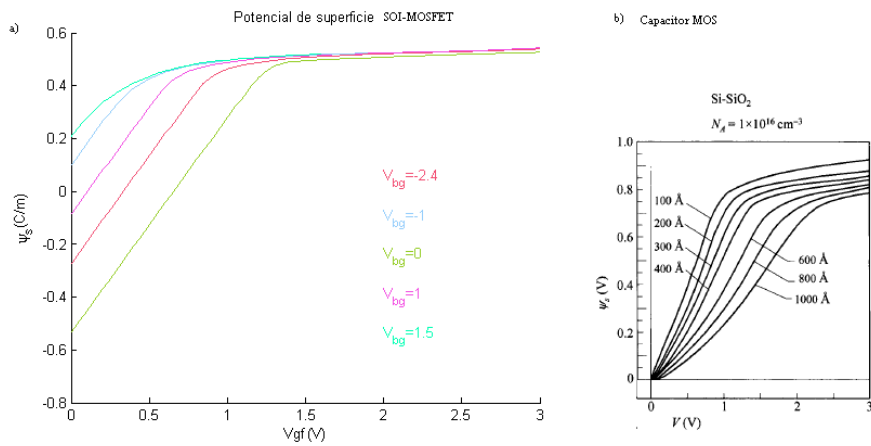


Figura 6.11: Potencial de superficie como función de  $V_{gf}$  para varios  $V_{bg}$ , a) para un SOI-MOSFET con diferentes polarizaciones b) para un capacitor MOSFET con diferentes espesores de óxido.

### 6.7.2. Carga superficial y Capacitancia del dispositivo

La corriente en el dispositivo tiene mucha relación con la carga de inversión, dado que la conducción solamente es posible si hay un canal de inversión en la superficie. En la figura 6.12 se muestra en escala normal y logarítmica la carga en la superficie. La carga graficada en la figura está definida por la ecuación 6.5. Dado que la carga de inversión está compuesta de electrones, la carga en realidad se hace más negativa. En la figura presentamos el valor absoluto de la carga.

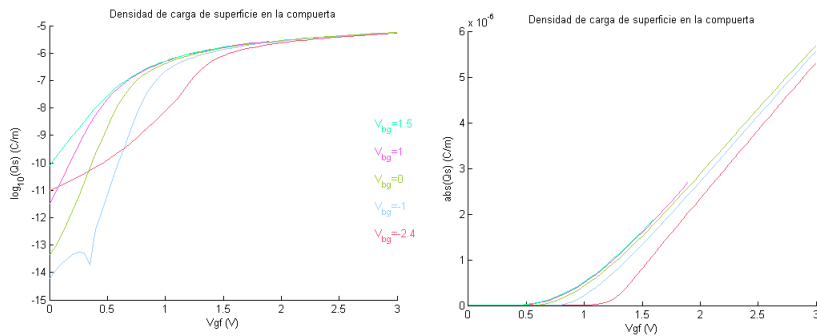


Figura 6.12: Carga de superficie como función de el voltaje de compuerta. Se puede observar como la carga inicialmente es baja pero se activa con el voltaje Vgf.

Luego, se puede encontrar la capacitancia, de superficie definiendola como

$$C_d = \frac{dQ_n}{d\psi_s} \quad (6.14)$$

En el transistor la capacitancia será la unión en serie de una capacitancia dada por el oxido, y otra debida a la carga en el sustrato. De las ecuaciones 2.69,2.70,2.72, se tiene que la capacitancia es

$$C_i = \frac{\epsilon_{ox}}{d} = 0,0074C/m^2 \quad (6.15)$$

Luego, unimos en serie las dos capacitancias y obtenemos la figura 6.14

En este modelo en particular la capacitancia del dieléctrico es grande con respecto a la capacitancia generada por las cargas en la superficie. Como consecuencia, la unión en serie de las dos capacitancias es practicamente igual a la capacitancia de las cargas en el semiconductor.

### 6.7.3. Transconductancia

La transconductancia fue definida en la ecuación 6.9. Los gráficos de la transconductancia para Vbg=-2.4,-1,0,1,1.4 se presentan en la figura ???. En todos estos gráficos se puede observar que hay un pico en la transconductancia que ocurre justo cuando el transistor responde más a estímulos en el voltaje de compuerta. Luego, en la región de saturación, la transconductancia baja lentamente.



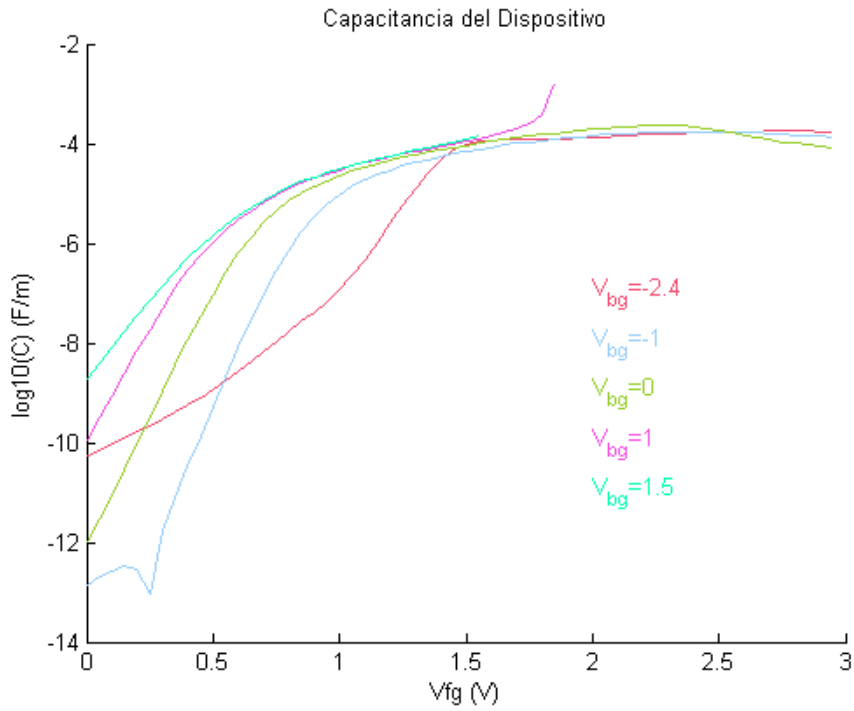


Figura 6.13: Capacitancia de la superficie y del dieléctrico como función de  $V_{fg}$ .

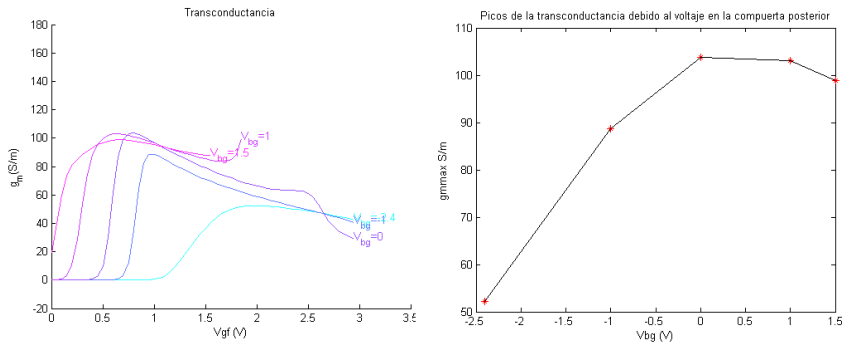


Figura 6.14: Capacitancia de la superficie y del dieléctrico como función de  $V_{fg}$ .

Hemos expuesto nuestro modelo de SOI-MOSFET en COMSOL Multiphysics que describe la característica fundamental de este dispositivo: el voltaje de umbral puede alterarse con la tensión de la compuerta posterior. El dispositivo muestra las características esperadas para un SOI-MOSFET nanométrico.

## Capítulo 7

# Conclusiones

En este trabajo hemos visto que es posible simular un MOSFET usando el simulador COMSOL Multiphysics que usa el método de elementos finitos.

Revisamos brevemente el fundamento teórico de los semiconductores. Utilizamos inicialmente el modelo proporcionado por COMSOL para explorar cualitativamente las soluciones para ciertos parámetros dentro del MOSFET como el Voltaje, la carga y la densidad de portadores de carga. Posteriormente caracterizamos a este modelo de MOSFET y comparamos las curvas características con la teoría. Obtuvimos curvas de  $I_d$ - $V_g$ ,  $I_d$ - $V_d$  que coinciden con la teoría.

De el modelo de un MOSFET podemos ver claramente en los gráficos de la carga superficial de la simulación conciden con la teoría para la inversión débil y la agotamiento, pero para la inversión fuerte la simulación difiere de la teoría.

Desarrollamos un modelo en COMSOL Multiphysics para un DG-MOSFET y para un SOI-MOSFET. De estos dos últimos modelos fue posible obtener la distribución de potencial dentro del dispositivo además de la distribución de carga neta y de portadores de carga.

El modelo para el DG-MOSFET no fue posible miniaturizar de tal manera que las compuertas interactuen y se observen efectos interesantes. Lo único que se pudo observar fueron resultados cualitativos y además una curva de  $I_d$ - $V_g$  que muestra que el transistor se enciende a  $V_{th}=2V$  y la corriente es lineal.

Para el caso del SOIMOSFET las simulaciones muestran que si las regiones de difusión n son suficientemente profundas, se puede formar un canal conductor en el back gate. Las simulaciones muestran también que el canal de conducción puede formarse también con portadores mayoritarios de carga, siempre que el voltaje sea suficientemente bajo y las compuertas entren en régimen de inversión.

El modelo del SOI-MOSFET fue miniaturizado hasta lograr una profundidad del canal de 10nm, con un ancho de el dielectrico de le compuerta anterior de 5nm y el de la posterior de 20nm. Este modelo muestra claramente el modo principal de operación de un SOI-MOSFET: el voltaje de umbral puede alterarse con la tensión de la compuerta posterior. Usamos el método de extrapolación lineal para encontrar los voltajes de umbral para diferentes tensiones de compuerta posterior. Los resultados muestran que el  $V_{th}$  varia linealmente con respecto al  $V_{bg}$ .

Se integró la carga sobre la frontera de la compuerta y se obtuvo un gráfico que muestra que el transistor empieza a acumular mucha carga en el front gate a partir de  $V_{th}$ , que a su vez depende de  $V_{bg}$ .

Diferenciamos la curva de capacitancia y los resultados dicen que la capacitancia de el sustrato aumenta cuando se genera una película de inversión.

Además, extragimos gráficos para la transconductancia que muestran el modo de operación de un transistor MOSFET y coinciden con resultados experimentales.

Finalmente, el objetivo principal de este trabajo, que es producir modelos para simular dispositivos MOSFET, se cumplió, con más éxito del que esperabamos.

# Bibliografía

- [COM06a] Multiphysics TM COMSOL. *COMSOL Multiphysics Model Library*. 2006.
- [COM06b] Multiphysics TM COMSOL. *COMSOL Multiphysics Modeling Guide*. 2006.
- [COM06c] Multiphysics TM COMSOL. *COMSOL Multiphysics User's Guide*. 2006.
- [Cri07] A. Ohata. M. Cassé. S. Cristoloveanu. Front- and back- channel mobility in ultrathin soi-mosfets by front-gate split cv method. *Solid State Electronics*, 2007.
- [DDHA06] F. Djefall, Z. Dibi, M.L. Hafiane, and D. Arar. Design and simulation of a nanoelectronic dg mosfet current source using artificial neural networks. *Materials Science and Engineering*, 2006.
- [ea05] Meishoku Masahara et al. Demonstration, analysis, and device design considerations for independent dg mosfets. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 2005.
- [Gro67] A.S. Grove. *Physics and Technology of semiconductor Devices*. John Wiley and Sons, 1967.
- [Gui05] Serge Guidon. Double gate mosfet modeling. *Excerpt from the Proceedings of the COMSOL Multiphysics User's Conference 2005 Paris*, 2005.
- [HKF83] Lim Hyung-Kyu and Jerry G. Fossum. Threshold voltage of thin-film silicon-on-insulator(sol) mosfets. *IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-30, NO. 10, OCTOBER 1983*, 1983.
- [HKF84] Lim Hyung-Kyu and Jerry G. Fossum. Current-voltage characteristics of thin-film soi mosfet's in strong inversion. *IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-31, NO. 4, APRIL 1984*, 1984.
- [JD06] Hak Kee Jung and Sima Dimitrijević. Analysis of subthreshold carrier transport for ultimate dgmosfet. *IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 53, NO. 4, APRIL 2006*, 2006.

- [Kit96] Charles Kittel. *Introduction to Solid State Physics*. John Willey and Sons, 1996.
- [Kol07] Sigbjorn Kolberg. *Modeling of Electrostatics and Drain Current in Nanoscale Double-Gate MOSFETs*. PhD thesis, Norwegian University of Science and Technology, 2007.
- [Lu11] Darsen Lu. *PhD Dissertation: Compact Models for Future Generation CMOS*. Electrical Engineering and Computer Sciences, University of California at Berkeley, 2011.
- [Moo65] G. E. Moore. Cramming more components onto integrated circuits. *Electronics vol. 38*, April 19 1965.
- [Nea03] Donald Neamen. *Semiconductor Physics and Devices*. Mgraw-Hill, 2003.
- [San08] Noel Rodriguez Santiago. *Characterization, Modelling and Simulation of Decananometer SOI MOSFETs*. PhD thesis, Universidad de Granada y Institut National Polytechnique de Grenoble, 2008.
- [SN07] S. M. Sze and Kwok K. NG. *Physics of Semiconductor Devices*. Willey-Interscience, 2007.
- [Tro09] Lionel Trojman. *CHARGE CARRIER MOBILITY FOR ADVANCED HIGH- $\epsilon$ /METAL GATE MOSFET IN CMOS TECHNOLOGY*. PhD thesis, KATHOLIEKE UNIVERSITEIT LEUVEN, 2009.
- [TTIT84] Shin-ichi Takagi, Akira Toriumi, Masao Iwase, and Hiroyuki Tango. On the universality of inversion layer mobility in si mosfet's: Part i-effects of substrate impurity concentration. *IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-31, NO. 4, APRIL 1984*, 1984.