

**UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ**

**Colegio de Ciencias e Ingeniería**

**Medición I-V para estudio estadístico de las características  
eléctricas en dispositivos de Tecnología CMOS.**

**Proyecto de Investigación**

**Juan Sebastián Acosta López**

**Ingeniería Electrónica**

Trabajo de titulación presentado como requisito  
para la obtención del título de  
Ingeniero Electrónico

Quito, 02 de mayo de 2016

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ  
COLEGIO DE CIENCIAS E INGENIERIA

**HOJA DE CALIFICACIÓN  
DE TRABAJO DE TITULACIÓN**

**Medición I-V para estudio estadístico de las características eléctricas en dispositivos de Tecnología CMOS.**

**Juan Sebastián Acosta López**

Calificación:

Nombre del profesor, Título académico

Lionel Trojman, PhD

Firma del profesor

---

Quito, 02 de mayo de 2016

## Derechos de Autor

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en el Art. 144 de la Ley Orgánica de Educación Superior.

Firma del estudiante: \_\_\_\_\_

Nombres y apellidos: Juan Sebastián Acosta López

Código: 00109236

Cédula de Identidad: 1717723025

Lugar y fecha: Quito, mayo de 2016

## RESUMEN

Los últimos años la tecnología ha ido cambiando y a su vez mejorando, pero de igual manera se han presentados mayores dificultades y se ha vuelto más complejo en cuanto a dispositivos micro y nano-electrónicos, es por eso que el punto crítico de cambio es cuando los dispositivos cambiaron del canal largo a canal corto. El presente trabajo trata sobre la estadística de característica I-V en la variación del voltaje de umbral en dispositivos largos y cortos. Para esta estadística se aplica un estrés durante diferentes tiempo y se obtiene la curvas I-V. Debido a su alta aleatoriedad se aplica a varios transistores de las mismas características para lograr una estadística del estudio. De igual manera se busca probar dicho estrés en varios transistores de diferente tamaño y dimensión y obtener las curvas características de corriente antes y después de los efectos del estrés. En este trabajo se busca mostrar cómo cambia el voltaje de encendido de los dispositivos ( $V_{TH}$ ) cuando se aplica un estrés y como disminuye la corriente en los transistores después de cierto tiempo bajo estrés, para esto se utilizara varios tiempos de estrés y así obtendremos la caracterización eléctrica después de cada tiempo. Para obtener dichos resultados se utilizaran dos equipos de alto rendimiento usados en la industria del semiconductor uno es el Keithley K4200 y el otro es el Probe Station ambos trabajaran en conjunto para obtener los resultados del estudio deseado sobre el DUT (device under test) el cual será el wafer de silicio.

## ABSTRACT

Recent years technology has already changing in turn improving, but equally have presented greater difficulties and has become more complex in terms of microelectronics and nano-electronics, it is why the critical point of change is when long channel devices changed the short channel. This paper deals with the statistic I-V characteristic variation in threshold voltage in long and short devices. For this statistic, stress is applied during different time and I-V curves is obtained. Due to its high randomness is applied to various transistors of the same features to achieve statistical study. Similarly, it seeks to prove that stress in several transistors of different size and dimension and get the current characteristics before and after the effects of stress. This paper seeks to show how changes the voltage ignition devices ( $V_{TH}$ ) when a stress is applied as the current decreases in transistors after some time under stress to this several times of stress is used and thus obtain the characterization electric after each time. To obtain these results two high-performance equipment used in the semiconductor industry one will use is the Keithley K4200 and the other is the Station Probe both work together to get the results of the desired study on the DUT (device under test) which it is the silicon wafer.

## TABLA DE CONTENIDO

<b>Introducción .....</b>	<b>9</b>
<b>1. Antecedentes .....</b>	<b>9</b>
<b>2. Equipos para análisis y caracterización de dispositivos nanométricos. ....</b>	<b>11</b>
<b>2.1 Keithley K4200 – SCS Semiconductor Characterization System .....</b>	<b>11</b>
<b>2.2 Wafer de Silicio (DUT) .....</b>	<b>13</b>
<b>Desarrollo del Tema.....</b>	<b>14</b>
<b>1. Caracterización del Transistor MOSFET .....</b>	<b>14</b>
<b>1.1 Características <math>I_{ds}</math>-<math>V_{gs}</math> .....</b>	<b>14</b>
<b>1.2 Estadística <math>\Delta V_{TH}</math>.....</b>	<b>16</b>
<b>2. Extracción de parámetros .....</b>	<b>19</b>
<b>3. Análisis de resultados .....</b>	<b>22</b>
<b>Conclusiones.....</b>	<b>23</b>
<b>Referencias Bibliográficas .....</b>	<b>24</b>

## ÍNDICE DE TABLAS

Tabla 1: Variación de voltaje de umbral y dispersión de dispositivos pequeños y grandes ....	20
Tabla 2: Voltaje de umbral y dispersión para cada tiempo de dispositivos pequeños y grandes. .....	20

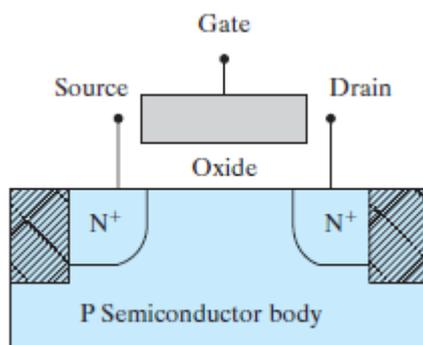
## ÍNDICE DE FIGURAS

Figura 1: Dispositivo MOSFET .....	9
Figura 2: Símbolo del transistor MOSFET .....	10
Figura 3: Curva Id-Vg para el transistor MOSFET.....	11
Figura 4: Keithley K4200-SCS .....	11
Figura 5: Rutina Id-Vg .....	12
Figura 6: Probe Station.....	13
Figura 7: Característica Id.-Vg lado izquierdo transistor de 1ux70. ....	15
Figura 8: Característica Id.-Vg lado izquierdo transistor de 2ux500. ....	16
Figura 9: Estadística Vth(t1)-Vth(t3) dispositivos pequeños .....	17
Figura 10: Estadística Vth(t3)-Vth(t5) dispositivos pequeños .....	17
Figura 11: Estadística Vth(t1)-Vth(t5) dispositivos pequeños .....	18
Figura 12: Estadística Vth(t1)-Vth(t3) dispositivos grandes.....	18
Figura 13: Estadística Vth(t3)-Vth(t5) dispositivos grandes.....	19
Figura 14: Estadística Vth(t1)-Vth(t5) dispositivos grandes.....	19
Figura 15: Tendencia de voltaje de umbral con el logaritmo del tiempo.....	21
Figura 16: Tendencia de $\sigma$ con el logaritmo del tiempo.....	21

# INTRODUCCIÓN

## 1. Antecedentes

La industria de los semiconductores es una de las más grandes del mundo. Su campo de investigación se encuentra en constante crecimiento, lo que conlleva al descubrimiento, estudio y desarrollo de nuevas tecnologías. El estudio de este trabajo se centró en la medición de las características eléctricas de transistores MOSFET de canal N sobre un Wafer de silicio. La Figura 1 muestra la forma de un transistor, este posee cuatro contactos la fuente (S), la compuerta (G), el drenaje (D), y el bulto (B), para medir los dispositivos se usaron equipos de alta gama diseñados para este tipo de mediciones. (Colinge & Colinge, 1999)



*Figura 1: Dispositivo MOSFET*

El transistor MOSFET es considerado un switch el cual para activarse necesita un voltaje en la compuerta lo suficientemente alto para poner el transistor en estado ON; este voltaje debe ser mayor al voltaje de umbral  $V_{TH}$  en la Figura 2 se observa la representación del transistor tanto en circuito y como switch. Durante la medición se hace un barrido del voltaje de la compuerta desde 0 hasta un valor alto y se aplica un voltaje constante en el drenaje y se obtiene las características I-V del transistor. En la Figura 3 se observa la característica

particular de un transistor MOSFET, la corriente en el transistor puede ser medida según la ecuación 1. (Hu C. C., 2010).

$$I_{ds} = \frac{W}{L} C_{ox} \mu_n (V_{gs} - V_{th}) V_d \quad (1)$$

Donde W y L son el ancho y el largo del transistor  $C_{ox}$  y  $\mu_n$  corresponden a la capacitancia del óxido y la movilidad todos estos términos son constantes es así que la ecuación puede reescribirse de la siguiente forma:

$$I_{ds} = \beta (V_{gs} - V_{th}) V_d \quad (2)$$

De esta forma solo nos centraremos en el parámetro  $V_{TH}$  como aquel que va a variar después de cada medición pos estrés teniendo en cuenta que el voltaje de compuerta  $V_{gs}$  y el voltaje de drenaje  $V_d$  son conocidos en la caracterización es posible extraer el voltaje de umbral para el análisis estadístico.

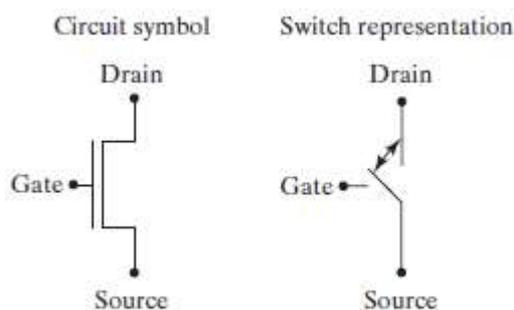


Figura 2: Símbolo del transistor MOSFET

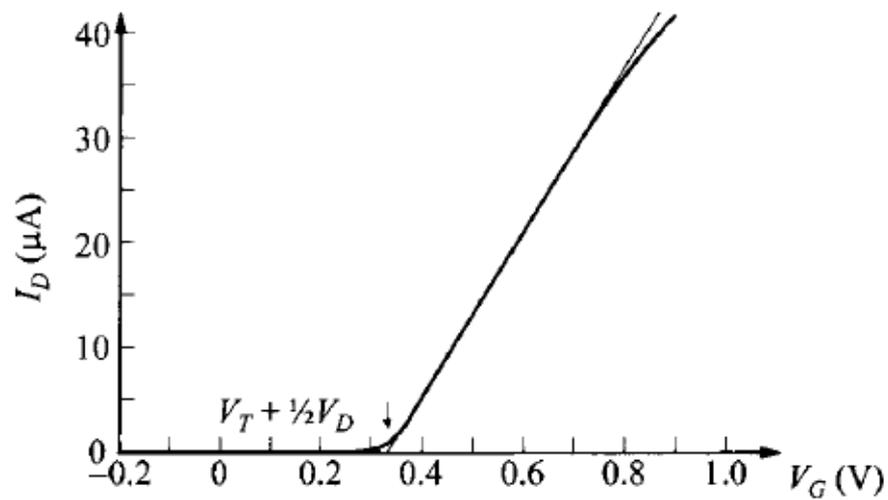


Figura 3: Curva  $I_D$ - $V_G$  para el transistor MOSFET

## 2. Equipos para análisis y caracterización de dispositivos nanométricos.

### 2.1 Keithley K4200 – SCS Semiconductor Characterization System

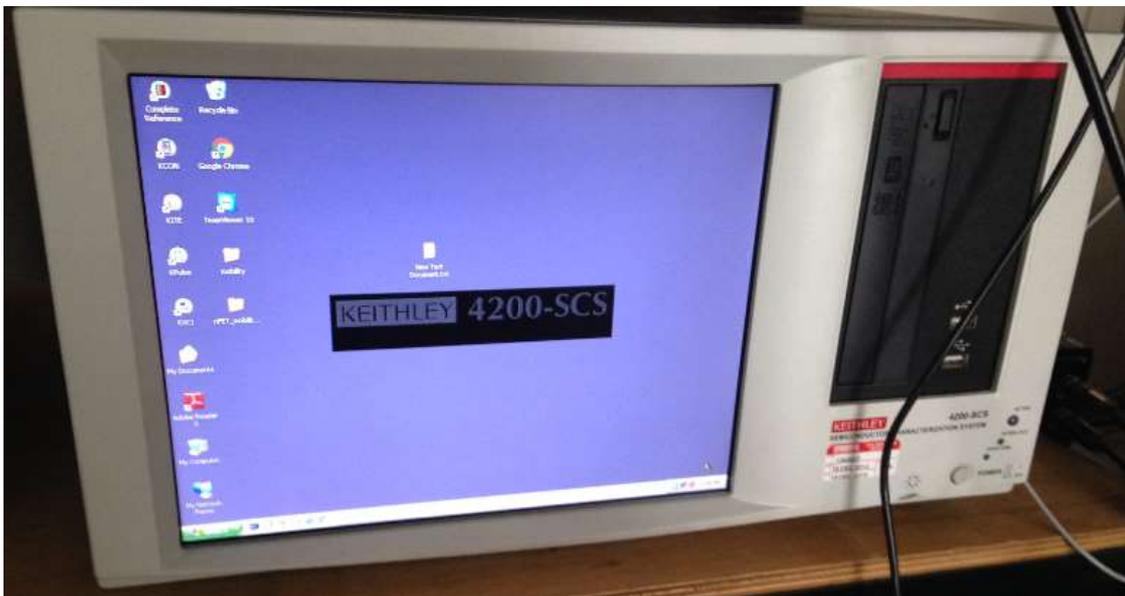


Figura 4: Keithley K4200-SCS

El Keithley K4200 es una computadora sofisticada diseñada propiamente para el análisis y caracterización de dispositivos semiconductores, mediante una interfaz gráfica se puede diseñar un algoritmo de medición y caracterización para poder extraer parámetros de dichos dispositivos, por lo tanto se programa una rutina la cual se especifica lo que se fuerza es decir

los voltajes y lo que se mide (Corriente o Capacitancia). El Keithley a su vez trabaja a la par con el Probe Station, que se observa en la Figura 6, el cual ejerce la rutina del Keithley sobre la oblea de Silicio donde se encuentran (DUT-device under test) los dispositivos de tecnología CMOS.

Para la caracterización de los dispositivos fueron programadas varias rutinas sobre el Keithley, la primera de estas se observa en la Figura 5, que muestra la rutina para la extracción de mediciones Id-Vg; durante esta rutina y concordando con la teoría propuesta (Hu C. , 1979) (Tam, Ko, & Hu, 1984), la medición de Id-Vg se realizó con una polarización DC del transistor con voltajes en la compuerta desde 0 hasta 1.6V y con un voltaje de 20mV en el drenaje, para el estrés se utilizaron voltajes altos es decir un voltaje constante de 1.2 V en la compuerta y 2.4 V en el drenaje. De esta forma se realizaron cinco mediciones una sin estrés y después se aplicaba estrés de 30, 100, 300 y 1000 segundos después de cada estrés se tomaba la medición bajo las mismas condiciones mencionadas anteriormente, cabe mencionar que la rutina completa para cada medición duraba alrededor de treinta minutos.

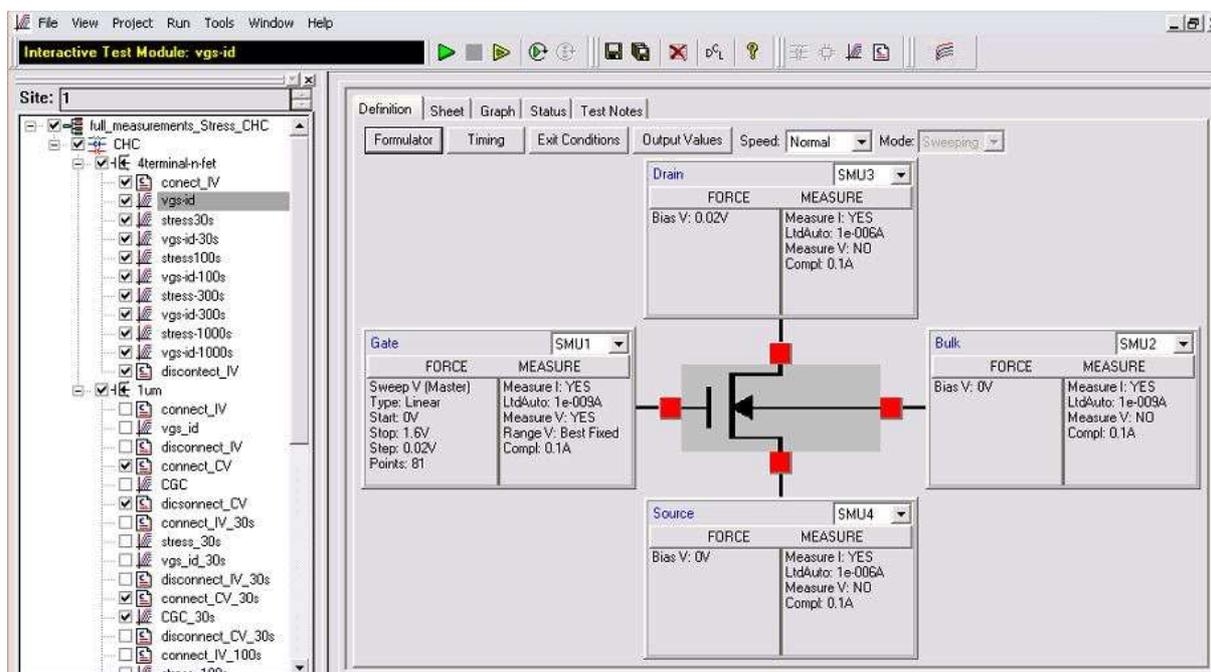
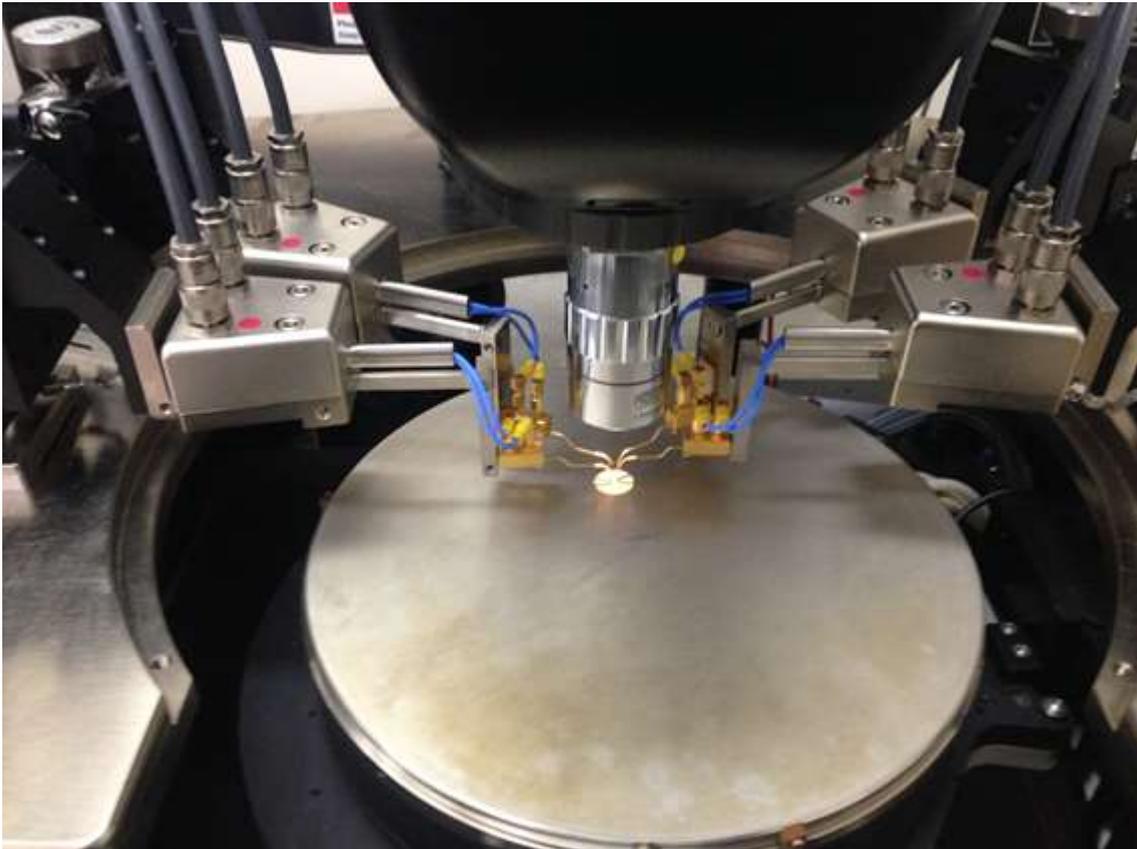


Figura 5: Rutina Id-Vg



*Figura 6: Probe Station*

## **2.2 Wafer de Silicio (DUT)**

El Wafer de silicio utilizado es una media oblea que ha sido provista por AIMEC, para investigación, el estudio que se lleva a cabo al ser de ámbito estadístico se necesita medir en varias Die para obtener mejores resultados y sea de mayor confidencialidad. Este wafer se colocar sobre el Probe Station que cuenta con un monitor incorporado para observar a una escala mayor, y con la ayuda de los brazos se colocan las puntas sobre el dispositivo que se desea medir y se corre la rutina programada en el Keithley.

## DESARROLLO DEL TEMA

### 1. Caracterización del Transistor MOSFET

#### 1.1 Características $I_{ds} - V_{gs}$

Una vez realizadas las mediciones sobre treinta Die diferentes se realizó el análisis estadístico de dos dimensiones diferentes, el análisis que se realizó se trabajó sobre los dispositivos de lado izquierdo ya que estos dispositivos vienen en pares uno izquierdo y otro derecho. Mediante el software Origin 8 se pudo graficar la característica  $I_d$ - $V_g$  medida con los equipos mencionados en los anteriores capítulos. Se obtuvieron resultados de varios tamaños de dispositivos pero algunos presentaban gran dispersión entre dispositivos semejantes lo que era muy problemático ya que no tenía sentido y se podía especular que los dispositivos estaban con falla de fábrica es por eso que se tomó en cuenta los dispositivos con mejores resultados estadísticamente. Sin embargo durante la medición muchos dispositivos se dañaban durante el estrés o durante alguna medición lo que conllevaba a eliminar por completo la Die utilizada, y era necesario volver a correr la medición sobre otro dispositivo localizado en otra Die.

#### **Tamaño de 1 $\mu$ m x 70nm:**

Los dispositivos más pequeños medidos eran los transistores de un micrómetro de ancho por 70 nanómetros de longitud, la característica para estos transistores fue tomada hasta 1.6 V, en la Figura 7 podemos observar la característica medida de izquierda de 10 Die con la rutina programada en el Keithley, en ambas figuras se nota claramente como después del primer estrés es donde aparece la mayor degradación de la corriente, mientras que los

siguientes tiempos de estrés se degrada mucho menos a pesar que el tiempo de estrés es mucho mayor.

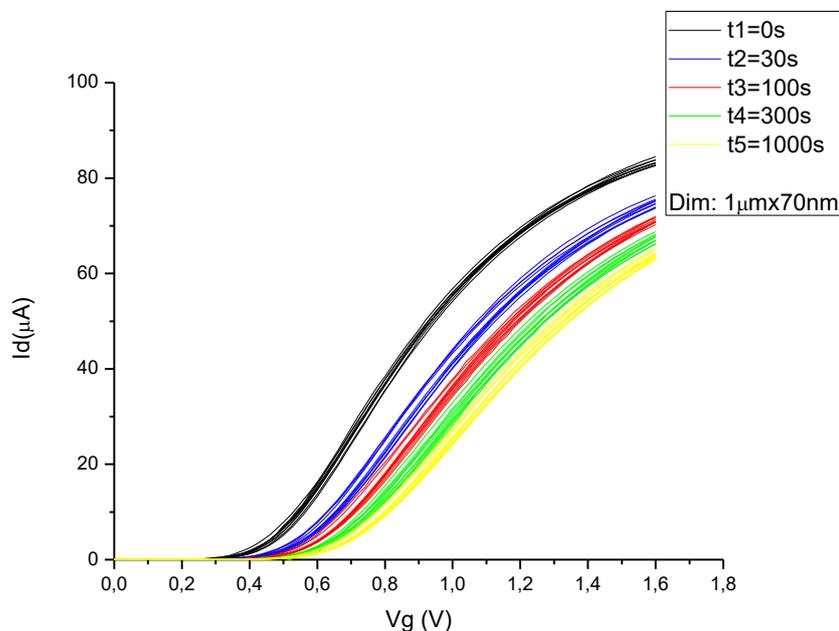


Figura 7: Característica  $I_d$ - $V_g$  lado izquierdo transistor de  $1 \times 70$ .

### Tamaño de $2 \mu m \times 500 nm$ :

Estos son los dispositivos de mayor tamaño que se encuentra en la Zona MAN de cada Die, dado que su tamaño es muy grande es considerado como tecnología de canal largo, por lo que a estos dispositivos se utilizó una rutina especial en la que se extraía la capacitancia.

De igual manera se midieron 30 dispositivos, y se tomaron los diez mejores, y se denota claramente la degradación después de cada estrés, dado que el dispositivo es de canal largo la degradación es mucho menor que la que se obtiene con los dispositivos de canal corto. Las Figuras 8 muestran la característica medida en el Keithley.

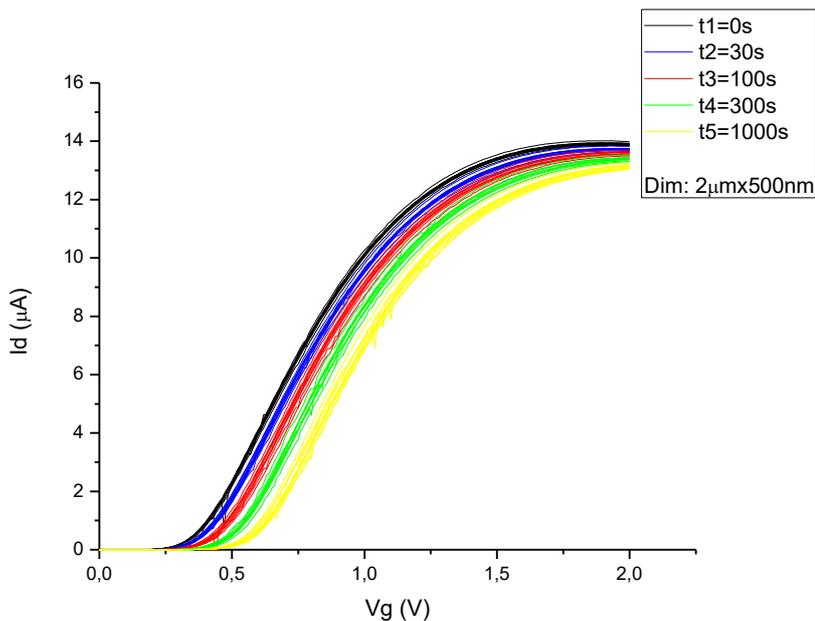


Figura 8: Característica Id.-Vg lado izquierdo transistor de 2µx500.

### 1.2 Estadística $\Delta V_{TH}$

Para obtener la estadística del parámetro deseado se extrajo el voltaje de umbral ( $V_{TH}$ ) y se obtuvo la variación de  $V_{TH}$  para los valores 0, 100, y 1000 segundos; esta variación presentó una dispersión por lo que se realizó la estadística de la distribución normal de los datos. Se realizó para ambas dimensiones mencionadas anteriormente, tanto para los dispositivos pequeños como para los de mayor tamaño.

La Figura 9 muestra la variación entre la medición sin estrés y la medición con estrés de 100 segundos, mientras que la Figura 10 se observa la variación entre el voltaje umbral con estrés de 100 segundos y estrés de 1000 segundos de los dispositivos de 1µm x 70nm.

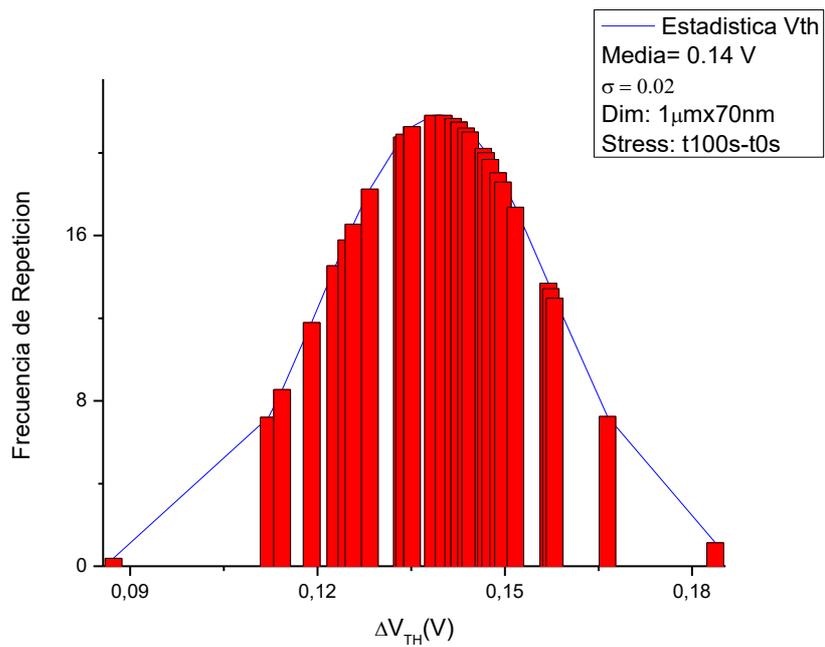


Figura 9: Estadística  $V_{th}(t1)-V_{th}(t3)$  dispositivos pequeños

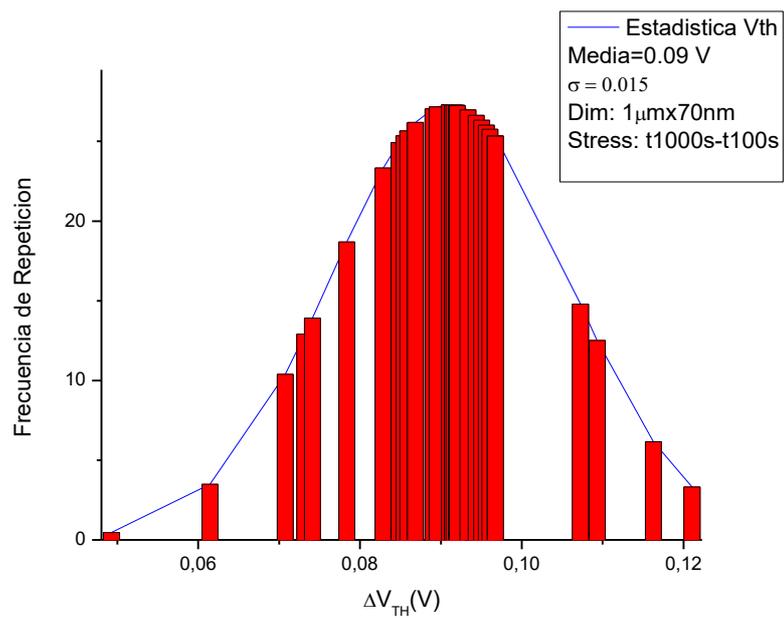


Figura 10: Estadística  $V_{th}(t3)-V_{th}(t5)$  dispositivos pequeños

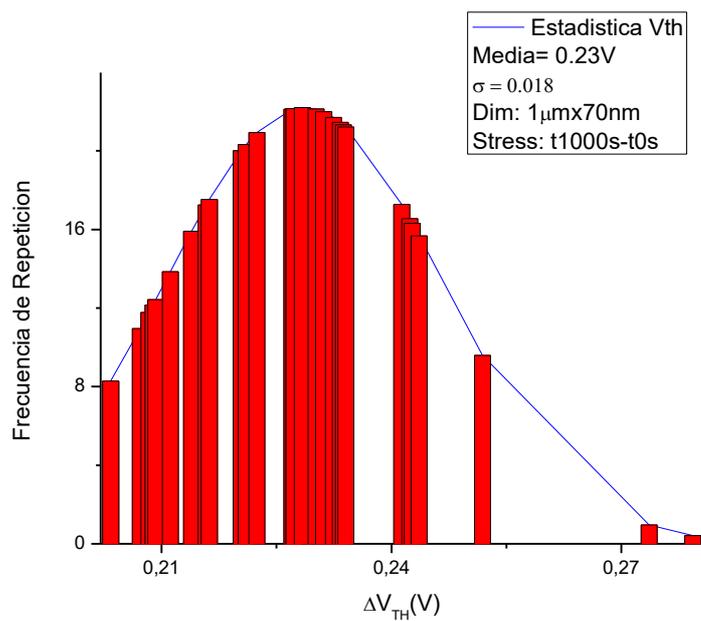


Figura 11: Estadística  $V_{th}(t1)-V_{th}(t5)$  dispositivos pequeños

Para los dispositivos de mayor tamaño de dimensión 2 $\mu$ m de ancho por 500 nm de largo; la Figura 12 y Figura 13 muestran exactamente lo mismo pero para los dispositivos de mayor tamaño.

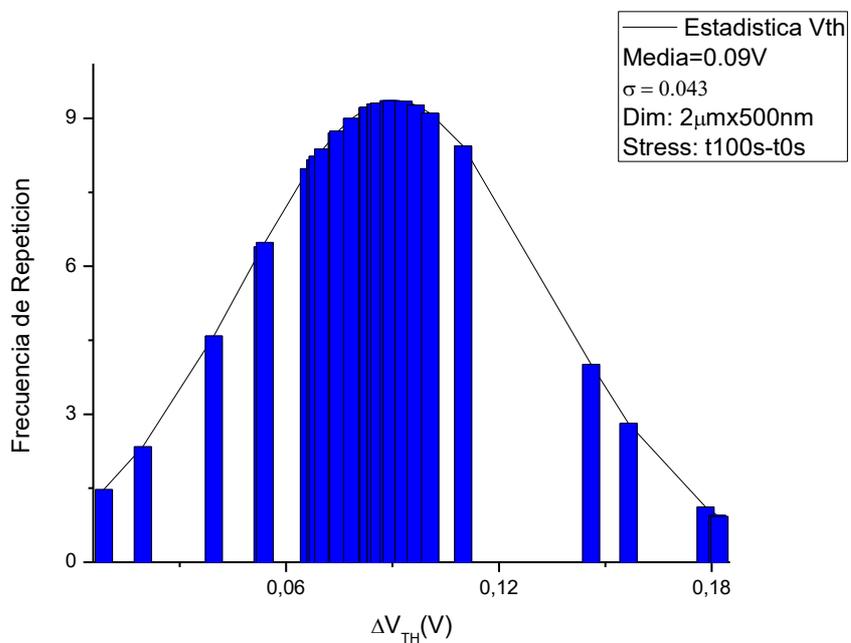


Figura 12: Estadística  $V_{th}(t1)-V_{th}(t3)$  dispositivos grandes

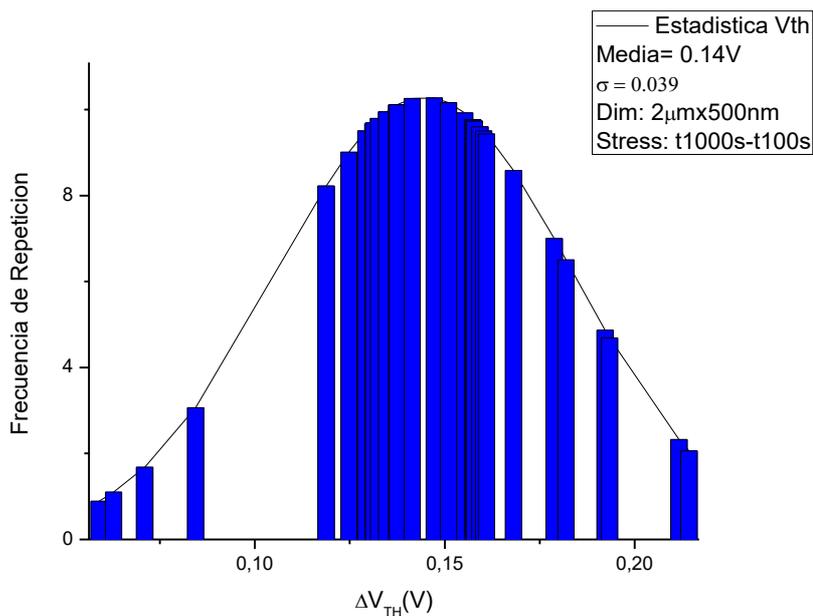


Figura 13: Estadística  $V_{th}(t3)$ - $V_{th}(t5)$  dispositivos grandes

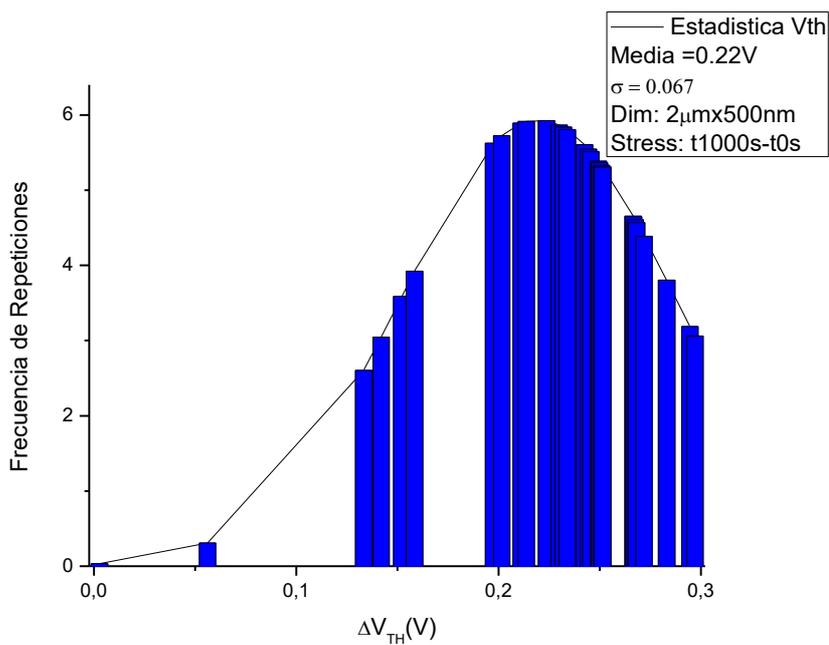


Figura 14: Estadística  $V_{th}(t1)$ - $V_{th}(t5)$  dispositivos grandes

## 2. Extracción de parámetros

Con todas las mediciones obtenidas se realiza el análisis del parámetro mencionado después de cada tiempo de estrés para cada tamaño de transistores mencionado los resultados de la variación de  $V_{TH}$  se pueden observar en las siguientes tablas.

El parámetro de estudio es la variación de voltaje de umbral tanto para dispositivos pequeños como grandes de esta forma en la Tabla 1 se observa el valor en que varían según la estadística realizada,  $\Delta V_{TH1}$  es la variación entre el voltaje de umbral sin estrés y con estrés durante 100 segundos, mientras que  $\Delta V_{TH2}$  es la variación entre el estrés de 100 segundos y 1000 segundos, y para comprobar  $\Delta V_{TH3}$  es la variación entre las mediciones sin estrés y con estrés de mil segundos, de igual forma estos tiempos se cumple para  $\Delta\sigma_1$ ,  $\Delta\sigma_2$  y  $\Delta\sigma_3$ . Mientras que en la Tabla 2 se observa como cambia el voltaje de umbral promedio con el tiempo de estrés para ambas dimensiones de igual manera se observa la dispersión que presenta la estadística medida

*Tabla 1: Variación de voltaje de umbral y dispersión de dispositivos pequeños y grandes*

		$\Delta V_{TH} (V)$			$\sigma$		
Dimensión:	Variación	$\Delta V_{TH1}$	$\Delta V_{TH2}$	$\Delta V_{TH3}$	$\Delta\sigma_1$	$\Delta\sigma_2$	$\Delta\sigma_3$
1 $\mu$ x70nm		0.14	0.09	0.23	0.018	0.014	0.018
2 $\mu$ x500nm		0.09	0.14	0.22	0.043	0.039	0.067

*Tabla 2: Voltaje de umbral y dispersión para cada tiempo de dispositivos pequeños y grandes.*

		$\overline{V_{TH}} (V)$					$\sigma$				
Dimensión	Stress	t1	t2	t3	t4	t5	t1	t2	t3	t4	t5
1 $\mu$ x70nm		0.46	0.56	0.60	0.65	0.69	0.019	0.029	0.023	0.025	0.020
2 $\mu$ x500nm		0.40	0.43	0.48	0.55	0.62	0.067	0.028	0.029	0.028	0.042

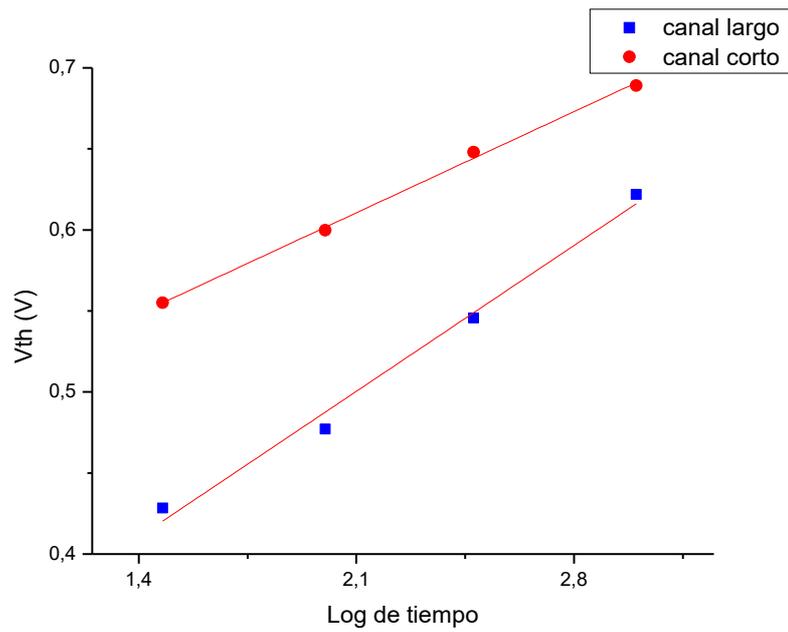


Figura 15: Tendencia de voltaje de umbral con el logaritmo del tiempo.

Ecuación de dispositivos dimensión  $1\mu\times 70\text{nm}$ :

$$V_{TH} = 0.089(\log(t)) + 0.423$$

Ecuación de dispositivos dimensión  $2\mu\times 500\text{nm}$ :

$$V_{TH} = 0.128(\log(t)) + 0.23$$

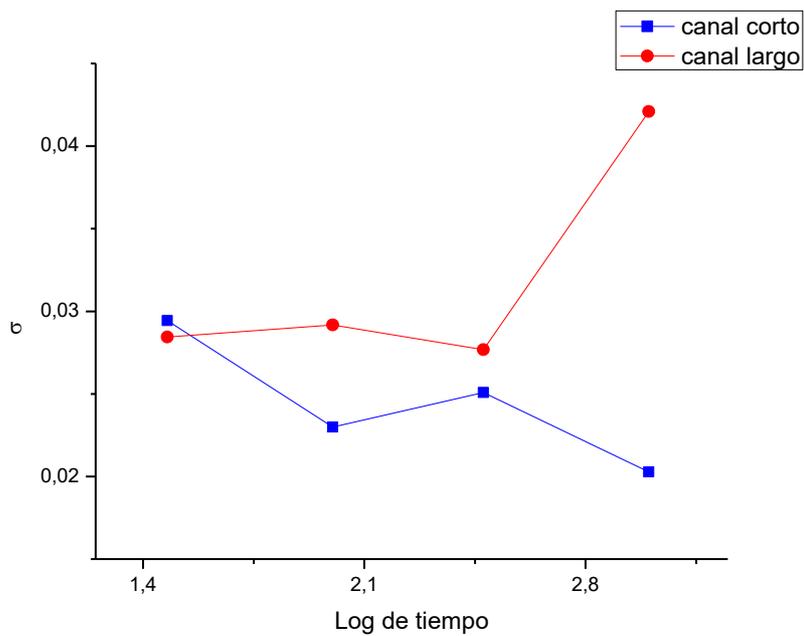


Figura 16: Tendencia de  $\sigma$  con el logaritmo del tiempo

### 3. Análisis de resultados

Analizando los resultados obtenidos que fueron mostrados en la sección anterior podemos decir que los dispositivos de canal corto es decir de menor tamaño la corriente a 1.6V alcanzo alrededor de 83  $\mu\text{A}$  para el caso del lado izquierdo, después del primer estrés la corriente se degrado alrededor de un 10% (es decir a 75  $\mu\text{A}$ ) en la región lineal, corroborando la teoría. (Procel, 2016). Pero en los siguientes tiempos de estrés la corriente solo se redujo entre 4.8 a 5%.

En cuanto a los dispositivos de canal largo los transistores alcanzaron una corriente de 13.9  $\mu\text{A}$  sin estrés con un voltaje de 2 V en la compuerta del transistor, en el primer estrés tanto para el lado izquierdo como derecho la corriente se degrado 1.3%, en el segundo estrés la corriente se degrado apenas 1 % en la tercer estrés la corriente volvió a degradarse 1.3%, y por último el estrés final la corriente se degrado 2%. En este caso la degradación es más inestable y difícil de entender porque ocurre, pero como se mencionó anteriormente se explica de acuerdo al modelo del electrón “suertudo” para canal largo (Hu C. , 1979).

Debido a esto se explica porque la variación del voltaje de umbral es mayor en la primera transición del estrés que la final, al contrario de los dispositivos de mayor tamaño en donde en la transición final aumenta la variación; por último es interesante analizar la Figura 15 en la que se obtiene la tendencia con la que aumenta el  $V_{\text{TH}}$  con el logaritmo del tiempo de estrés para ambas dimensiones es creciente esta curva aunque para la pendiente de los dispositivos de mayor dimensión es mayor por lo que se puede predecir que a mayor tiempo de estrés crecerá más rápido el voltaje de umbral que en los de menor dimensión, en cuanto a la Figura 16 no se encontró un patrón para extraer una ecuación pero es interesante la tendencia de aumentar y disminuir la dispersión en cada tiempo de estrés.

## CONCLUSIONES

En conclusión la estadística realizada nos muestra que el voltaje de umbral se desplaza hacia la derecha después de cada estrés, independiente de la dimensión del dispositivo  $V_{TH}$  aumenta; el estrés utilizado es de tipo CHC (cannel hot carrier), el cual puede ser usado para un estudio investigativo más profundo y avanzado. En cuanto al porcentaje de degradación los dispositivos de canal corto tuvieron una mayor degradación en la primera transición y después se volvió constante el porcentaje de degradación, algo que no ocurrió en los dispositivos más grandes que a pesar del alto voltaje de estrés aplicado la degradación no fue tan fuerte, la degradación más fuerte ocurrió en t5 eso es claro dado que el estrés fue aplicado durante 1000 segundos por lo que el impacto de ionización fue más fuerte en estos dispositivos.

Finalmente este tipo de estudio abre un gran campo para el futuro ya que cada vez las tecnologías son más pequeñas y aunque disminuya las dimensiones del transistor no siempre es factible la disminución del voltaje de encendido de los transistores es decir el voltaje de umbral de esta manera este estudio podría volverse más importante en cuanto aparezcan las nuevas tecnologías, de igual manera sería interesante realizar este tipo de estudios en los transistores con high-k ya que las trampas de interfaz serían muy diferentes debido a que el material usado ya no es el silicio.

## REFERENCIAS BIBLIOGRÁFICAS

- Colinge, J. P., & Colinge, C. A. (1999). *Physics of Semiconductor Devices*. New York, Boston, London: Kluwer Academic Publishers.
- Hu, C. (1979). Lucky electron model for channel hot emission. *IEEE Proceedings of the International Electron Devices Meeting (IEDM)*, pp. 22-25.
- Hu, C. C. (2010). MOS Capacitor. En C. C. Hu, *Modern Semiconductor Devices for Integrated Circuits* (págs. pp. 157- 193). USA: Berkeley.
- Hu, C., Tam, S., Hsu, F., Ko, P., Chan, T., & Terril, K. (1985). Hot-electron-induced MOSFET'S degradation-Model, monitor, and improvement. *IEEE transactions on Electron Devices*, vol 32, pp. 375-385.
- Procel, L. M. (2016). *A Defect-Centric Analysis of the Channel Hot Carrier Degradation*. Calabria: Science, Comunicazione e Tecnologie.
- Sze, S. M., & Ng, K. (2007). *Physics of Semiconductor Devices*. New Jersey: John Wiley & sons, Inc.
- Tam, S., Ko, P., & Hu, C. (1984). Lucky-electron model of channel hot electron rejection in MOSFET'S . *IEEE Transactions on Electron Devices*, vol. 31, pp. 1116-1125.

