

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

**Simulación y comparación de distintas topologías y
tecnologías de memorias SRAM**
Proyecto de investigación

Juan Daniel Romero Vallejo

Ingeniería Electrónica y Automatización

Trabajo de titulación presentado como requisito
para la obtención del título de
Ingeniero Electrónico

Quito, 21 de mayo de 2018

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

COLEGIO DE CIENCIAS E INGENIERÍAS

**HOJA DE CALIFICACIÓN
DE TRABAJO DE TITULACIÓN**

**Simulación y comparación de distintas topologías y tecnologías de memorias
SRAM**

Juan Daniel Romero Vallejo

Calificación:

Nombre del profesor, Título académico

Luis Miguel Prócel, Ph.D.

Firma del profesor

Quito, 21 de mayo de 2018

Derechos de Autor

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Así mismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en el Art. 144 de la Ley Orgánica de Educación Superior.

Firma del estudiante: _____

Nombres y apellidos: Juan Daniel Romero Vallejo

Código: 00116069

Cédula de Identidad: 1717138059

Lugar y fecha: Quito, 21 mayo de 2018

RESUMEN

El presente trabajo de titulación tiene como finalidad el diseñar y simular una memoria *Static Random Access Memory* (SRAM) usando distintas topologías y tecnologías, adicionalmente se prevé comparar el comportamiento entre los diseños propuestos. Para cumplir con este objetivo se tomó como referencia la tecnología en uso correspondiente a FinFET de 14nm basada en modelos predictivos desarrollados por la Universidad Estatal de Arizona. Para el desarrollo de la SRAM basada en el modelo con tecnología de Tunnel-FET (T-FET) se utilizó las *lookup tables* obtenidas a partir de simulaciones TCAD.

En forma general los modelos diseñados y los resultados obtenidos para las dos tecnologías, fueron simulados bajo la plataforma SYNOPSIS.

Como parte inicial de este proceso fue necesario calibrar los *lookup tables* de los T-FET de tal manera que sus curvas de corriente de apagado (I_{off}) y de capacitancia extrínseca de la compuerta (C_g), tengan un mismo origen respecto a los modelos basados en la tecnología FinFET.

Con este ajuste o calibración inicial se procedió a diseñar las SRAM con topología basada en el número de transistores (nT): 6T, 8T, 9T y 10T, tanto para FinFET como para T-FET; a fin de llegar a determinar cuál de las dos tecnologías presenta mejores ventajas, mayor eficiencia y mayor aplicabilidad de implementación en un futuro, considerando las limitaciones de densidad de transistores por unidad de superficie de acuerdo a la ley de Moore.

Palabras claves: memoria SRAM, tecnología de 14nm, FinFET, Tunnel-FET, SNM (Margen de Ruido Estático), WRM (Margen de Escritura), HSNM (Hold Static Noise Margin), RSNM (Read Static Noise Margin), SYNOPSIS.

ABSTRACT

The purpose of the present degree work is to design and simulate a Static Random Access Memory (SRAM) using different topologies and technologies; in addition, it is expected to compare the behavior between the proposed designs. To reach this objective, the technology in use corresponding to FinFET of 14nm based on predictive models developed by the Arizona State University was taken as reference. For the development of the SRAM based on Tunnel-FET (T-FET) technology, the lookup tables obtained by means of TCAD simulations were used.

In general, the models designed and the results obtained for the two technologies were simulated using the SYNOPSIS platform.

As an initial part of this process, it was necessary to calibrate the lookup tables of the T-FETs in such a way that their currents of shutdown (I_{off}) and extrinsic capacitance of the gate (C_g) have the same origin with respect to the models based on FinFET technology.

With this adjustment or initial calibration I proceeded to design the SRAM with topology based on the number of transistors (nT): 6T, 8T, 9T and 10T, for both FinFET and T-FET; in order to determine which of the two technologies has better advantages, greater efficiency and greater applicability of implementation in the future, considering the limitations of density of transistors per unit area according to Moore's law.

Key words: SRAM memory, 14nm technology, FinFET, Tunnel-FET, SNM (Static Noise Margin), WRM (Write Margin), HSNM (Hold Static Noise Margin), RSNM (Read Static Noise Margin), SYNOPSIS.

TABLA DE CONTENIDO

Resumen	13
Abstract.....	13
Índice de Tablas.....	7
Índice de Gráficas.....	8
Desarrollo del Tema	13
Topologías.....	20
6 Transistores	20
8 Transistores	21
9 Transistores	21
10 Transistores	22
Resultados	23
6 Transistores	23
8 Transistores	29
9 Transistores	37
10 Transistores	46
Análisis	54
Conclusiones.....	62
Referencias bibliográficas	63

ÍNDICE DE TABLAS

Tabla 1: Voltajes utilizados para cada tecnología.....	16
Tabla 2: Capacitancias utilizadas para cada tecnología	16
Tabla 3: Valores de HSNM y RSNM de lectura para FinFET de 6T	24
Tabla 4: Valores de WRM de escritura para FinFET de 6T	24
Tabla 5: Valores de HSNM y RSNM de lectura para T-FET de 6T	25
Tabla 6: Valores de WRM de escritura para T-FET de 6T.....	25
Tabla 7: Valores de RSNM de lectura para FinFET de 8T	32
Tabla 8: Valores de WRM de escritura para FinFET de 8T	32
Tabla 9: Valores de RSNM de lectura para T-FET de 8T.....	33
Tabla 10: Valores de WRM de escritura para T-FET de 8T.....	33
Tabla 11: Valores de RSNM de lectura para FinFET de 9T	40
Tabla 12: Valores de WRM de escritura para FinFET de 9T	41
Tabla 13: Valores de RSNM de lectura para T-FET de 9T.....	41
Tabla 14: Valores de WRM de escritura para T-FET de 9T.....	42
Tabla 15: Valores de RSNM de lectura para FinFET de 10T	48
Tabla 16: Valores de WRM de escritura para FinFET de 10T	49
Tabla 17: Valores de RSNM de lectura para T-FET de 10T.....	49
Tabla 18: Valores de WRM de escritura para T-FET de 10T.....	50
Tabla 19: Eficiencia de las topologías para ambas tecnologías	59

ÍNDICE DE GRÁFICAS

Gráfica 1: Curvas de capacitancia extrínseca de la compuerta (C_g) de FinFET y T-FET – tipo n	13
Gráfica 2: Curvas de capacitancia extrínseca de la compuerta (C_g) de FinFET y T-FET – tipo p	14
Gráfica 3: Curvas de corriente de apagado (I_{off}) de FinFET y T-FET – tipo n	14
Gráfica 4: Curvas de corriente de apagado (I_{off}) de FinFET y T-FET – tipo p	15
Gráfica 5: Topología 6T	16
Gráfica 6: Conexiones para la lectura de 6T	17
Gráfica 7: Curva SNM para 6T	18
Gráfica 8: Conexiones para la escritura de 6T	19
Gráfica 9: Margen de escritura - WRM para 6T	20
Gráfica 10: Voltaje vs. SNM para 6T	26
Gráfica 11: Voltaje vs. WRM para 6T	27
Gráfica 12: Eficiencia de SNM para cada V_{dd} para 6T	28
Gráfica 13: Eficiencia de WRM para cada V_{dd} para 6T	29
Gráfica 14: Topología 8T	30
Gráfica 15: Conexiones para la lectura de 8T	30
Gráfica 16: Conexiones para la escritura de 8T	31
Gráfica 17: Voltaje vs. SNM para 8T	34
Gráfica 18: Voltaje vs. WRM para 8T	35
Gráfica 19: Eficiencia de SNM para cada V_{dd} para 8T	36
Gráfica 20: Eficiencia de WRM para cada V_{dd} para 8T	37
Gráfica 21: Topología 9T	38
Gráfica 22: Conexiones para la lectura de 9T	39
Gráfica 23: Conexiones para la escritura de 9T	40

Gráfica 24: Voltaje vs. SNM para 9T.....	43
Gráfica 25: Voltaje vs. WRM para 9T	44
Gráfica 26: Eficiencia de SNM para cada Vdd para 9T.....	45
Gráfica 27: Eficiencia de WRM para cada Vdd para 9T	46
Gráfica 28: Topología 10T	46
Gráfica 29: Conexiones para la lectura de 10T	47
Gráfica 30: Conexiones para la escritura de 10T	48
Gráfica 31: Voltaje vs. SNM para 10T.....	51
Gráfica 32: Voltaje vs. WRM para 10T	51
Gráfica 33: Eficiencia de SNM para cada Vdd para 10T	52
Gráfica 34: Eficiencia de WRM para cada Vdd para 10T.....	53
Gráfica 35: FinFET vs. T-FET de SNM y WRM para 6T.....	55
Gráfica 36: FinFET vs. T-FET de SNM y WRM para 8T.....	56
Gráfica 37: FinFET vs. T-FET de SNM y WRM para 9T.....	57
Gráfica 38: FinFET vs. T-FET en SNM y WRM para 10T.....	58
Gráfica 39: FinFET vs. T-FET de SNM de 6T, 8T, 9T y 10T	60
Gráfica 40: FinFET vs. T-FET de WRM de 6T, 8T, 9T y 10T	61

INTRODUCCIÓN

Gordon Moore, cofundador de Intel, en 1965 mencionó que el número de transistores por pulgada en los circuitos integrados se duplicaría cada 18 meses, a esto se le denominó la ley de Moore. Moore previó un futuro con computadores, teléfonos móviles y sistemas de control automático para autos, todas estas maravillas serían impulsadas por un constante duplicado, año tras año, en la cantidad de componentes del circuito que podrían empaquetarse en un chip integrado [1]. Con el continuo avance y desarrollo de la tecnología se está llegando al límite de la misma lo cual ha sido descrito por la ley de Moore. Por lo que se busca obtener mejoras y avances a través de la reducción de la tecnología y de la disminución en la cantidad de recursos utilizados. Por esta razón para los diseños de la memoria SRAM (memoria estática de acceso aleatorio) se utilizó tecnología FinFET, que es la más empleada en la actualidad. Por otro lado, se aplicó tecnología T-FET para los diseños, por ser el candidato idóneo para un futuro uso.

Un transistor FinFET (*Fin Field-effect transistor*) es un MOSFET de doble puerta construido sobre un sustrato SOI. Estos dispositivos reciben el nombre genérico de “*finfets*” porque la capa de silicio activa entre el source y el drain tiene forma de “aleta” [2]. A diferencia de un T-FET (*Tunnel Field-effect transistor*) el cual es un transistor experimental que utiliza túneles cuánticos de banda a banda, en lugar de inyección térmica, para inyectar portadores de carga en el canal del dispositivo [3]. Por lo cual es un excelente candidato para electrónica de baja potencia. Por estas razones es uno de los candidatos más prometedores para complementar o reemplazar a la tecnología actual en aplicaciones de ultra bajo consumo (ULP) [4].

Al hablar de tecnología de 14nm, se refiere a la longitud mínima de la puerta del transistor en la realización del CI. A medida que este número disminuye la tecnología se hace más rápida pero con un mayor consumo de energía [5].

El diseño y simulación de las topologías de la SRAM se realizó bajo la plataforma SYNOPSIS que utiliza el diseño asistido por computadora (TCAD – por sus siglas en inglés), la cual hace referencia al uso de simulaciones por computadora para el desarrollo y optimización de tecnologías y dispositivos de procesamiento de semiconductores [6].

Se resalta la importancia de la celda básica de una memoria SRAM por ser un circuito fundamental en diversas aplicaciones y por ser objeto de estudio dentro de la electrónica moderna. Hoy en día, la celda de RAM estática (SRAM) es uno de los bloques de construcción digitales más relevantes desplegados en gran medida como *on-board cache* en procesadores (ocupando hasta el 70% del área de un procesador [7]). Una memoria SRAM presenta mayor rapidez tanto en la escritura como en la lectura en comparación a la memoria DRAM (memoria dinámica de acceso aleatorio). Por estas razones el presente trabajo de titulación se enfocará en el análisis del diseño de este circuito.

Como parte inicial de este proceso fue necesario calibrar los *lookup tables* de los T-FET de tal manera que sus curvas de corriente de apagado (I_{off}) y de capacitancia extrínseca de la compuerta (C_g) tengan un mismo origen respecto a los modelos basados en la tecnología FinFET.

Con esta calibración inicial se procedió a diseñar las SRAM con topología basada en el número de transistores (nT): 6T, 8T, 9T y 10T, tanto para FinFET como para T-FET; para las simulaciones con FinFET se utilizó la tecnología de 14nm de los modelos predictivos desarrollados por la Universidad Estatal de Arizona y los modelos BSIM desarrollados por la Universidad de Berkeley. Por otro lado, para las simulaciones con T-FET se empleó de los *lookup tables* obtenidos por medio de simulaciones TCAD.

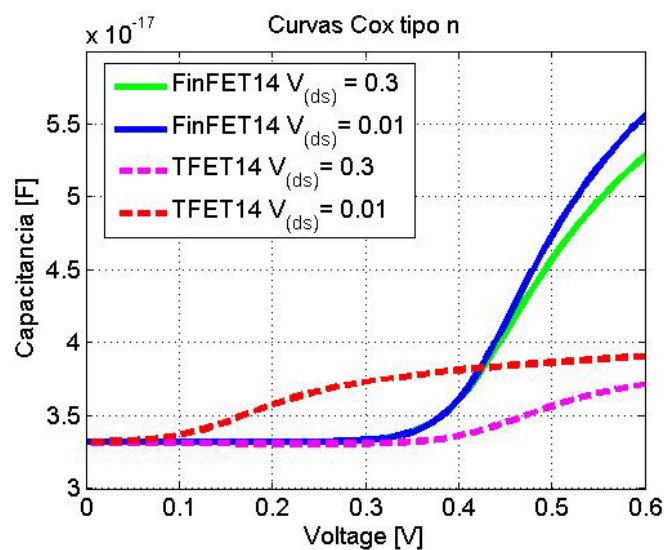
Los modelos PTM (*Predictive Technology Model*) proporcionan archivos de modelos precisos, personalizables y predictivos para futuras tecnologías de interconexión y transistores. Con los PTM el diseño y la investigación de circuitos competitivos pueden comenzar incluso antes de que la tecnología avanzada de semiconductores esté completamente desarrollada [8]. Mientras que los modelos BSIM (*Berkeley Short-channel IGFET Model*) hacen referencia a la familia de los modelos de transistores MOSFET para el diseño de circuitos integrados [9].

En los diseños de ambas tecnologías los transistores de acceso tienen una considerable influencia. Por este motivo para los FinFET se trabajó con 1 n_{fin} y 3 n_{fin} , los “ n_{fin} ” representan el número de aletas en la región de *source/drain* – un número mayor de aletas permite que el dispositivo sea más eficiente; para los T-FET se trabajó con 1W y 3W en donde se mantiene la anterior analogía.

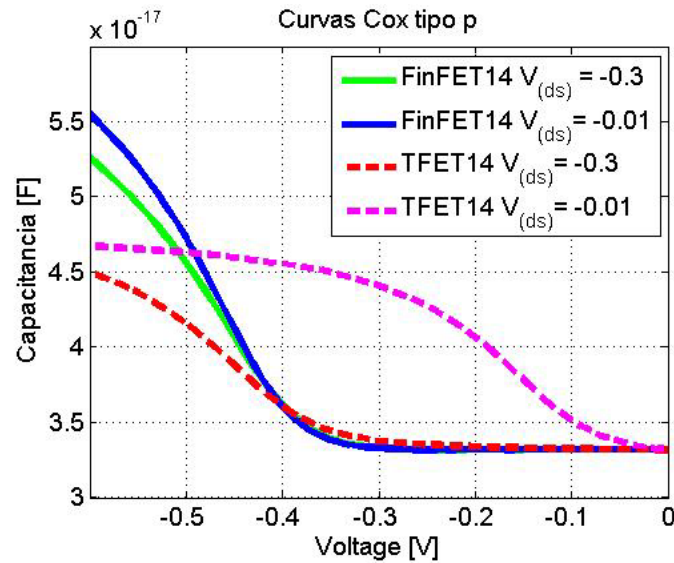
Con ayuda del simulador se obtuvo los datos para determinar los parámetros: SNM, WRM, HSNM y RSNM; que permitieron determinar qué topología y tecnología es más eficiente para el proceso de lectura y de escritura de la memoria SRAM.

DESARROLLO DEL TEMA

Como parte inicial del proceso de calibración se usan los modelos PTM de los cuales se selecciona los de bajo consumo en espera (LSTP – *Low Standby Power*) y dentro de este se opta por la tecnología de 14nm para trabajar con los FinFET. El proceso de calibración se realiza para que la tecnología Tunnel-FET no tenga ventaja o desventaja sobre la tecnología FinFET. Para conseguir este objetivo se modifica las *lookup tables* de los T-FET. El proceso consiste en calibrar las corrientes de apagado (I_{off}) y la curva de capacitancia extrínseca de la compuerta (C_g), es decir tanto las capacitancias C_{gd} (capacitancia intrínseca + extrínseca entre las terminales *gate* y *drain*) y C_{gs} (capacitancia intrínseca + extrínseca entre las terminales *gate* y *source*) que sumadas dan la capacitancia total de la compuerta C_g . Que las características C-V estén calibradas significa que las curvas C-V de los T-FETs y de los FinFET tengan un mismo punto de partida. En la Gráfica 1 y Gráfica 2 tanto para FinFET como para T-FET la curva de capacitancia extrínseca de la compuerta (C_g) tanto de tipo n como de tipo p tienen un mismo punto de partida por lo que se encuentran calibradas.

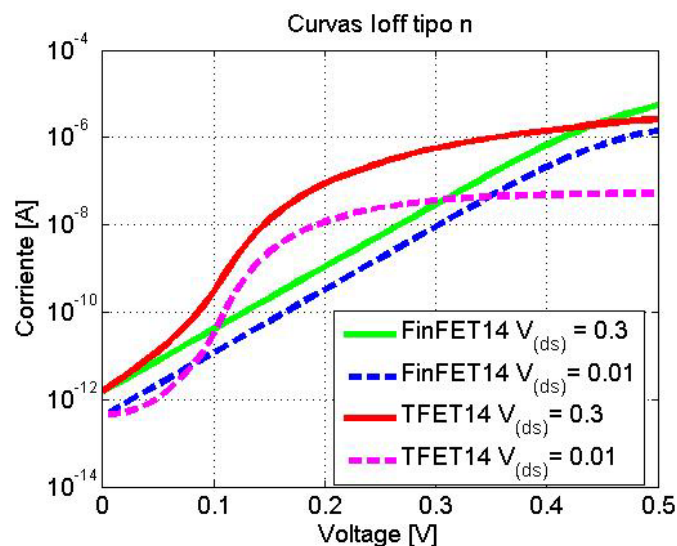


Gráfica 1: Curvas de capacitancia extrínseca de la compuerta (C_g) de FinFET y T-FET – tipo n

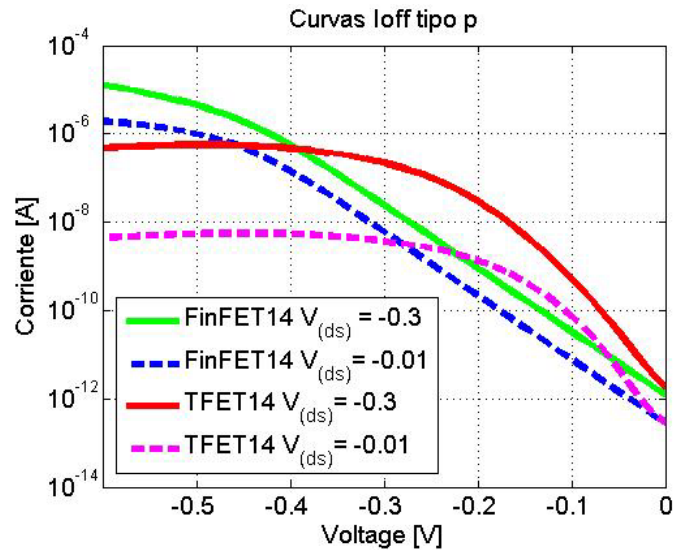


Gráfica 2: Curvas de capacitancia extrínseca de la compuerta (C_g) de FinFET y T-FET – tipo p

Del mismo modo que las características I-V estén calibradas significa que las curvas I-V de los T-FETs y de los FinFET tengan un mismo punto de partida. Las curvas de la corriente de apagado (I_{off}) de FinFET y T-FET presentaron una diferencia despreciable de $8.7E-14$ [A] por lo que se usó sus valores originales como se observa en la Gráfica 3 y Gráfica 4.



Gráfica 3: Curvas de corriente de apagado (I_{off}) de FinFET y T-FET – tipo n



Gráfica 4: Curvas de corriente de apagado (I_{off}) de FinFET y T-FET – tipo p

Una vez realizada la calibración, el siguiente paso fue la realización del diseño de la SRAM y sus respectivas simulaciones bajo la plataforma SYNOPSIS. En todas las topologías usando tanto FinFET como T-FET se empleará determinados voltajes V_{dd} y capacitancias C_{BL} y C_{WL} . En el diseño de la SRAM se considera una celda total de 255×255 de acuerdo a esto las capacitancias C_{BL} y C_{WL} se calculan de la siguiente manera. Las capacitancias C_{BL} se calculan a través de la fórmula:

$$C_{BL} = 255 * C_{gs}$$

Las capacitancias C_{WL} se calculan a través de la fórmula:

$$C_{WL} = 2 * 255 * C_g$$

Donde

$$C_g = C_{gd} + C_{gs}$$

Los valores de C_{gd} y C_{gs} para los FinFET se obtienen a través del simulador mientras que para los T-FET es a través de los *lookup tables*. En la tabla Tabla 1 se muestran los voltajes que se utilizaron y en la Tabla 2 las capacitancias usadas para cada tecnología.

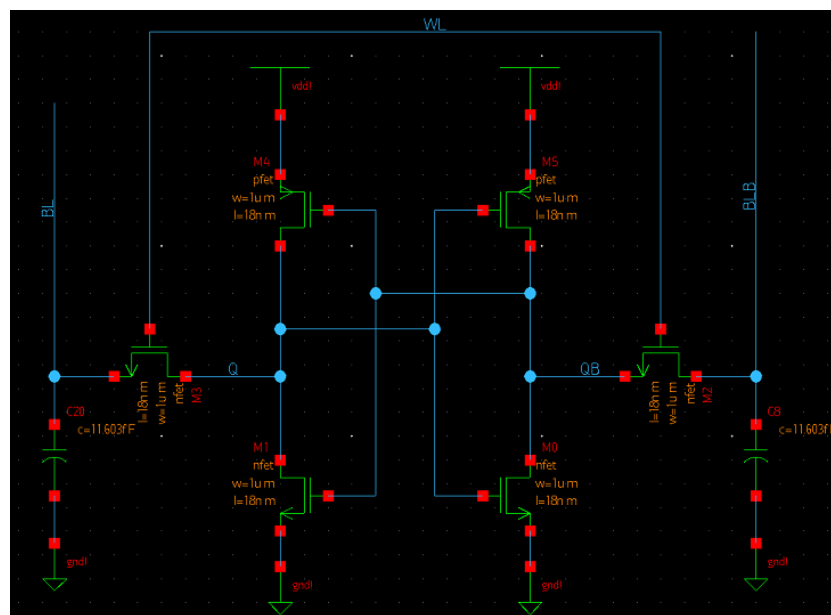
Tabla 1: Voltajes utilizados para cada tecnología

Tecnología	Voltaje [V]					
FinFET	-	0.3	0.5	1	0.9	1.1
T-FET	0.2	0.3	0.4	1	0.8	1.1

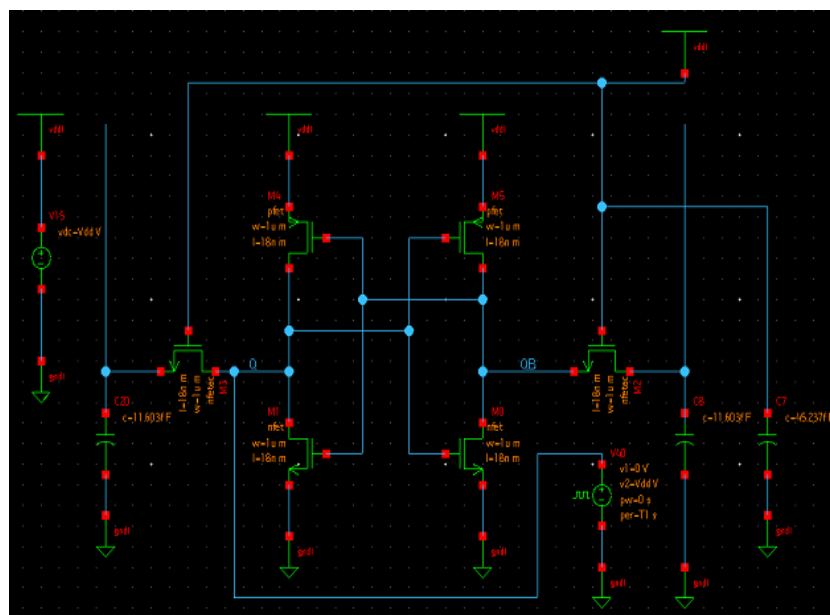
Tabla 2: Capacitancias utilizadas para cada tecnología

Tecnología	C_{BL} [F]	C_{WL} [F]
FinFET	1.16E-14	4.52E-14
T-FET	4.04E-15	1.90E-14

A continuación se muestra la topología de 6 transistores – 6T. Se observa en la Gráfica 5 el diseño tanto para FinFET como para T-FET el cual consta de un par de inversores y de dos transistores de acceso a cada lado. Gracias al par de inversores cuya disposición es tener un acoplamiento cruzado es posible el poder contener un estado de “1” o “0” siempre que la SRAM se encuentre encendida [6]. Debido a esto la memoria SRAM no necesita de actualizarse o refrescarse para mantener los datos por lo que el tiempo de ciclo es más corto en comparación a una memoria DRAM, la cual necesita de esta actualización periódicamente [6].

**Gráfica 5:** Topología 6T

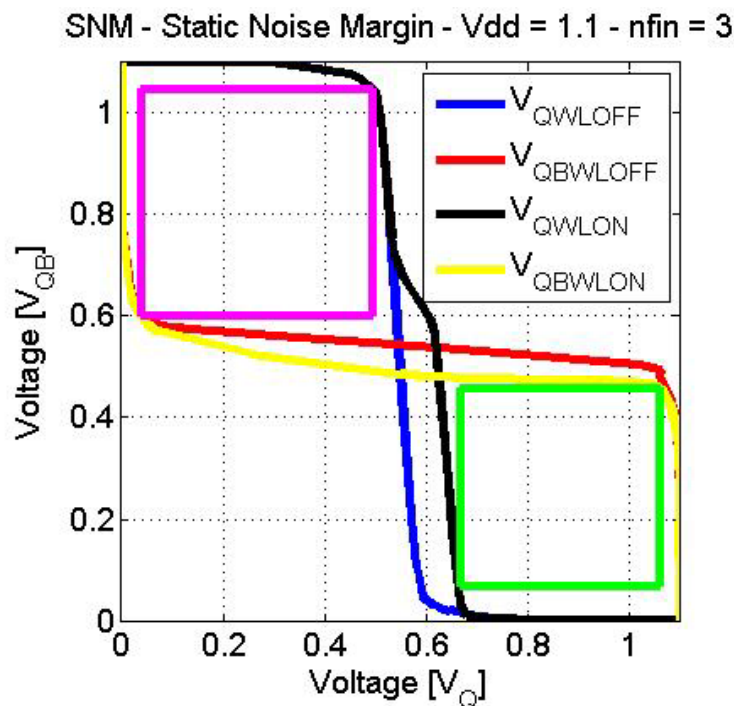
Se desea medir cuan efectivo resulta este diseño en la escritura y en la lectura. Para la lectura se debe tener las conexiones que se muestran en la Gráfica 6 donde se tiene una fuente Vdd que permite que el WL (*write line*) esté encendido, hay una fuente de pulsos con un período de 10[ns] para FinFET y de 100[ns] para T-FET la misma que alimenta Q o QB que son la conexión entre los transistores de acceso y los inversores, como este diseño es simétrico no tiene mayor relevancia a que nodo se conecte la fuente de pulsos.



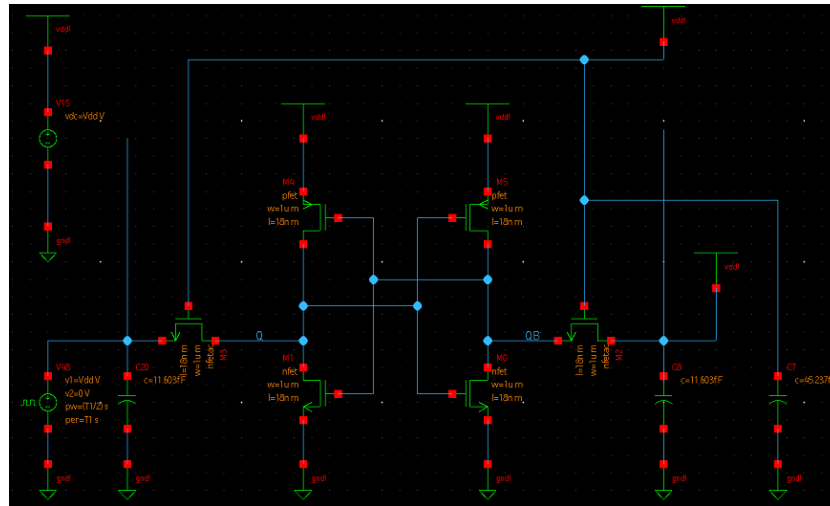
Gráfica 6: Conexiones para la lectura de 6T

Con el simulador se obtiene para cada Vdd los datos de los voltajes VQ y VQB respecto al tiempo, para lo cual se realizó un análisis transiente con pasos de tiempo de $1 * 10^{-10}$ [s] para FinFET y de $1 * 10^{-9}$ [s] para T-FET. Con estos datos extraídos se procede a obtener la curva mariposa o SNM misma que se genera al relacionar los voltajes VQ vs. VQB. Esta curva mariposa o SNM representa a la cantidad máxima de voltaje de ruido que puede ser tolerado en las entradas de los inversores cruzados. En otras palabras, es la cantidad requerida en los nodos de almacenamiento de la memoria SRAM para generar el "flip" a los datos de la celda [6].

En la Gráfica 7 se muestra 2 curvas mariposas usando FinFET con un voltaje de 1.1V y 3nfin. El primer par de curvas de color azul y rojo representan a un WL apagado (a tierra), con esta curva es posible obtener el valor de HSNM que corresponde al ancho del cuadrado rosa. El segundo par de curvas de color negro y amarillo hacen referencia a un WL encendido (a Vdd), con esta curva se obtiene el valor de RSNM que corresponde al alto del cuadrado verde. Es importante mencionar que se trata de generar el cuadrado más grande en el ala más pequeña de la mariposa pues de este modo se garantiza su operación [6].

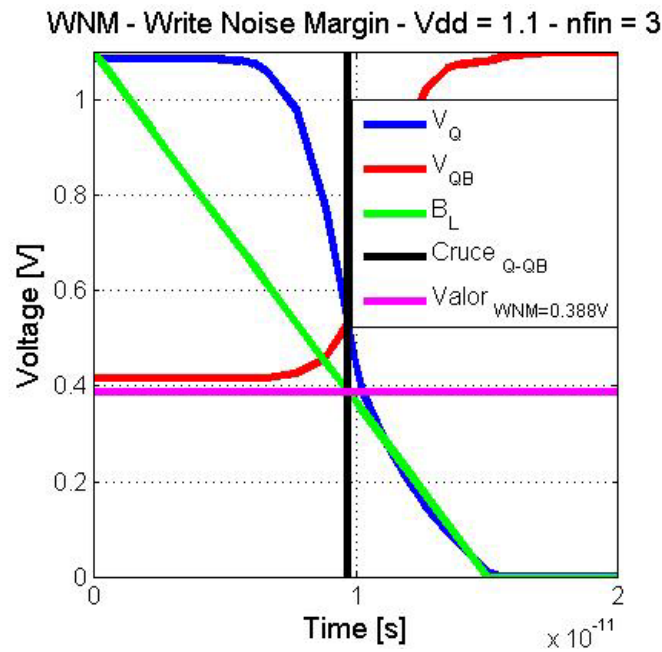


Para la escritura se debe tener en cuenta las conexiones que se proponen en la Gráfica 8. Como se observa el diseño cuenta con una fuente Vdd que permite que el WL (*write line*) esté encendido, se usa una fuente de pulsos con un período de 15[ps] para FinFET y de 100[ns] para T-FET. Esta fuente de pulsos alimenta a uno de los accesos de los inversores mientras que el otro acceso está alimentado por una fuente Vdd.



Gráfica 8: Conexiones para la escritura de 6T

Con el simulador se obtienen los datos para cada Vdd de los voltajes VQ, VQB, BL y BLB respecto al tiempo, para lo cual fue necesario realizar un análisis transiente con pasos de tiempo de 1.5×10^{-14} [s] para FinFET y de 1×10^{-9} [s] para T-FET. Con estos datos extraídos se obtiene el valor del margen de ruido (WRM) que se genera del cruce entre el voltaje VQ y VQB con el voltaje BL. El margen de escritura, WRM, se define como el resto de la diferencia del potencial entre el nivel de BL en el que se genera el *flip* de los datos y el cruce de VQ y VQB [6]. En la gráfica 9 usando FinFET con un voltaje de 1.1V y 3nfin se muestra el valor del margen de escritura, mismo que se genera como resultado del cruce de los voltajes VQ y VQB con el voltaje de BL.



Gráfica 9: Margen de escritura - WRM para 6T

TOPOLOGÍAS

6 TRANSISTORES

El diseño de 6T es el prototipo básico para una memoria SRAM no solo por su simplicidad sino por su funcionamiento que aunque no es perfecto permite la lectura y escritura en la memoria. Su diseño se forma por 2 inversores que se cruzan y 2 transistores de acceso. No cuenta con una línea específica para lectura por lo que tanto lectura y escritura funcionan a través del WL. Por este motivo esta topología se ha enfrentado a una difícil compensación entre las estabilidades de lectura y escritura [6]. Por lo cual en los diseños que le proceden se agrega una línea específica para la lectura lo que permite solucionar los problemas de estabilidad.

8 TRANSISTORES

Este diseño se presenta con el objetivo de eliminar los conflictos entre la corriente de la celda y la estabilidad en el diseño de la celda SRAM. Para ello se agrega 2 transistores tipo "n" gracias a los cuales se agrega una línea de lectura de bit - RBL (*read-bit-line*) y una línea de lectura - RWL (*read-word-line*). El agregar estas líneas proporciona el puerto de lectura en la SRAM el cual no había en el diseño anterior. Gracias a esta implementación se mejora la corriente de la celda y la estabilidad de la lectura, ya que se cuenta con puertos específicos para lectura y escritura. Con esta modificación la corriente de la celda puede aumentarse al impulsar el RWL y RBL [6]. Como su diseño no es simétrico es necesario colocar la fuente de pulsos en Q para obtener los datos de VQ y de igual forma en QB para obtener los datos de VQB para la lectura.

9 TRANSISTORES

Es un diseño nuevo que se desarrolló en China. Su finalidad es elevar la estabilidad llegando a ser similar a la celda 8T *single-ended*. En esta ocasión RWL (*read-write-line*) y RBL se adoptan exclusivamente para la operación de lectura [10]. Su diseño se constituye por 2 inversores, 4 transistores tipo "n" y un transistor tipo "p". Este diseño permite que la celda SRAM tenga una alta estabilidad y a su vez resuelva el problema de la pseudo-lectura sin afectar al rendimiento [10]. Por ello su diseño busca ser simplificado y al mismo tiempo controlar que no exista perturbación en la lectura.

10 TRANSISTORES

Este diseño se implementa a fin de evitar el problema de acceso a medio seleccionar, por lo que se agregan dos transistores conectados en serie entre la línea de bit (BL) y los nodos de almacenamiento. Gracias a esta nueva implementación la perturbación de la lectura puede eliminarse. Los rendimientos de lectura en estabilidad y capacidad de conducción de la celda tienden a ser igual que el puerto de lectura de la celda 8T de la memoria SRAM [6]. Como se utiliza un mayor número de transistores su costo es más elevado y la densidad que ocupa es superior a los diseños anteriores.

RESULTADOS

Los resultados que se expondrán a continuación se los obtuvo utilizando la tecnología de 14nm y los modelos BSIM y PTM para los FinFET. Se usa esta actual tecnología ya que hoy en día se busca utilizar tecnologías reducidas para elevar su eficiencia y productividad. En el caso de los T-FET se utilizó las *lookup tables*. En las topologías donde se utiliza FinFET al ser del tipo bi-direccional respecto a la corriente no existió problemas en el diseño, mientras que al usar T-FET se tuvo mucho cuidado en la dirección en la que eran colocados ya que al ser uni-direccionales la corriente circula en un solo sentido. Se procede a mostrar para cada topología los resultados obtenidos.

6 TRANSISTORES

El diseño de esta topología se mostró en el desarrollo. Los valores que se obtienen de HSNM en este diseño se mantendrán para las demás topologías ya que estos se adquieren al tener al WL en estado de apagado por lo tanto los transistores de acceso no tienen influencia en este parámetro. Los datos obtenidos de este diseño se presentan en las siguientes tablas.

Tabla 3: Valores de HSNM y RSNM de lectura para FinFET de 6T

SNM - Reading				
n-p-FinFET				
# Transistores	VDD [V]	nfin	HSNM [V]	RSNM [V]
6	1.1	1	0.4372	0.3819
	1.1	3	0.455	0.3897
	0.9	1	0.3882	0.2946
	0.9	3	0.3849	0.2913
	0.7	1	0.2955	0.1448
	0.7	3	0.2935	0.1438
	0.5	1	0.1417	0.0109
	0.5	3	0.1278	0.01
	0.3	1	-	-
	0.3	3	-	-

Tabla 4: Valores de WRM de escritura para FinFET de 6T

WRM - Writing			
n-p-FinFET			
# Transistores	VDD [V]	nfin	WRM [V]
6	1.1	1	0.0514
	1.1	3	0.388
	0.9	1	0.0021028
	0.9	3	0.231
	0.7	1	0
	0.7	3	0.0834
	0.5	1	0
	0.5	3	0.0011682
	0.3	1	0
	0.3	3	0

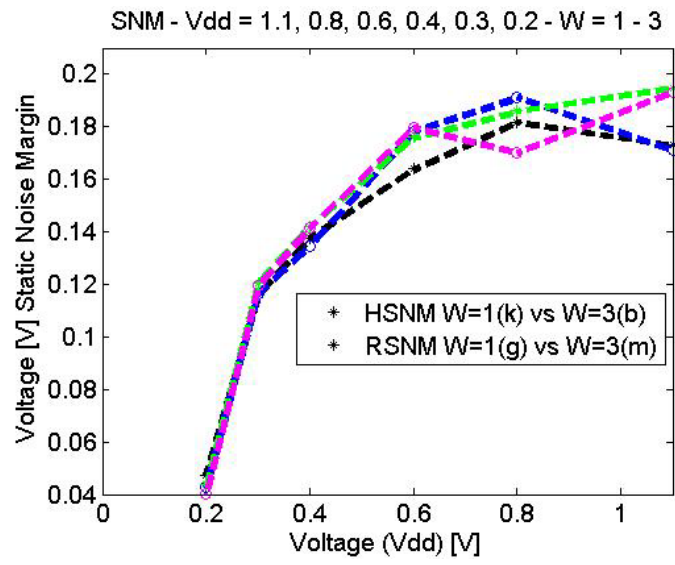
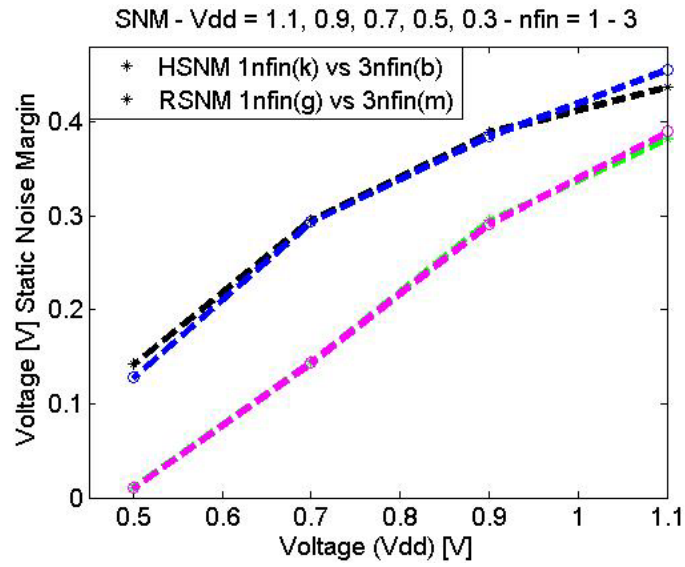
Tabla 5: Valores de HSNM y RSNM de lectura para T-FET de 6T

SNM - Reading				
T-Fet				
# Transistores	VDD [V]	W	HSNM [V]	RSNM [V]
6	0.2	1	0.0472	0.0438
	0.2	3	0.0429	0.0404
	0.3	1	0.1158	0.1203
	0.3	3	0.1165	0.1193
	0.4	1	0.1375	0.1419
	0.4	3	0.1346	0.1413
	0.6	1	0.164	0.176
	0.6	3	0.1782	0.1799
	0.8	1	0.1818	0.186
	0.8	3	0.191	0.1702
	1.1	1	0.1729	0.1948
	1.1	3	0.171	0.1934

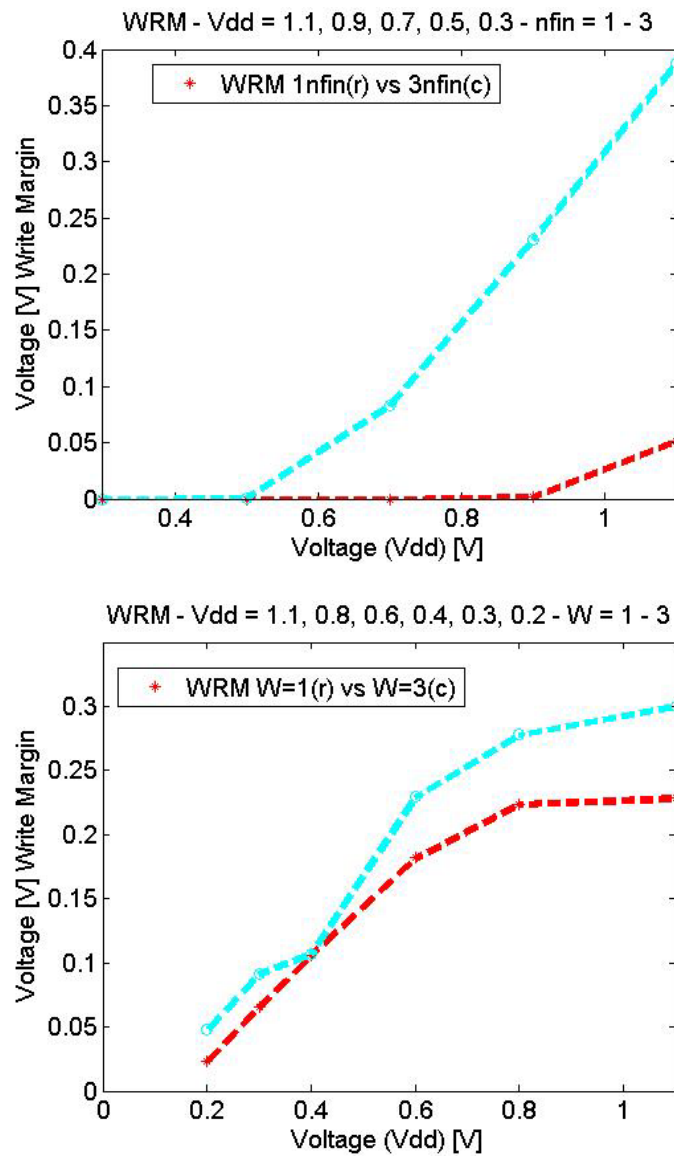
Tabla 6: Valores de WRM de escritura para T-FET de 6T

WRM - Writing			
T-Fet			
# Transistores	VDD [V]	W	WRM [V]
6	0.2	1	0.02331
	0.2	3	0.0477
	0.3	1	0.0651
	0.3	3	0.0913
	0.4	1	0.106
	0.4	3	0.1073
	0.6	1	0.18182
	0.6	3	0.22937
	0.8	1	0.22378
	0.8	3	0.2779
	1.1	1	0.22821
	1.1	3	0.3

Usando los datos de lectura y escritura de las tablas se procede a realizar los gráficos correspondientes. En la Gráfica 10 y Gráfica 11 se observa como las curvas de SNM y WRM son dependientes del voltaje aplicado y se muestra la diferencia en utilizar 1 o 3nfin en el caso de los FinFET o de usar 1 o 3W en el caso de los T-FET.



Gráfica 10: Voltaje vs. SNM para 6T



Gráfica 11: Voltaje vs. WRM para 6T

Obtenidas estas gráficas se procedió a calcular el porcentaje de eficiencia que existente para cada voltaje aplicado. Para lo cual la fórmula que se utilizó para el SNM fue:

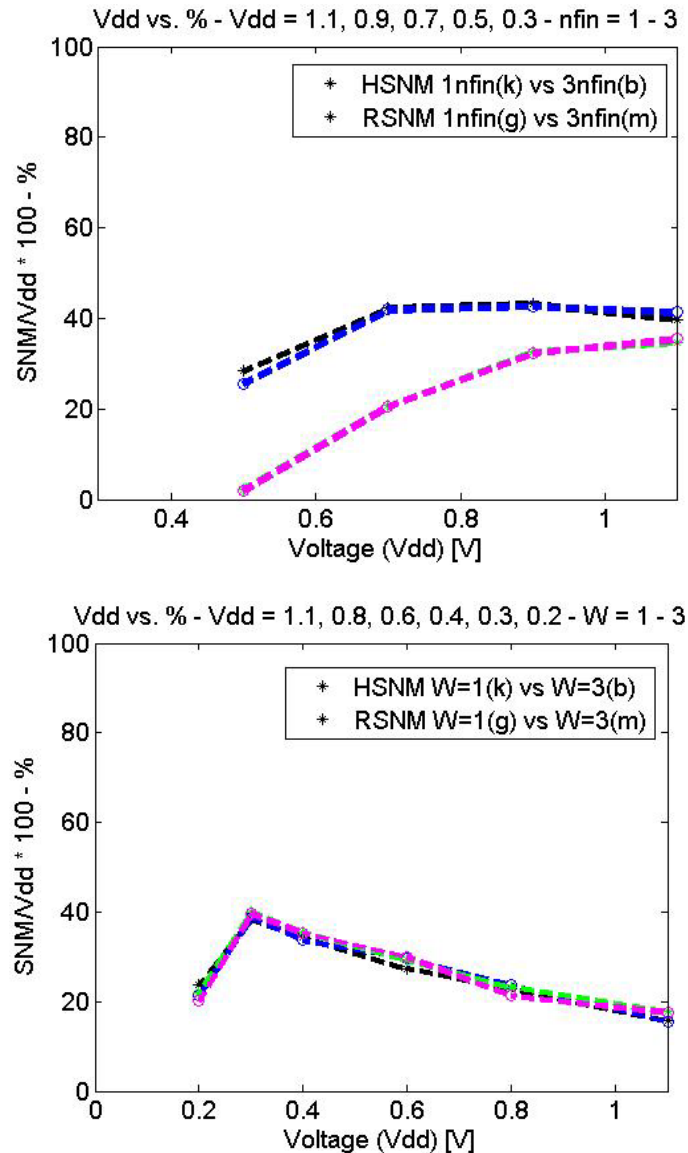
$$\frac{SNM}{Vdd} * 100\%$$

En el caso del WNM se utilizó la fórmula:

$$\frac{WRM}{Vdd} * 100\%$$

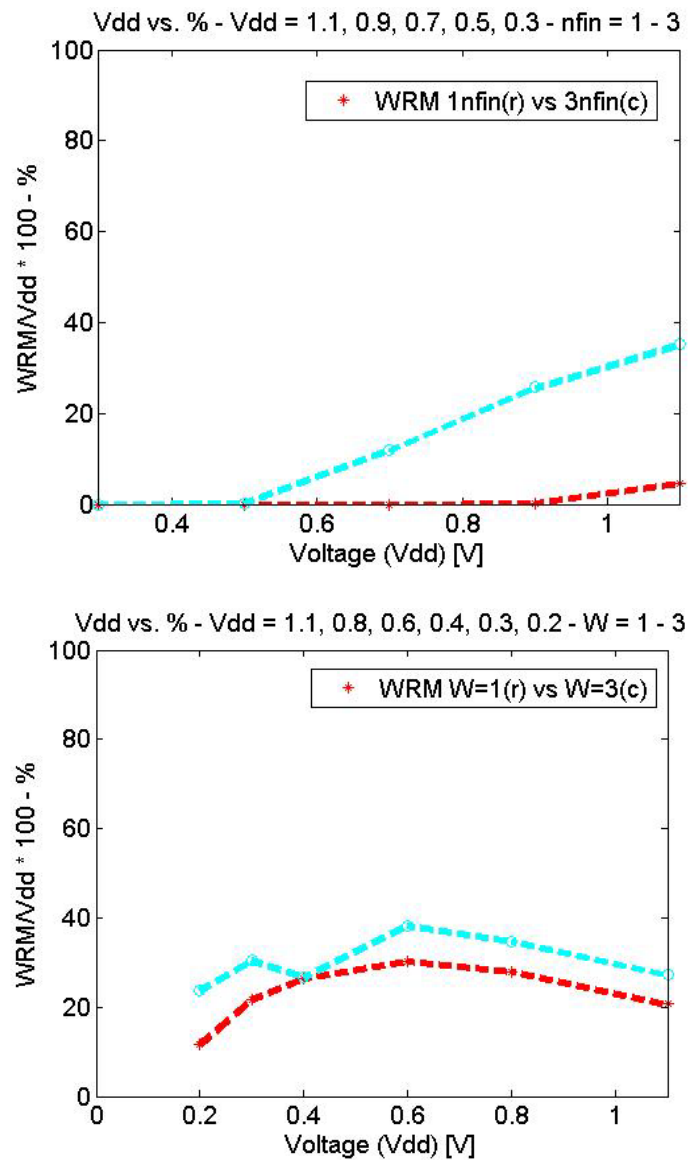
Se observa en la Gráfica 12 que en este diseño utilizando FinFET el punto con mayor eficiencia del RSNM es con 1.1[V] y usando 3nfin, mientras que para el HSNM se obtiene a

los 0.9[V] y con 3nfin. Para el caso de los T-FET es claro que el punto de mayor eficiencia es a los 0.3[V] usando 1W el cual es ligeramente mayor a la curva con 3W por una diferencia del 0.33%.



Gráfica 12: Eficiencia de SNM para cada Vdd para 6T

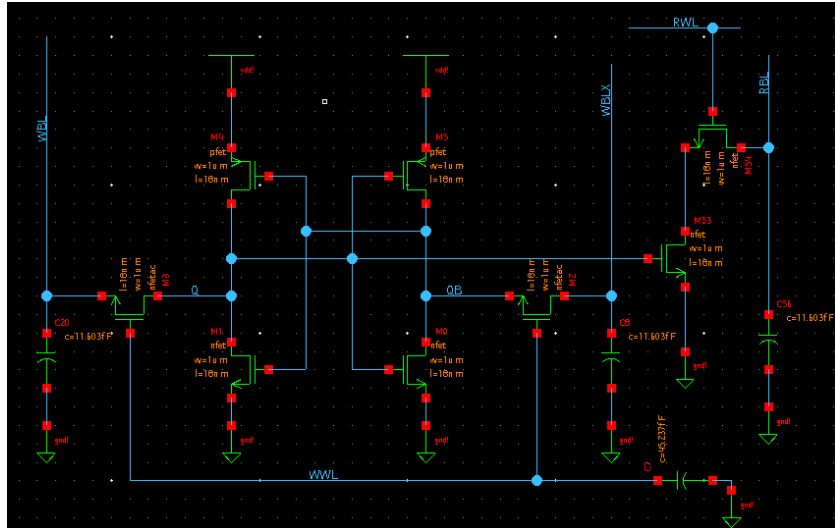
Se observa en la Gráfica 13 que se obtiene la mayor eficiencia del WRM en los FinFET al utilizar un voltaje Vdd de 1.1[V], mientras que para los T-FET es al usar un voltaje Vdd de 0.6[V]. En ambos casos se obtiene un resultado superior al usar 3nfin y 3W respectivamente.



Gráfica 13: Eficiencia de WRM para cada Vdd para 6T

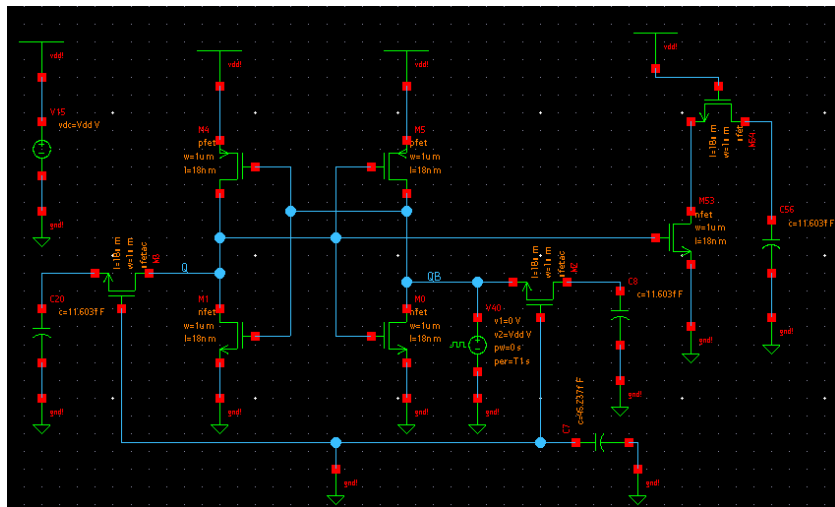
8 TRANSISTORES

La topología de este diseño se presenta en la Gráfica 14 donde se observa que el diseño consta de un par de inversores entrecruzados, de dos transistores de acceso a cada lado y de 2 transistores tipo "n" los cuales permiten establecer la nueva línea de lectura. Con esta nueva implementación se separa la lectura de la escritura en las conexiones.



Gráfica 14: Topología 8T

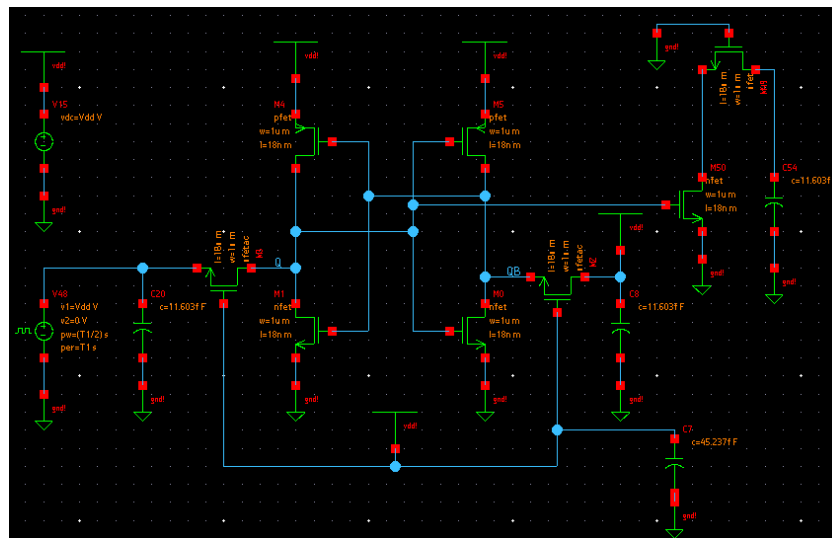
Las conexiones de la lectura de este diseño se observa en la Gráfica 15. Se muestra que el diseño cuenta con una fuente Vdd que conecta al RWL (*read-word-line*) para tenerlo encendido a diferencia del WWL (*write-word-line*) que se encuentra apagado, es decir conectado a tierra. Se tiene una fuente de pulsos con un período de 10[ns] para FinFET y de 100[ns] para T-FET la misma que alimenta Q o QB que son la conexión entre los transistores de acceso y los inversores. Como es un diseño asimétrico se debe conectar la fuente de pulsos en cada nodo para obtener los datos correspondientes.



Gráfica 15: Conexiones para la lectura de 8T

Se obtiene para cada Vdd los datos de los voltajes VQ y VQB respecto al tiempo para lo cual se realizó el mismo análisis transiente que fue utilizado para el diseño 6T. Con estos datos se procede a obtener las curvas SNM correspondientes.

Se observa en la Gráfica 16 que la escritura de este diseño cuenta con una fuente Vdd que enciende al WL (*write line*), se muestra una fuente de pulsos con un período de 15[ps] para FinFET y de 100[ns] para T-FET la misma que alimenta a uno de los accesos de los inversores mientras que el otro acceso es alimentado por una fuente Vdd.



Gráfica 16: Conexiones para la escritura de 8T

Con el simulador se obtienen los datos para cada Vdd de los voltajes VQ, VQB, BL y BLB respecto al tiempo a través de un análisis transiente del mismo modo que se realizó en el diseño 6T. Con estos datos se obtiene el valor del margen de ruido, mismo que se genera del cruce entre el voltaje VQ y VQB con el voltaje BL. En las siguientes tablas se muestra los datos de los parámetros de la memoria SRAM.

Tabla 7: Valores de RSNM de lectura para FinFET de 8T

SNM - Reading			
n-p-FinFet			
# Transistores	VDD [V]	nfin	RSNM [V]
8	1.1	1	0.4447
	1.1	3	0.4617
	0.9	1	0.3891
	0.9	3	0.3911
	0.7	1	0.2831
	0.7	3	0.2791
	0.5	1	0.165
	0.5	3	0.155
	0.3	1	-
	0.3	3	-

Tabla 8: Valores de WRM de escritura para FinFET de 8T

WRM - Writing			
n-p-FinFet			
# Transistores	VDD [V]	nfin	WRM [V]
8	1.1	1	0.0154
	1.1	3	0.365
	0.9	1	0.00004179
	0.9	3	0.21
	0.7	1	0
	0.7	3	0.0668
	0.5	1	0
	0.5	3	0.00006438
	0.3	1	0
	0.3	3	0

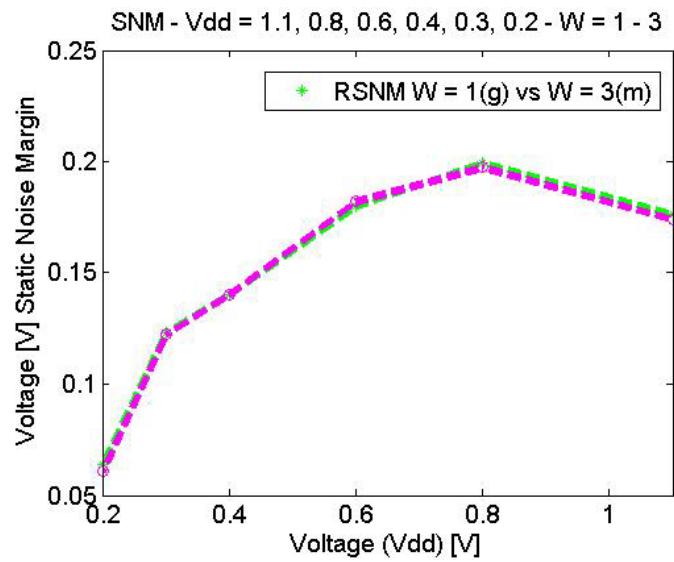
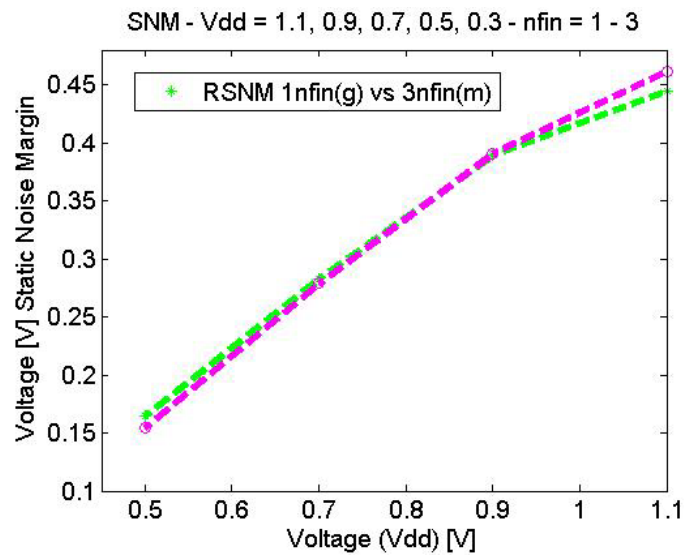
Tabla 9: Valores de RSNM de lectura para T-FET de 8T

SNM - Reading			
T-Fet			
# Transistores	VDD [V]	W	RSNM [V]
8	0.2	1	0.064
	0.2	3	0.061
	0.3	1	0.1232
	0.3	3	0.1222
	0.4	1	0.1402
	0.4	3	0.1405
	0.6	1	0.18
	0.6	3	0.182
	0.8	1	0.1994
	0.8	3	0.1974
	1.1	1	0.1761
	1.1	3	0.1741

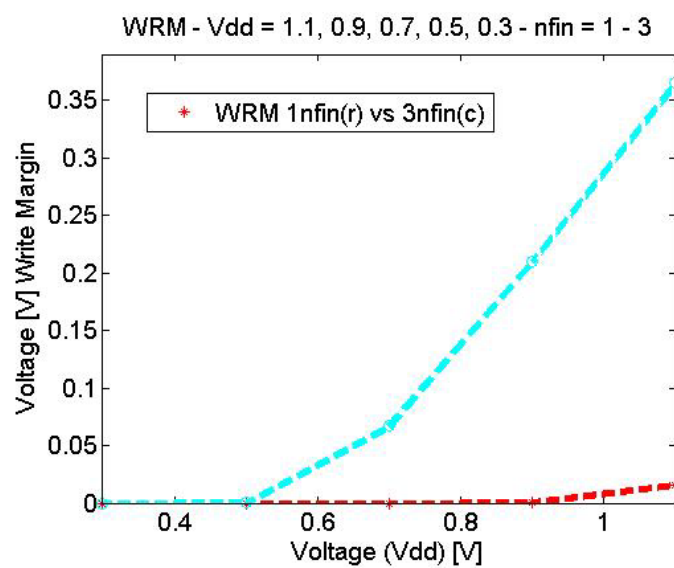
Tabla 10: Valores de WRM de escritura para T-FET de 8T

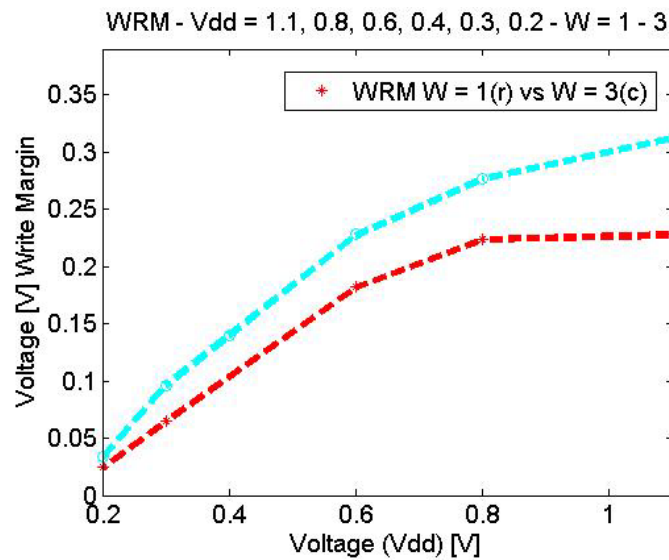
WRM - Writing			
T-Fet			
# Transistores	VDD [V]	W	WRM [V]
8	0.2	1	0.0242
	0.2	3	0.0335
	0.3	1	0.06496
	0.3	3	0.0963
	0.4	3	0.14
	0.6	1	0.18182
	0.6	3	0.228
	0.8	1	0.22378
	0.8	3	0.2769
	1.1	1	0.22821
	1.1	3	0.3127

Usando los datos de lectura y escritura de las tablas se procede a realizar los gráficos correspondientes. En la Gráfica 17 y Gráfica 18 se observa como las curvas de SNM y WRM son dependientes del voltaje aplicado y se muestra la diferencia en utilizar 1 o 3nfin en el caso de los FinFET o de usar 1 o 3W en el caso de los T-FET.



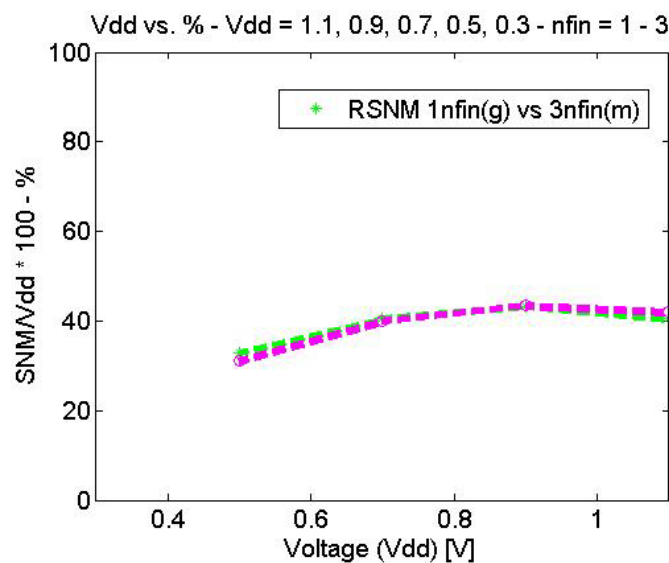
Gráfica 17: Voltaje vs. SNM para 8T

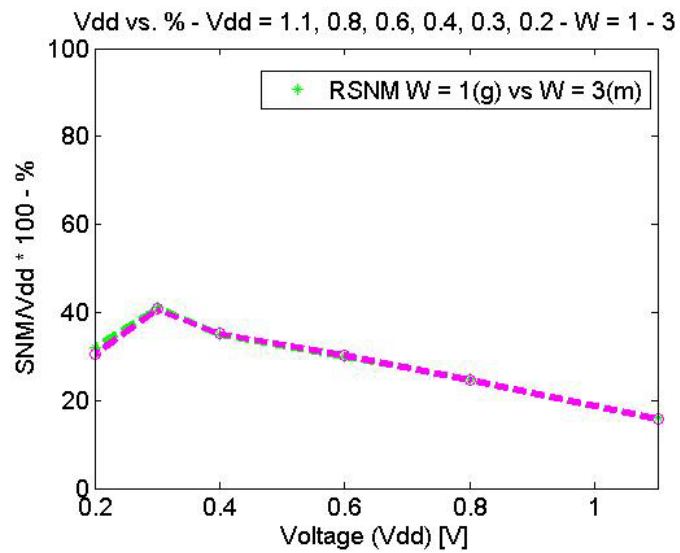




Gráfica 18: Voltaje vs. WRM para 8T

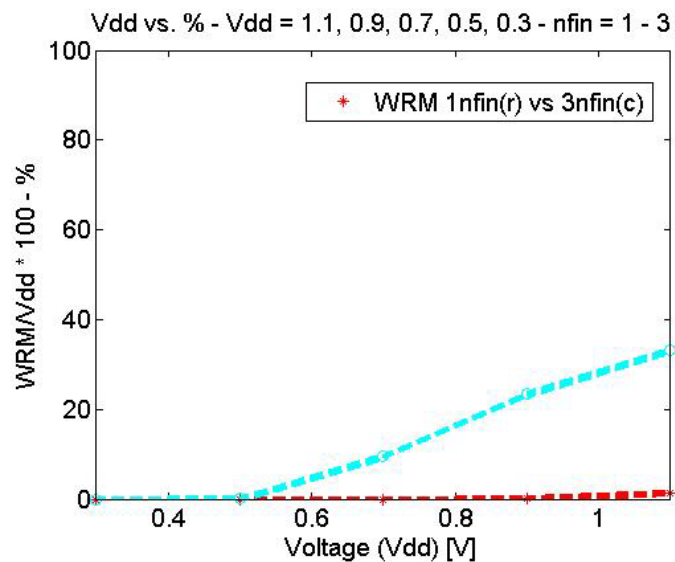
Con la información obtenida se calculó el porcentaje de eficiencia que existe para cada voltaje aplicado. En la Gráfica 19 se muestra que en este diseño al utilizar FinFET el punto con mayor eficiencia del RSNM es con 0.9[V] y usando 3nfin. Con los T-FET es evidente que el punto de mayor eficiencia es a los 0.3[V] usando 1W el cual es de nuevo ligeramente mayor a la curva que usa 3W por una diferencia de 0.34%.

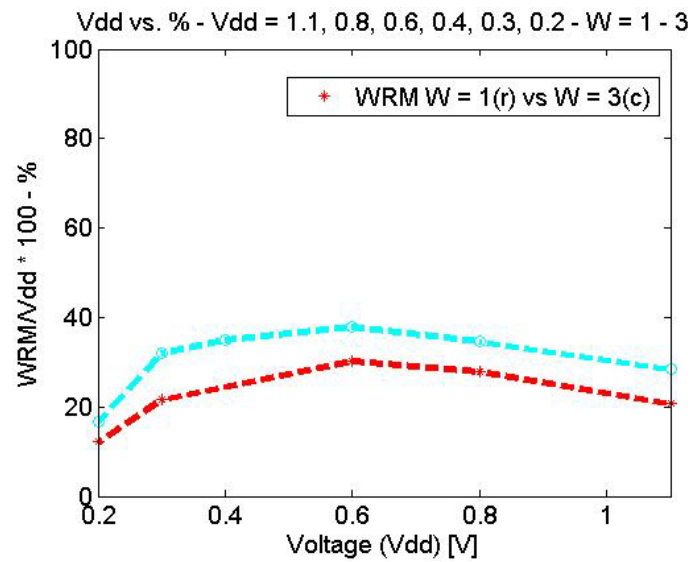




Gráfica 19: Eficiencia de SNM para cada Vdd para 8T

En la Gráfica 20 se observa el punto de mayor eficiencia del WRM usando FinFET es con un voltaje Vdd de 1.1[V], mientras que utilizando T-FET es con un voltaje Vdd de 0.6[V]. En ambos casos se obtiene un resultado superior usando 3nfin y 3W respectivamente.

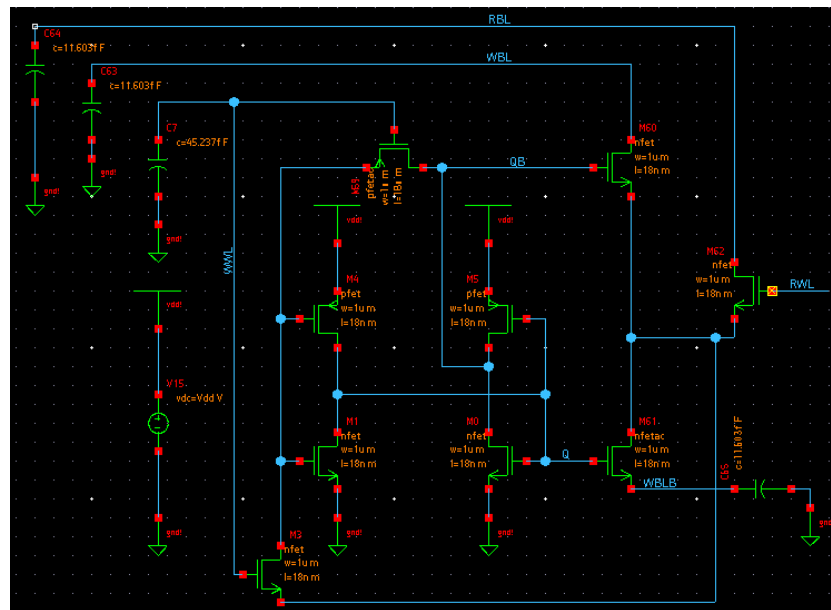




Gráfica 20: Eficiencia de WRM para cada Vdd para 8T

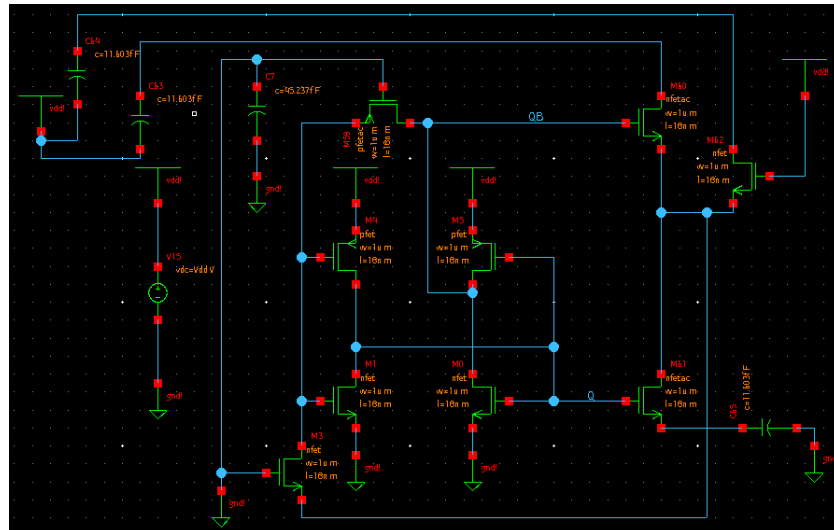
9 TRANSISTORES

En la Gráfica 21 se presenta la topología de este diseño el cual está conformado por un par de inversores, de cuatro transistores tipo "n" y de un transistor tipo "p", separados en línea con la escritura y la lectura. En este diseño RWL y RBL son adaptados exclusivamente para la operación de lectura. Por su configuración presenta una gran tolerancia al ruido estático [10].



Gráfica 21: Topología 9T

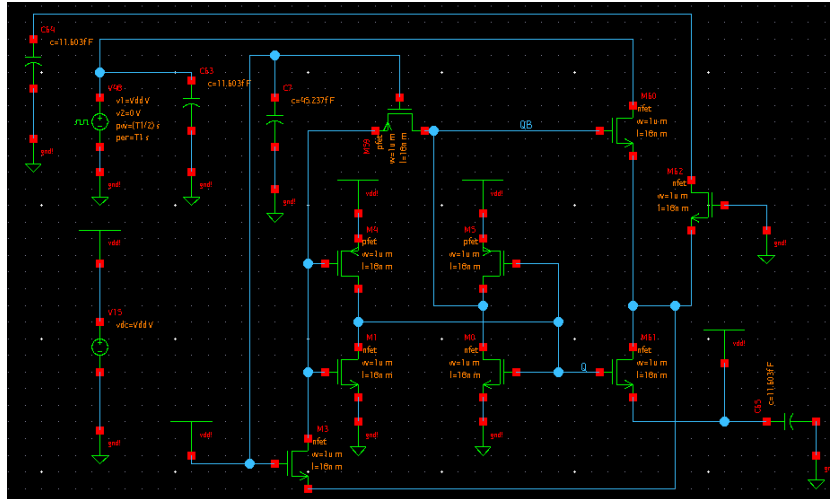
En la Gráfica 22 se muestra las conexiones para la lectura. El diseño cuenta con una fuente Vdd que mantiene encendido a RWL, RBL y WBL que conectan a los transistores que cumplen tanto para lectura y escritura a diferencia del WWL que está apagado. Se tiene una fuente de pulsos con un período de 10[ns] para FinFET y de 100[ns] para T-FET, la misma que alimenta a los nodos Q o QB que son la conexión entre los transistores de acceso y los inversores. Este diseño tiene una topología asimétrica como lo sucedido con el diseño 8T. Al momento de utilizar T-FET se realizó un diseño híbrido donde se usó FinFET para los transistores de acceso.



Gráfica 22: Conexiones para la lectura de 9T

Para cada Vdd se obtienen los datos de los voltajes VQ y VQB respecto al tiempo usando el mismo análisis transiente que fue utilizado en el diseño 6T. Con estos datos se procede a obtener las curvas SNM correspondientes.

En la Gráfica 23 se observa las conexiones respectivas para la escritura. Se observa que se utiliza una fuente Vdd que tiene encendido al WWL, se usa una fuente de pulsos con un período de 15[ps] para FinFET y de 100[ns] para T-FET la misma que alimenta a WBL y una fuente Vdd que alimenta a WBLW. Al usar T-FET se realizó un diseño híbrido debido al problema de la uni-direccionalidad de la corriente, para lo cual se utilizó transistores FinFET para los accesos.



Gráfica 23: Conexiones para la escritura de 9T

Se obtiene los datos para cada Vdd de los voltajes VQ, VQB, BL y BLB respecto al tiempo, para obtener estos datos se realizó un análisis transiente del mismo modo que se realizó para el diseño 6T. Con estos datos se obtiene el valor del margen de ruido, mismo que se genera del cruce entre el voltaje VQ y VQB con el voltaje BL. Una vez obtenidos los parámetros de la memoria SRAM se los muestra en las siguientes tablas.

Tabla 11: Valores de RSNM de lectura para FinFET de 9T

SNM - Reading			
n-p-FinFet			
# Transistores	VDD [V]	nfin	RSNM [V]
9	1.1	1	0.4571
	1.1	3	0.4617
	0.9	1	0.391
	0.9	3	0.3959
	0.7	1	0.3005
	0.7	3	0.3064
	0.5	1	0.0685
	0.5	3	0.12
	0.3	1	-
0.3	3	-	

Tabla 12: Valores de WRM de escritura para FinFET de 9T

Tecnología de 14nm			
WRM - Writing			
n-p-FinFet			
# Transistores	VDD [V]	nfin	WRM [V]
9	1.1	1	0.109
	1.1	3	0.03612
	0.9	1	0.0003768
	0.9	3	0.001032
	0.7	1	0
	0.7	3	0
	0.5	1	0
	0.5	3	0
	0.3	1	0
	0.3	3	0

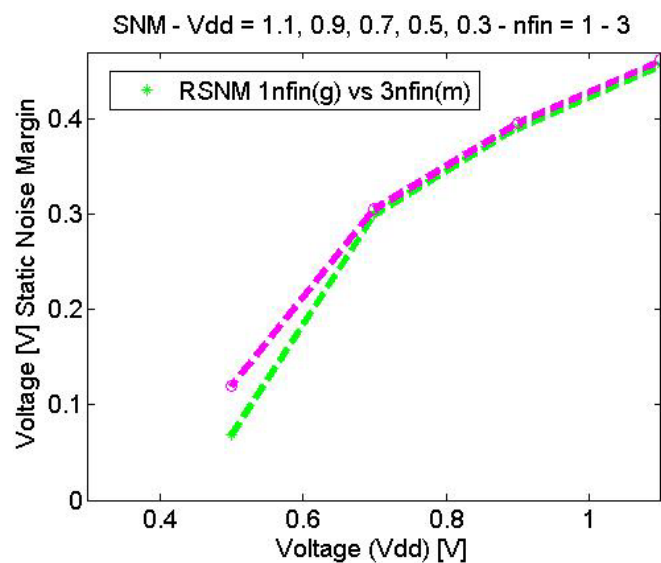
Tabla 13: Valores de RSNM de lectura para T-FET de 9T

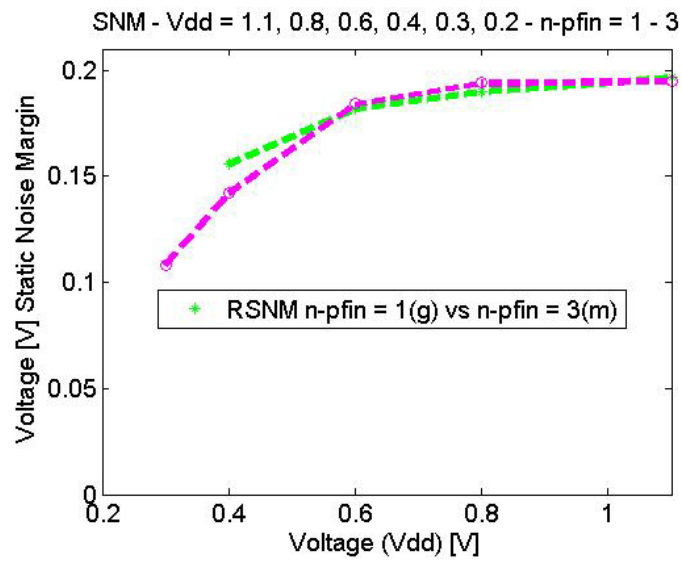
SNM - Reading			
T-Fet			
# Transistores	VDD [V]	n-pfin	RSNM [V]
9	0.2	1	-
	0.2	3	-
	0.3	1	-
	0.3	3	0.1083
	0.4	1	0.156
	0.4	3	0.1422
	0.6	1	0.1821
	0.6	3	0.184
	0.8	1	0.19
	0.8	3	0.194
	1.1	1	0.1964
	1.1	3	0.195

Tabla 14: Valores de WRM de escritura para T-FET de 9T

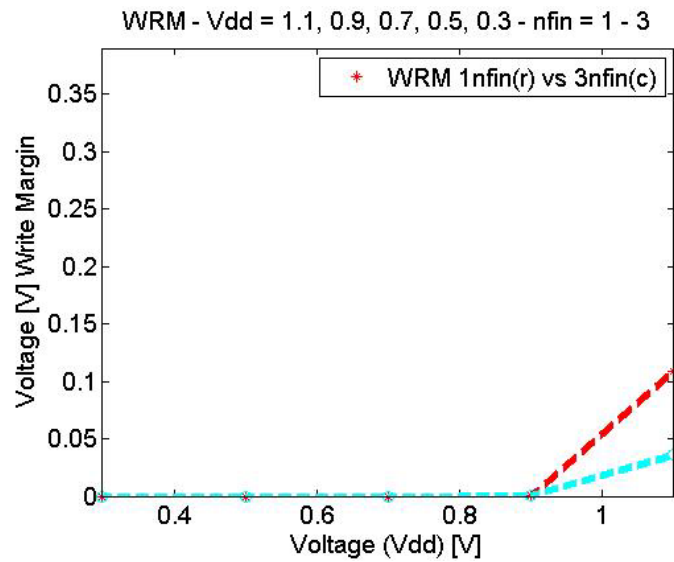
WRM - Writing			
T-Fet			
# Transistores	VDD [V]	n-pfin	WRM [V]
9	1.1	1	0.36
	1.1	3	0.362
	0.8	1	0.306
	0.8	3	0.292
	0.6	1	0.247
	0.6	3	0.235
	0.4	1	0.129
	0.4	3	0.119
	0.3	1	0.0488
	0.3	3	0.0396
	0.2	1	0
	0.2	3	0

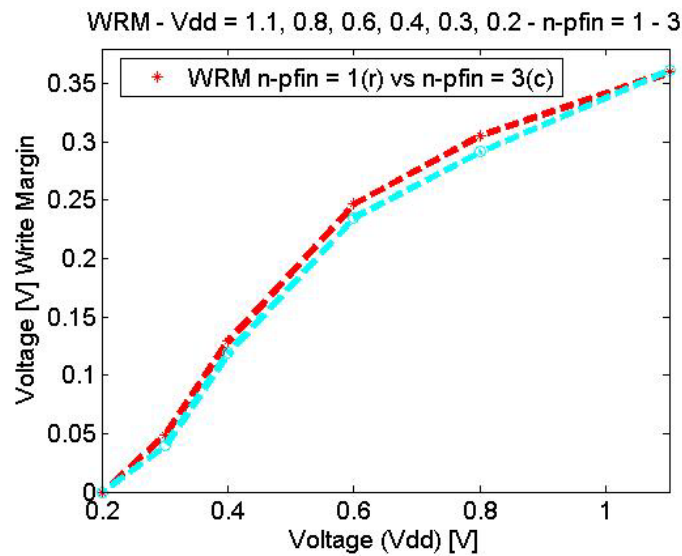
Una vez que se han extraído los resultados para lectura y escritura se procede a realizar los gráficos que se muestran en la Gráfica 24 y Gráfica 25 donde se observa que SNM y WRM son dependientes del voltaje aplicado. Además, se observa la diferencia entre usar 1 o 3 nfin en el diseño con FinFET o de usar 1 o 3 n-pfin en el diseño con T-FET.





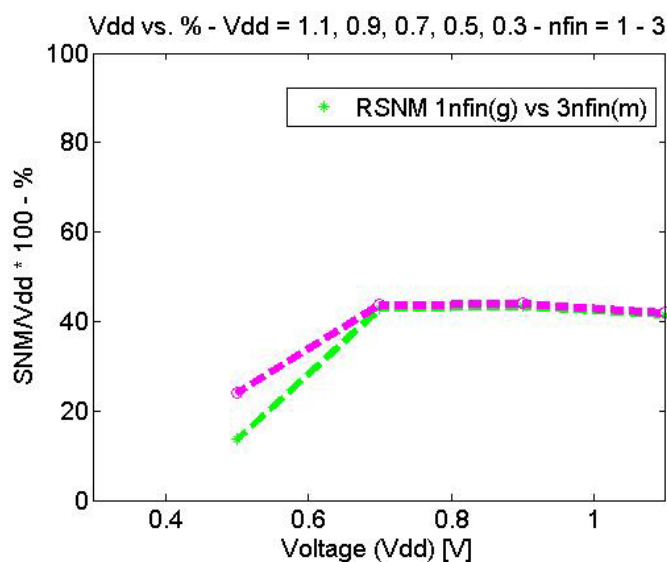
Gráfica 24: Voltaje vs. SNM para 9T

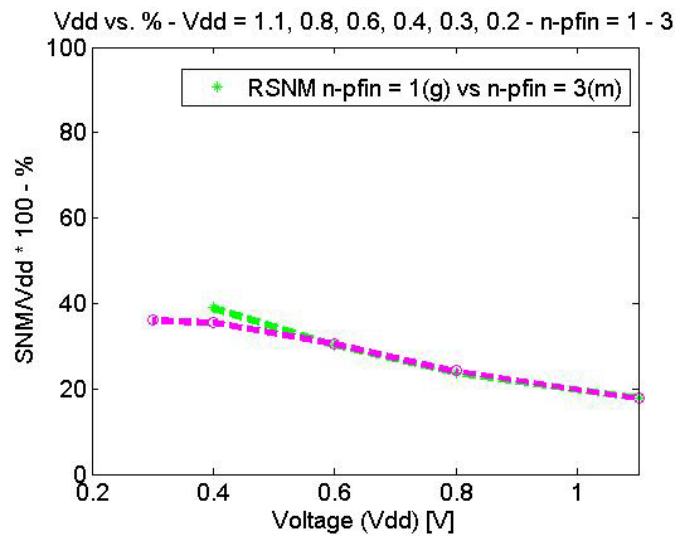




Gráfica 25: Voltaje vs. WRM para 9T

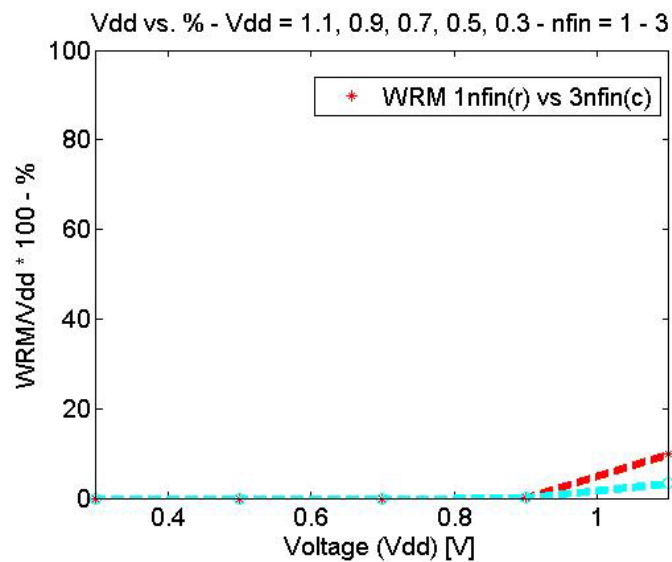
Con estas gráficas se procedió a calcular el porcentaje de eficiencia para cada voltaje aplicado. En la Gráfica 26 se observa que usando FinFET el punto con mayor eficiencia del RSNM es con 0.9[V] y usando 3nfin. En el caso de los T-FET es evidente que el punto de mayor eficiencia es a los 0.4[V] usando 1n-pfin el cual es mayor a la curva que utiliza 3n-pfin por una diferencia de 2.9% cuyo pico lo tiene a los 0.3[V].

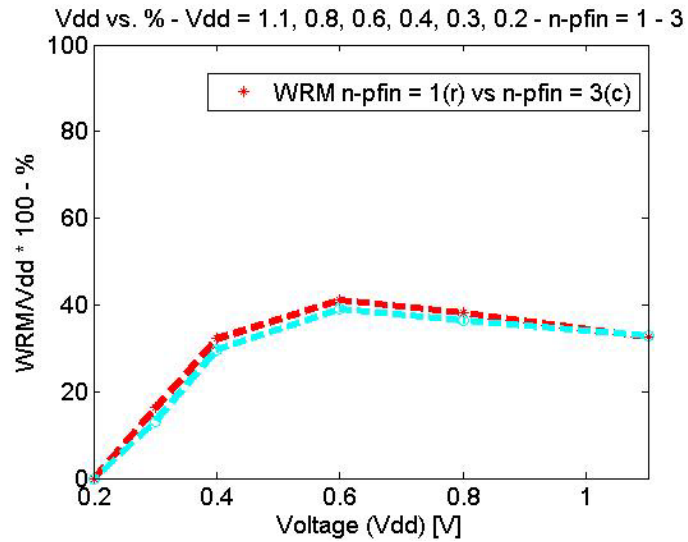




Gráfica 26: Eficiencia de SNM para cada Vdd para 9T

En la Gráfica 27 se evidencia que el punto de mayor eficiencia del WRM usando FinFET es con un voltaje Vdd de 1.1[V], por otro lado utilizando T-FET el punto de mayor eficiencia se lo obtiene con un voltaje Vdd de 0.6[V]. Solo en los FinFET se obtiene un resultado superior al usar 3nfin ya que para los T-FET se obtiene la superioridad utilizando 1n-pfin.

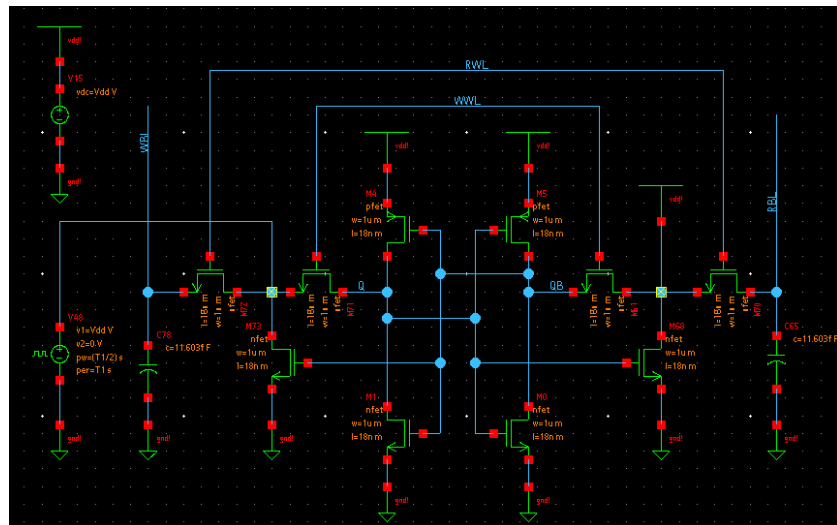




Gráfica 27: Eficiencia de WRM para cada Vdd para 9T

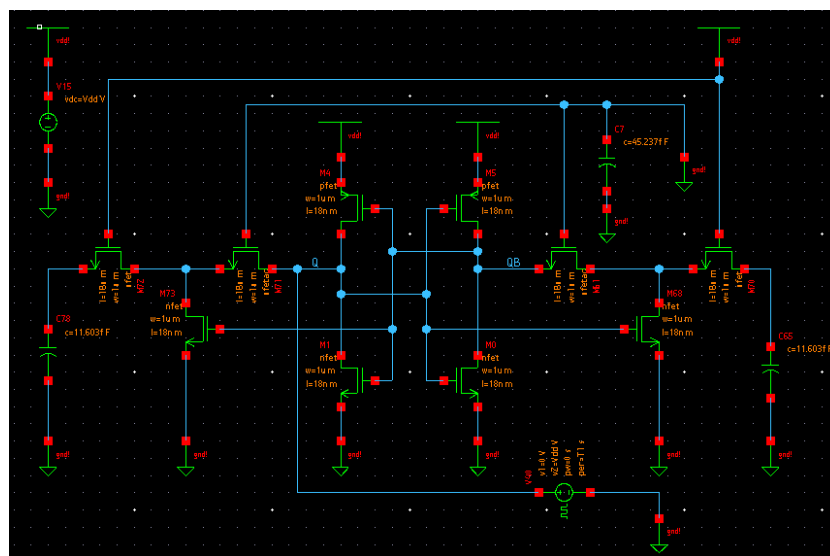
10 TRANSISTORES

El diseño de esta topología se muestra en la Gráfica 28 donde se observa que el diseño se conforma por un par de inversores entrecruzados, dos transistores de acceso y junto a cada uno de ellos un transistor conectado en serie que servirán tanto para lectura y escritura, en medio de estos dos transistores en serie hay un transistor a cada lado que es exclusivo para la lectura.



Gráfica 28: Topología 10T

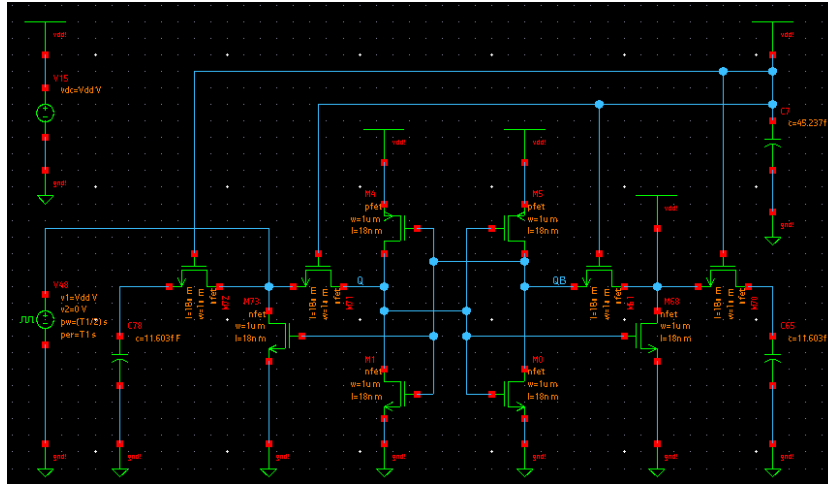
Para la lectura, se debe tener las conexiones que se muestra en la Gráfica 29 donde el diseño cuenta con una fuente Vdd la cual mantiene encendido a RWL que conecta a los transistores que cumplen tanto para lectura y escritura, el WWL está apagado. Se utiliza una fuente de pulsos con un período de 10[ns] para FinFET y de 100[ns] para T-FET la misma que alimenta a los nodos Q o QB los cuales son la conexión entre los transistores de acceso y los inversores. Nuevamente se tiene un diseño simétrico como lo sucedido con el diseño 6T.



Gráfica 29: Conexiones para la lectura de 10T

Para cada Vdd se obtiene los datos de los voltajes VQ y VQB respecto al tiempo usando el mismo análisis transiente que fue utilizado para los diseños anteriores. Con estos datos se procede a obtener las curvas SNM correspondientes.

Para la escritura se debe tener las conexiones que se muestran en la Gráfica 30. El diseño cuenta con una fuente Vdd que permite que el WWL y RWL estén encendidos, se utiliza una fuente de pulsos con un período de 15[ps] para FinFET y de 100[ns] para T-FET. La fuente de pulsos alimenta a uno de los accesos de los inversores mientras que el otro acceso está alimentado por una fuente Vdd.



Gráfica 30: Conexiones para la escritura de 10T

Se obtiene los datos para cada Vdd de los voltajes VQ, VQB, BL y BLB respecto al tiempo a través de un análisis transiente el mismo que se realizó para los diseños anteriores. Con estos datos se obtiene el valor del margen de ruido, WRM, la cual se genera del cruce entre el voltaje VQ y VQB con el voltaje BL. En las siguientes tablas se muestran los datos de los parámetros de la SRAM.

Tabla 15: Valores de RSNM de lectura para FinFET de 10T

SNM - Reading			
n-p-FinFet			
# Transistores	VDD [V]	nfin	RSNM [V]
10	1.1	1	0.457
	1.1	3	0.465
	0.9	1	0.3869
	0.9	3	0.3906
	0.7	1	0.2953
	0.7	3	0.2974
	0.5	1	0.1339
	0.5	3	0.1274
	0.3	1	-
0.3	3	-	

Tabla 16: Valores de WRM de escritura para FinFET de 10T

WRM - Writing			
n-p-FinFet			
# Transistores	VDD [V]	nfin	WRM [V]
10	1.1	1	0.0111
	1.1	3	0.365
	0.9	1	0.00000318
	0.9	3	0.2094
	0.7	1	0
	0.7	3	0.0661
	0.5	1	0
	0.5	3	0.0000642
	0.3	1	0
	0.3	3	0

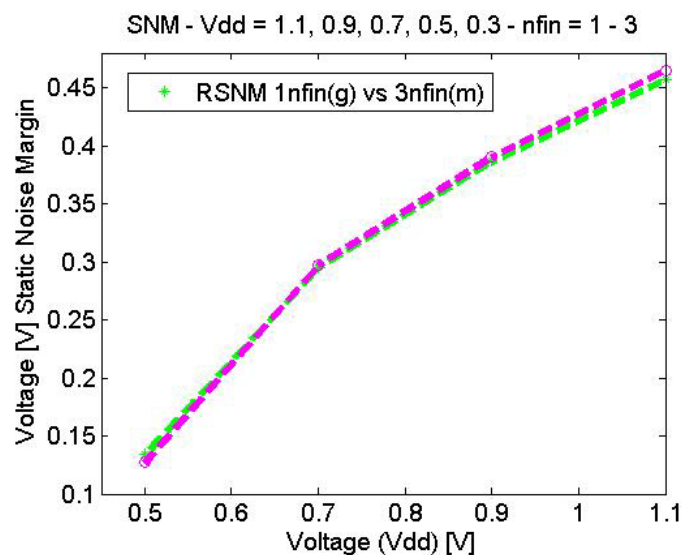
Tabla 17: Valores de RSNM de lectura para T-FET de 10T

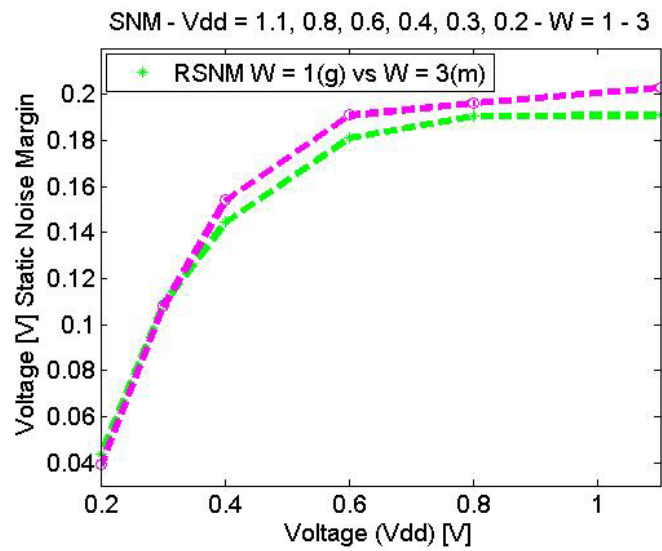
SNM - Reading			
T-Fet			
# Transistores	VDD [V]	W	RSNM [V]
10	0.2	1	0.0436
	0.2	3	0.0391
	0.3	1	0.1093
	0.3	3	0.108
	0.4	1	0.1445
	0.4	3	0.154
	0.6	1	0.1812
	0.6	3	0.191
	0.8	1	0.1908
	0.8	3	0.1963
	1.1	1	0.191
	1.1	3	0.203

Tabla 18: Valores de WRM de escritura para T-FET de 10T

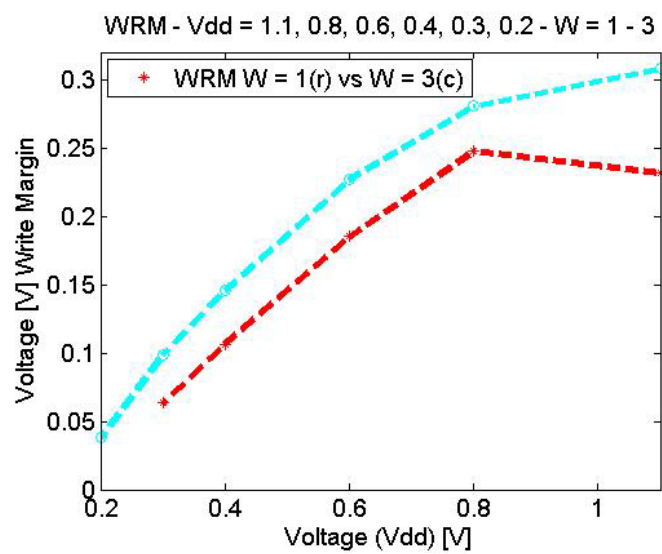
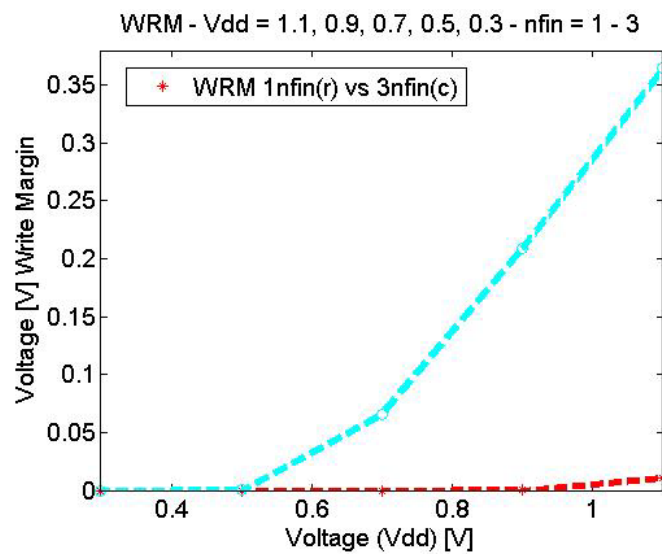
WRM - Writing			
T-Fet			
# Transistores	VDD [V]	W	WRM [V]
10	0.2	3	0.0384
	0.3	1	0.0637
	0.3	3	0.0991
	0.4	1	0.1066
	0.4	3	0.146
	0.6	1	0.18522
	0.6	3	0.22692
	0.8	1	0.248
	0.8	3	0.28045
	1.1	1	0.23187
	1.1	3	0.30793

Con los resultados obtenidos para lectura y escritura se procede a realizar los gráficos que se muestra en la Gráfica 31 y Gráfica 32 donde se observa que SNM y WRM tienen dependencia en el voltaje aplicado. Además, se evidencia la diferencia de utilizar 1 o 3nfin en los FinFET y de usar 1 o 3W en los T-FET.



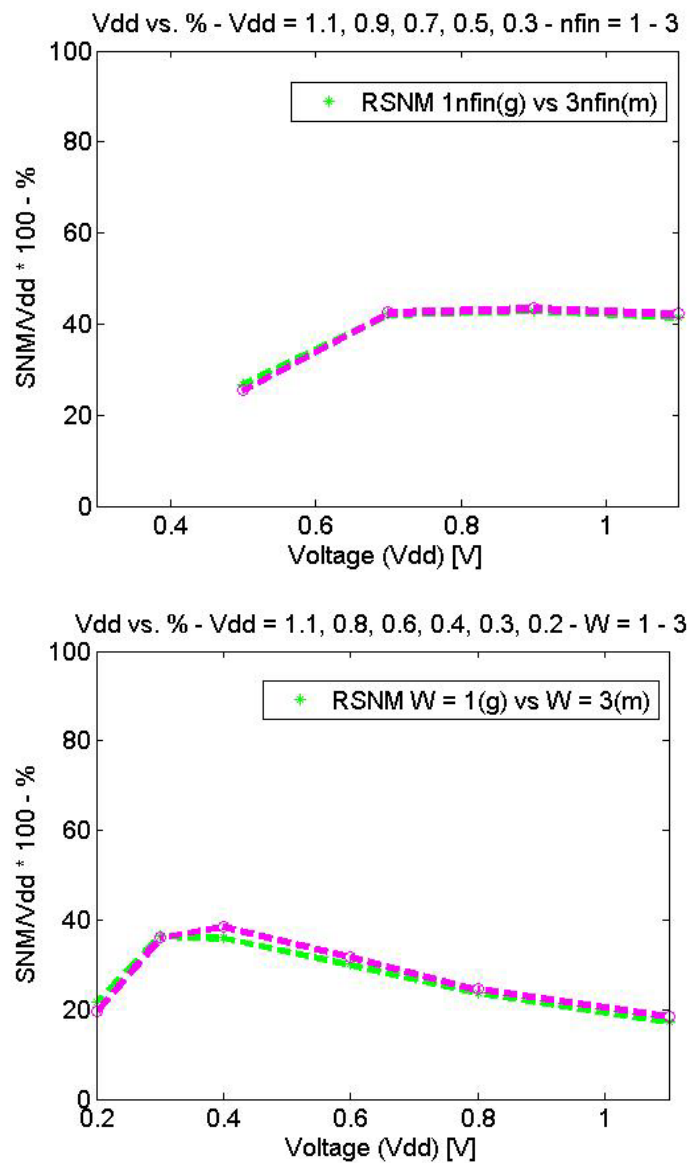


Gráfica 31: Voltaje vs. SNM para 10T



Gráfica 32: Voltaje vs. WRM para 10T

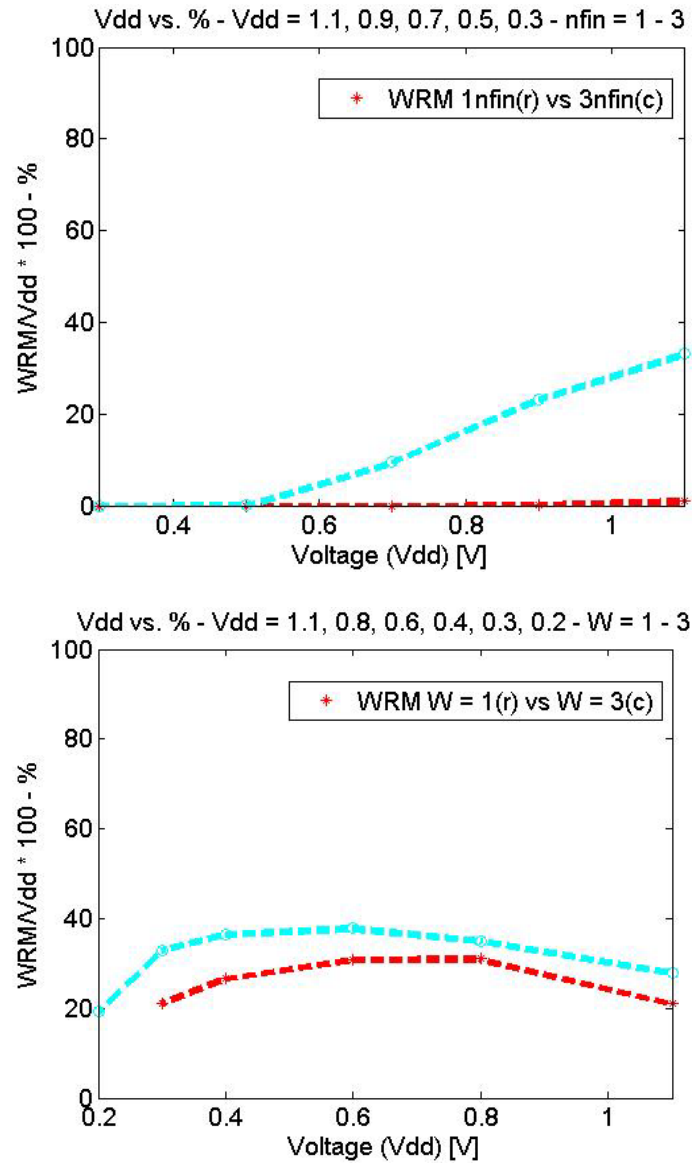
Con estas gráficas se procedió a calcular el porcentaje de eficiencia que tienen en cada voltaje aplicado. En la Gráfica 33 y Gráfica 34 se observa que en este diseño se obtiene la mayor eficiencia del RSNM al utilizar FinFET al usar 0.9[V] y usando 3nfin. Por otro lado, al usar T-FET es evidente que el punto de mayor eficiencia es a los 0.4[V] usando 3W el cual es mayor a la curva de 1W por una diferencia del 2.37%.



Gráfica 33: Eficiencia de SNM para cada Vdd para 10T

En la Gráfica 34 se evidencia que el mayor punto de eficiencia del WRM al utilizar FinFET con un voltaje Vdd de 1.1[V], por otro lado al usar T-FET se obtiene este punto con

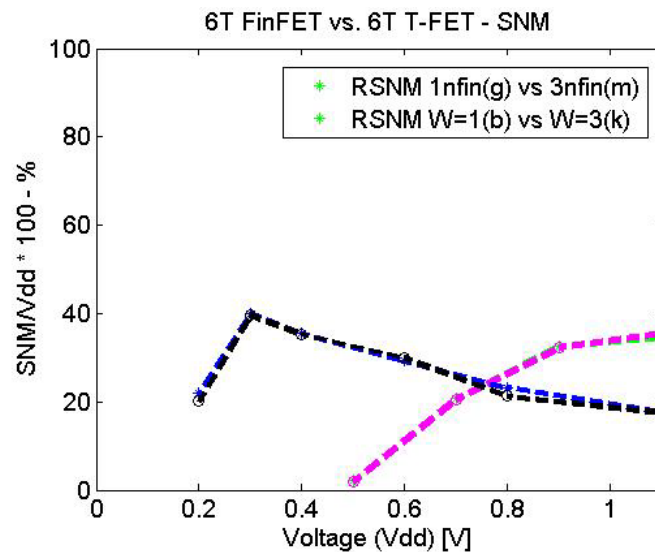
un voltaje Vdd de 0.6[V]. En ambos casos se obtiene un resultado superior al usar 3nfin y 3W respectivamente.

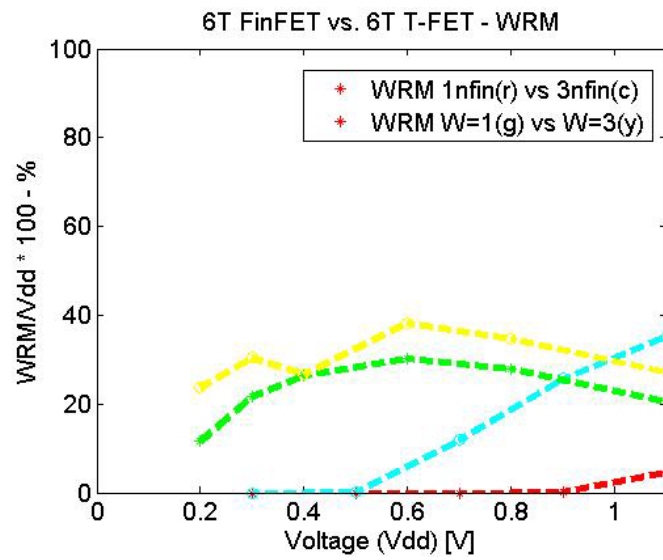


Gráfica 34: Eficiencia de WRM para cada Vdd para 10T

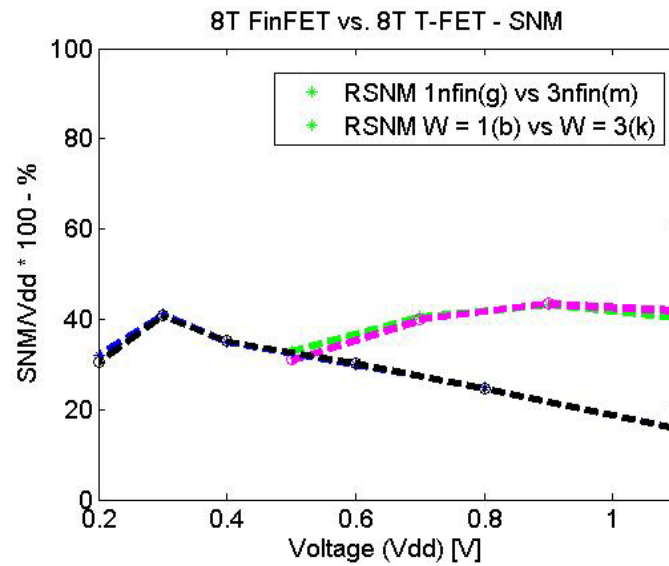
ANÁLISIS

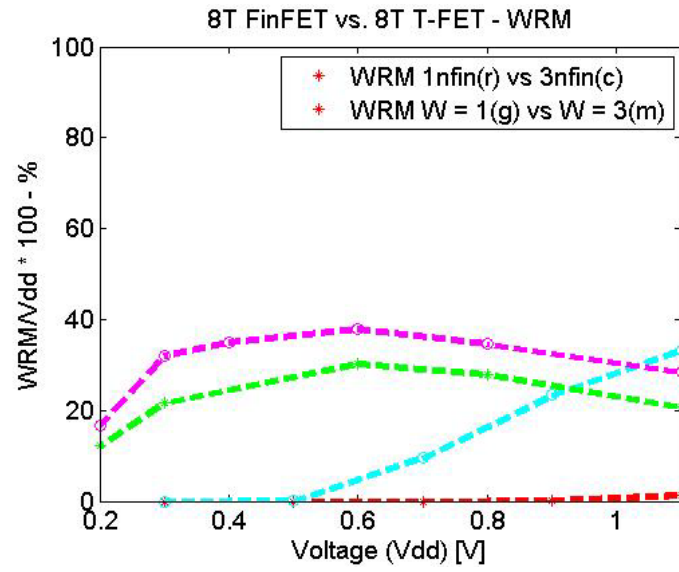
En esta sección se compara la topología del diseño propuesto utilizando las dos tecnologías, a fin de determinar en cuál de éstas se tiene mejores resultados durante el proceso de escritura y en el de lectura. Primero se realiza la comparación usando FinFET con 1 y 3nfin y T-FET con 1 y 3W en el mismo diseño, por lo cual se presentan 4 curvas en cada gráfica correspondiente al proceso de lectura y de escritura, para determinar con qué voltaje Vdd se genera el pico de mayor eficiencia en ambas tecnologías. Posterior a ello se compara entre todas las topologías para seleccionar la topología y tecnología que resulta más eficiente. En la Gráfica 35, Gráfica 36, Gráfica 37 y Gráfica 38 se compara la eficiencia de ambas tecnologías para cada voltaje utilizado, tanto para escritura como para lectura de la memoria SRAM de diseño.



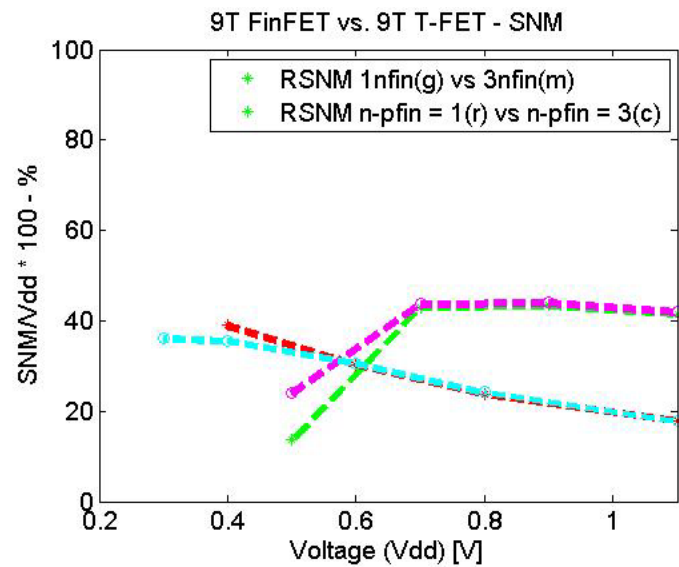


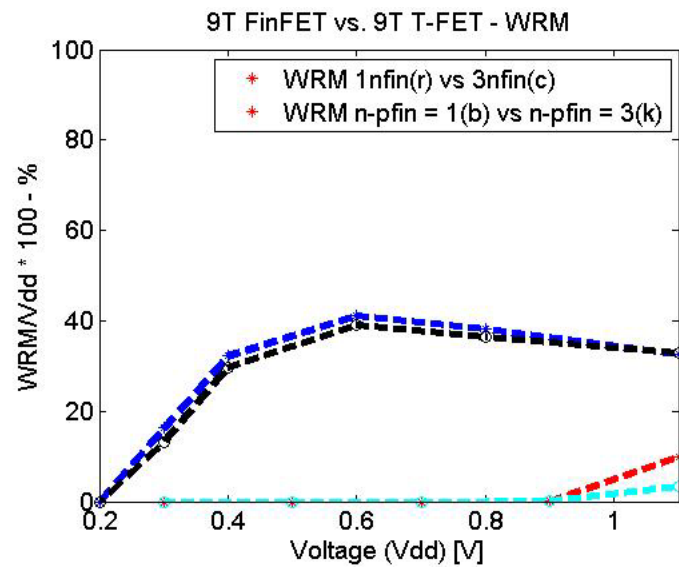
Gráfica 35: FinFET vs. T-FET de SNM y WRM para 6T



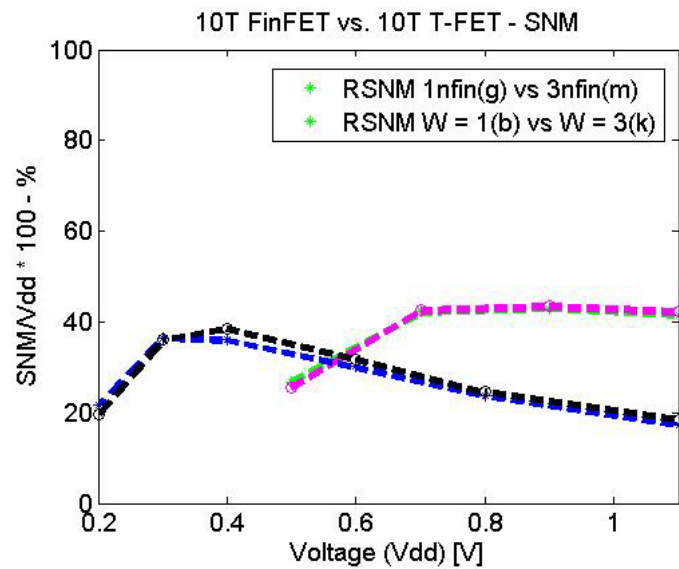


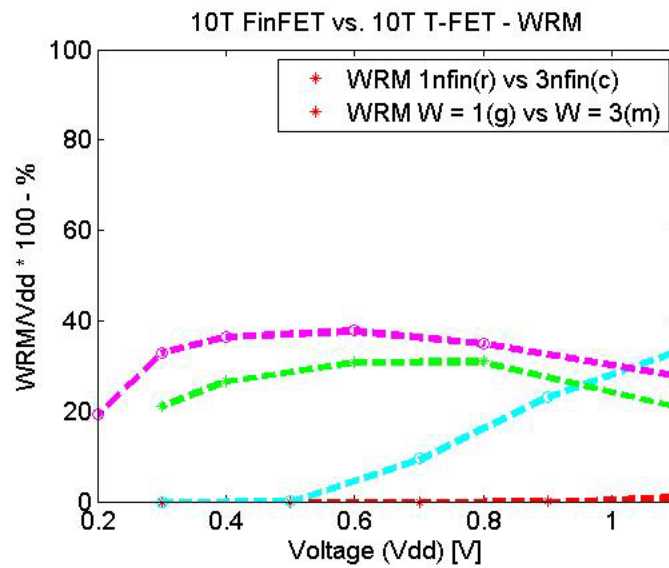
Gráfica 36: FinFET vs. T-FET de SNM y WRM para 8T





Gráfica 37: FinFET vs. T-FET de SNM y WRM para 9T





Gráfica 38: FinFET vs. T-FET en SNM y WRM para 10T

Se toma el dato del porcentaje donde se presenta la máxima eficiencia en cada diseño usando FinFET y T-FET y se lo presenta en la siguiente tabla. Se observa que se tiene mayor eficiencia en la lectura con los diseños topológicos de 8T, 9T y 10T usando 3nfin con los FinFET. Se destaca que los valores de eficiencia de la lectura con T-FET son muy cercanos a los de FinFET para el diseño de 8T. Para la escritura resultan óptimos los diseños de 6T y 8T usando 3W y el diseño 9T usando 1n-pfin con T-FET.

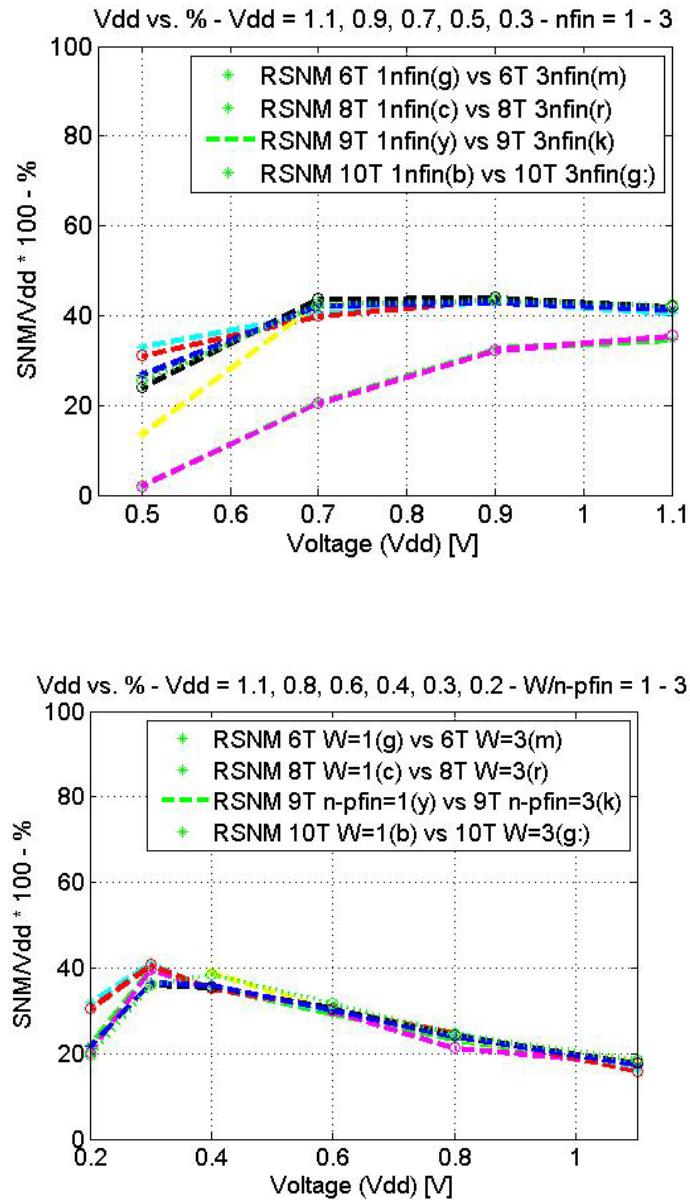
Tabla 19: Eficiencia de las topologías para ambas tecnologías

FinFET vs. T-FET				
Topología	Tecnología		Lectura	Escritura
6T	FinFET	1nfin	34.72%	4.67%
		3nfin	35.43%	35.27%
		Voltaje [V]	1.1	1.1
	T-FET	1W	40.10%	30.30%
		3W	39.77%	38.23%
		Voltaje [V]	0.3	0.6
8T	FinFET	1nfin	43.23%	1.40%
		3nfin	43.46%	33.18%
		Voltaje [V]	0.9	1.1
	T-FET	1W	41.07%	30.30%
		3W	40.73%	38%
		Voltaje [V]	0.3	0.6
9T	FinFET	1n-pfin	43.44%	3.28%
		3n-pfin	43.99%	9.91%
		Voltaje [V]	0.9	1.1
	T-FET	1n-pfin	39%	41.17%
		3n-pfin	36.10%	39.17%
		Voltaje [V]	0.4/0.3	0.6
10T	FinFET	1nfin	42.99%	1.01%
		3nfin	43.40%	33.18%
		Voltaje [V]	0.9	1.1
	T-FET	1W	36.43%	31%
		3W	38.50%	37.82%
		Voltaje [V]	0.3/0.4	0.8/0.6

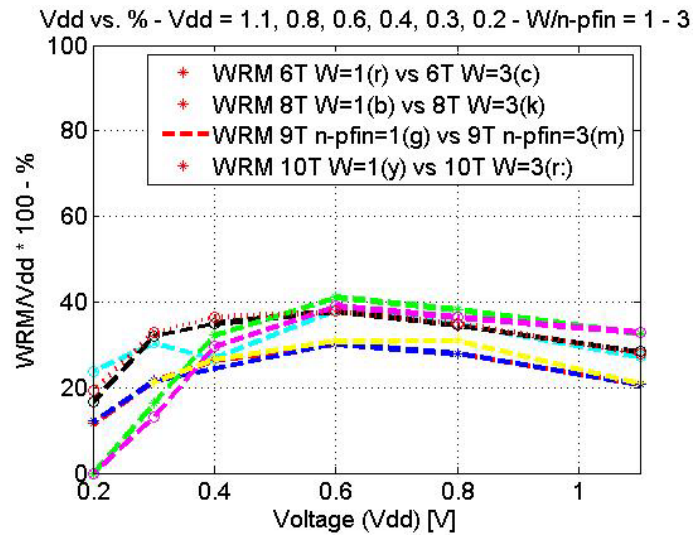
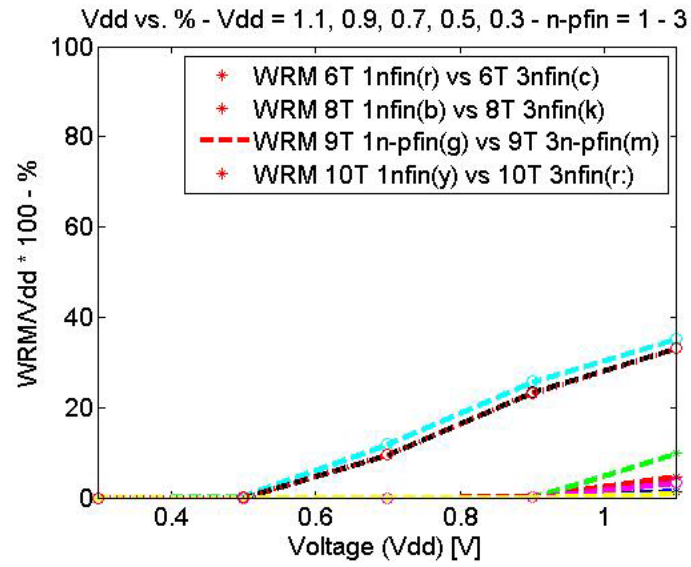
A través del análisis se puede demostrar que la tecnología T-FET es muy eficiente, está al nivel o puede llegar a ser superior a la tecnología FinFET. Dado esto se realiza una gráfica donde se comparan todas las topologías. En la Gráfica 39 y Gráfica 40 que se muestran a continuación se grafican las curvas de SNM y WRM, respectivamente, para todas las topologías y voltajes utilizados.

Para los FinFET la mejor eficiencia del SNM corresponde a la curva del diseño 9T con 3nfin (la curva negra), para los T-FET corresponde a la curva del diseño 8T con 1W (la curva cilan). Mientras que los FinFET presentan la mejor eficiencia en el WRM en la curva

del diseño 6T usando 3nfin (la curva cilan). Por otro usando T-FET la mejor eficiencia corresponde a la curva del diseño 9T con 1n-pfin (la curva verde).



Gráfica 39: FinFET vs. T-FET de SNM de 6T, 8T, 9T y 10T



Gráfica 40: FinFET vs. T-FET de WRM de 6T, 8T, 9T y 10T

CONCLUSIONES

A través del presente trabajo de titulación se demuestra que la tecnología T-FET es el perfecto candidato para sustituir a la tecnología que se usa hoy en día en el campo de las memorias SRAM. Como se observó el usar T-FET para la escritura resulta ser lo más eficiente. Para la lectura FinFET y T-FET están muy parejos pero como se desea reducir la cantidad de recursos que se utiliza, en este caso el voltaje, la mejor opción serían los T-FET que tienen su mayor desempeño a los 0.3[V] en comparación a los 0.9[V] de los FinFET.

Algo que resulta evidente es que se tiene un SNM superior a medida que aumentamos el número de transistores (topología), por otro lado el WRM sobresale a medida que se tiene un menor número de transistores. El efecto de los "fins" o "aletas" en los transistores de acceso vale resaltar ya que permite una mayor eficiencia en el diseño.

Al momento de usar FinFET no es relevante su posición ya que esta tecnología es bi-direccional por lo que la corriente puede circular por ambas direcciones. Sin embargo, cuando se trabaja con T-FET es muy importante ver su posición ya que es uni-direccional y en algunos casos no es posible un diseño puro por esta razón, por lo que un diseño híbrido es la solución ante este tipo de inconvenientes como lo sucedido en el diseño 9T.

El presente trabajo puede servir como base para estudios futuros para la implementación de T-FET en otras aplicaciones distintas a las memorias SRAM. Ya que de este modo estaremos dando paso a usar tecnología eficiente y de bajo consumo.

REFERENCIAS BIBLIOGRÁFICAS

- [1] Mack, C. (2015). The Multiple Lives of Moore's Law. Universitat de les Illes Balears. ISSN: 1889-4771.
- [2] Mas Boned, F., García, E. (2010). Transistores FinFET. *IEEE Spectrum*, 52(4), 31-31.
- [3] Ionescu, A., Riel, H. (17 de noviembre de 2011). Tunnel field-effect transistors as energy-efficient electronic switches. *Nature* 479, 329-337. Doi: 10.1038/nature10679
- [4] Strangio, S., Palestri, P., Esseni, D., Selmi, L., Crupi, F., Richter, S.,... Mantl, S. (abril 2015). "Impact of TFET Unidirectionality and Ambipolarity on the Performance of 6T SRAM Cells". *Journal of the Electron Devices Society*, 3(3), 223-232. Doi: 10.1109/JEDS.2015.2392793
- [5] Gargini, P. (marzo 2002). "The Global Route to Future Semiconductor Technology". *IEEE Circuits & Devices Magazine*.
- [6] SYNOPSYS. "Custom Compiler". Datasheet. Assistants. Obtenido el 20 de abril de 2018 de <https://www.synopsys.com>
- [7] Zhang, K. Ed. (2009). "Integrate circuits and systems series, " in Embedded Memories for Nano-Scale VLSIs. New York, NY, USA: Springer.
- [8] Universidad Estatal de Arizona. "PTM". Predictive Technology Model. Obtenido el 20 de abril de 2018 de <https://ptm.asu.edu>
- [9] Universidad de Berkeley. "BSIM". Berkeley Short-channel IGFET Model. Obtenido el 20 de abril de 2018 de <https://bsim.berkeley.edu>
- [10] Song, J., Tao, P., Zizhao, L., Yuan, W., Xinning, L., y Wanlu, W. "A Novel Stable SRAM Cell for Low Voltage Applications with Bit-Interleaved Structure". Beijing, China: Peking University.