

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

**Efecto de la tensión de Back Gate sobre los parámetros eléctricos y físicos
para dispositivos UTBB-FDSOI MOSFET**

Proyecto de Investigación

José Luis Figueroa Solarte

Ingeniería Electrónica

Trabajo de titulación presentado como requisito
para la obtención del título de
Ingeniero Electrónico

Quito, 22 de julio de 2019

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

HOJA DE CALIFICACIÓN
DE TRABAJO DE TITULACIÓN

**Efecto de la tensión de Back Gate sobre los parámetros eléctricos y físicos
para dispositivos UTBB-FDSOI MOSFET**

José Luis Figueroa Solarte

Calificación:

Nombre del profesor, Título académico

Lionel Trojman, Ph.D.

Firma del profesor

Quito, 22 de julio de 2019

Derechos de Autor

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en el Art. 144 de la Ley Orgánica de Educación Superior.

Firma del estudiante:

Nombres y apellidos:

José Luis Figueroa Solarte

Código:

00122747

Cédula de Identidad:

1719212035

Lugar y fecha:

Quito, 22 de julio de 2019

Resumen

Mediante la variación del parámetro de bak gate dentro de la caracterización del transistor UTBB-FDSOI MOSFET es posible estudiar y analizar el comportamiento físico de ciertos parámetros intrínsecos y extrínsecos, como la tensión umbral, transconductancia, resistencia serie y movilidad. Para este estudio se utilizó transistores de diferentes áreas, empezando desde un área de 1 [μm] hasta un área mínima de 90 [nm]. Las mediciones se realizaron en una estación de prueba mediante un wafer de silicio, adicionalmente, se necesitó un sistema de caracterización de semiconductores que permite la obtención de la característica I-V de cada transistor. Estos equipos se encuentran en el instituto de micro y nano electrónica de la Universidad San Francisco de Quito. Finalmente, mediante el uso del software Matlab fue posible la extracción y comparación de los diferentes resultados para cada ambiente configurado. Estos se comparan para cada de área de los dispositivos y se observa la influencia del parámetro del voltaje de bulto.

Palabras clave: Caracterización, tensión umbral, transconductancia, movilidad, característica I-V

ABSTRACT

By varying the bak gate parameter within the characterization of the UTBB-FDSOI MOSFET transistor it is possible to study and analyze the physical behavior of certain intrinsic and extrinsic parameters, such as threshold voltage, transconductance, series resistance and mobility. For this study transistors of various area lengths were used, starting from a length of 1 [μm] to a minimum length of 90 [nm]. In addition, a semiconductor characterization system was used to obtain the I-V characteristic of each transistor. This equipment is located the micro and nano electronics institute of the San Francisco University of Quito. Finally, by using the Matlab software it was possible to extract and compare the different results for each configured environment. These are compared for each area of the devices and the influence of the bulk voltage parameter is observed.

Key words: Characterization, threshold voltage, transconductance, mobility, characteristic I-V

Tabla de Contenidos

Introducción	9
Experimentación	11
Desarrollo	12
Resultados	18
Análisis de Resultados.....	28
Conclusiones.....	29
Referencia Bibliografica	230

Índice de Ilustraciones

Ilustración 1: Transistor de 28 nm FDSOI.....	10
Ilustración 2: Probe Station y oblea de silicio	12
Ilustración 3: Extraccion del Voltaje Umbral.....	13
Ilustración 4: Primera Derivada $1/I_d$ con respecto a V_g	14
Ilustración 5: Resistencia total del dispositivo	15
Ilustración 6: Resistencia seria en función del voltaje de compuerta	16

Índice de Figuras

Figura 1: Id-Vg VBulto=0	18
Figura 2: Id-Vg VBulto=1	18
Figura 3: Id-Vg VBulto=2	19
Figura 4: Id-Vg VBulto=3	19
Figura 5: Transconductancia VBulto=0	20
Figura 6: Transconductancia VBulto=1	20
Figura 7: Transconductancia VBulto=2	21
Figura 8: Transconductancia VBulto=3	21
Figura 9: Voltaje Umbral Vs Longitud, VBulto=0.....	22
Figura 10: Voltaje Umbral Vs Longitud, VBulto=1.....	22
Figura 11: Voltaje Umbral Vs Longitud, VBulto=2.....	23
Figura 12: Voltaje Umbral Vs Longitud, VBulto=3.....	23
Figura 13: Movilidad efectiva vs Carga inversa, Voltaje de bulto = 0	24
Figura 14: Movilidad efectiva vs Carga inversa, Voltaje de bulto = 1	24
Figura 15: Movilidad efectiva vs Carga inversa Voltaje de bulto = 2	25
Figura 16: Movilidad efectiva vs Carga inversa, Voltaje de bulto = 3	25
Figura 17: Resistencia en Serie vs Vg	26
Figura 18: Transconductancia en función del bulto para cada longitud.....	26
Figura 19: Voltaje Umbral en función del bulto para cada longitud.....	27
Figura 20: Movilidad efectiva en función del bulto para cada longitud	27

INTRODUCCIÓN

Antecedentes

La electrónica presente un campo muy extenso de investigación para el desarrollo de los semiconductores. Campo de investigación que es muy dinámico y se encuentra en constante progreso, por lo que este trabajo se enfoca en el estudio del comportamiento de transistores UTBB-FDSOI MOSFET en diferentes ambientes. Las mediciones para este trabajo se desarrollaron en un wafer de silicio con dispositivos MOSFET de canal N. Es importante recalcar que el transistor se conforma de cuatro contactos: La fuente (Source), la compuerta (Gate), el drenaje (Drain) y el bulbo (Bulk) (Tsividis & McAndrew, 2011). La medición de los dispositivos se realizó mediante equipos diseñados específicamente para este propósito que se encuentran en las instalaciones del laboratorio del Instituto de micro y nano electrónica de la USFQ.

El descubrimiento del transistor fue la revolución del siglo pasado por su utilidad dentro de la electrónica. El transistor funciona como un switch, que para poder conducir electricidad debe tener un estado de prendido. Para alcanzar este estado, el voltaje que se le aplica deber ser mayor al voltaje umbral. Durante la medición se realizó un barrido de voltaje en la compuerta (Gate) desde un valor negativo hasta un valor positivo pico. Para el drenaje del dispositivo se aplica un valor constante de voltaje y el voltaje de bulbo será una de nuestras variables dentro de las mediciones para cada dispositivo iniciando en un valor nulo hasta un valor de tres voltios.

Para el trabajo de investigación se utilizaron transistores de tecnología 'Ultra-Thin Body and Buried oxide Fully Depleted Silicon on Isulator' o UTBB-FDSOI, que es de tecnología plana y

permite reducir la geometría del silicio facilitando el proceso de fabricación. Esta tecnología se basa en dos innovaciones claves. La primera una capa aislante ultradelgada, que se denomina oxido enterrado. Posteriormente, una película de silicio muy delgada forma el canal dentro del transistor. Gracias a esta fina estructura de silicio no hay necesidad de dopar el canal, ya que el dispositivo se encuentra completamente agotado. (Conventor, s/f)

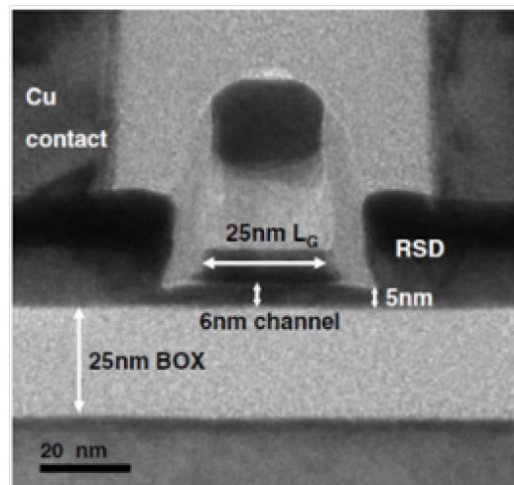


Ilustración 1: Transistor de 28 nm FDSOI

Para cada uno de los dispositivos se realizó el mismo procedimiento simulando el mismo ambiente y variando el voltaje de bulto en cada uno. Se obtuvo la información de cada transistor para posteriormente extraer los parámetros de transconductancia, voltaje umbral para cada valor de voltaje de bulto. Adicionalmente se efectuó la extracción de la resistencia serie de cada transistor, al igual que la movilidad efectiva mediante un método confiable. (Ghibaud, 2011). A medida que la tecnología avanza el tamaño del canal se reduce, lo cual produce dificultades para la extracción de la movilidad. Sin embargo, para la extracción de este parámetro se utilizan un método de resistencia parásita para la obtención de la degradación de la movilidad efectiva. Es importante recordar que una resistencia serie menor dentro del dispositivo mejora el desempeño del transistor.

Experimentación

Los equipos utilizados durante el desarrollo y análisis de las mediciones fueron una máquina computarizada Keithley K4200 – SCS Semiconductor Characterization System, juntamente con una Estación de Prueba (Probe Station) y un wafer de silicio provisto por IMEC con el que se realizó el trabajo de investigación.

Mediante el Sistema de Caracterización es posible configurar el ambiente de trabajo para cada dispositivo. Esta configuración es aplicada a la oblea de silicio que está conectada a través de puntas de la Estación de Prueba (probe station) a un dispositivo en específico dentro de cada Die de la oblea.

Los dispositivos utilizados durante la medición; DUT, (Device under test), fueron seleccionados por su tipo y área, manteniendo un ancho constante y variando la longitud de este. Iniciando con un transistor de $1 \times 1 \text{ [um}^2\text{]}$, se utilizaron dispositivos de áreas $0.5 \times 1 \text{ [um}^2\text{]}$, $0.25 \times 1 \text{ [um}^2\text{]}$, $0.2 \times 1 \text{ [um}^2\text{]}$, $0.15 \times 1 \text{ [um}^2\text{]}$, $0.12 \times 1 \text{ [um}^2\text{]}$, $0.1 \times 1 \text{ [um}^2\text{]}$ y $0.09 \times 1 \text{ [um}^2\text{]}$.

La polarización del dispositivo se configuró con un voltaje de 20 [mV] para el drenaje y un rango de voltaje para la compuerta desde -0.5 [V] hasta 1.4 [V] y un voltaje de bulto desde cero hasta tres voltios. De igual manera se configuró la temperatura a 25 C para que fuera constante. El procedimiento se realizó varias veces para cada ambiente de estudio en cada dispositivo para obtener una mejor precisión en los datos obtenidos. Cada medición tuvo una duración de aproximadamente 1 minuto.

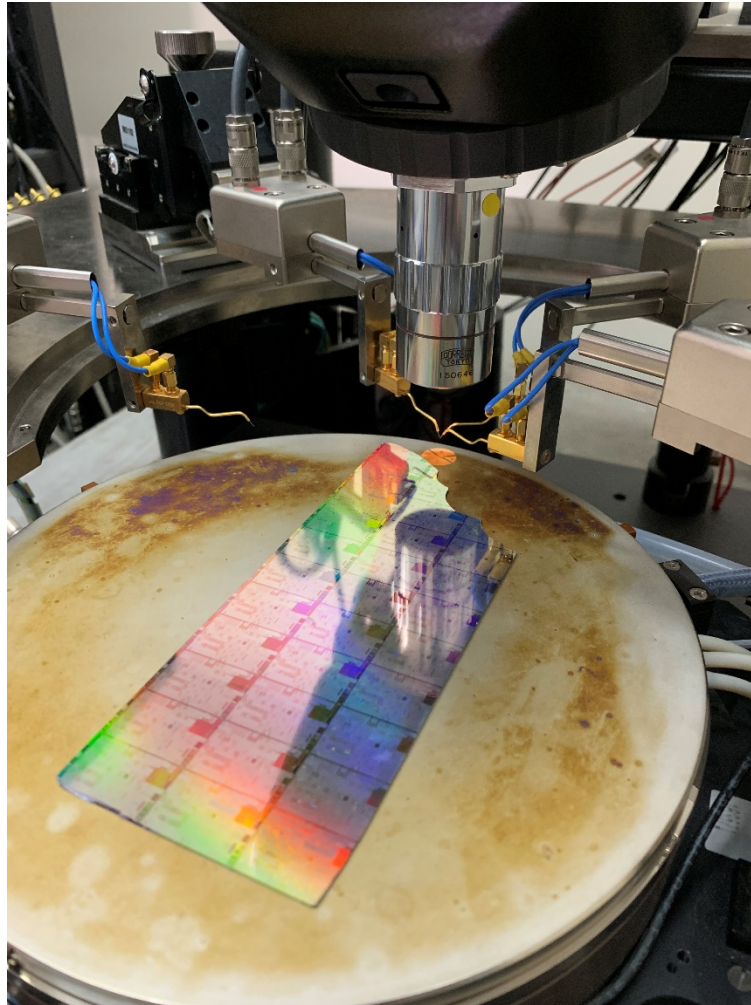


Ilustración 2: Probe Station y oblea de silicio

Desarrollo

Con los datos obtenidos para cada dispositivo en diferentes ambientes, se procedió a clasificar las mediciones en longitud dentro de cada voltaje de bulto. A partir de este punto se realizó el análisis de los datos con el software de programación numérico Matlab. Mediante el mismo se implementaron las funciones para la extracción de parámetros.

Voltaje Umbral.-

Se inició con la extracción del parámetro de voltaje umbral para cada dispositivo en diferentes configuraciones. A través de la curva característica I_d - V_g de cada transistor y la

transconductancia máxima, es posible, mediante una extrapolación lineal, encontrar el valor de voltaje umbral.

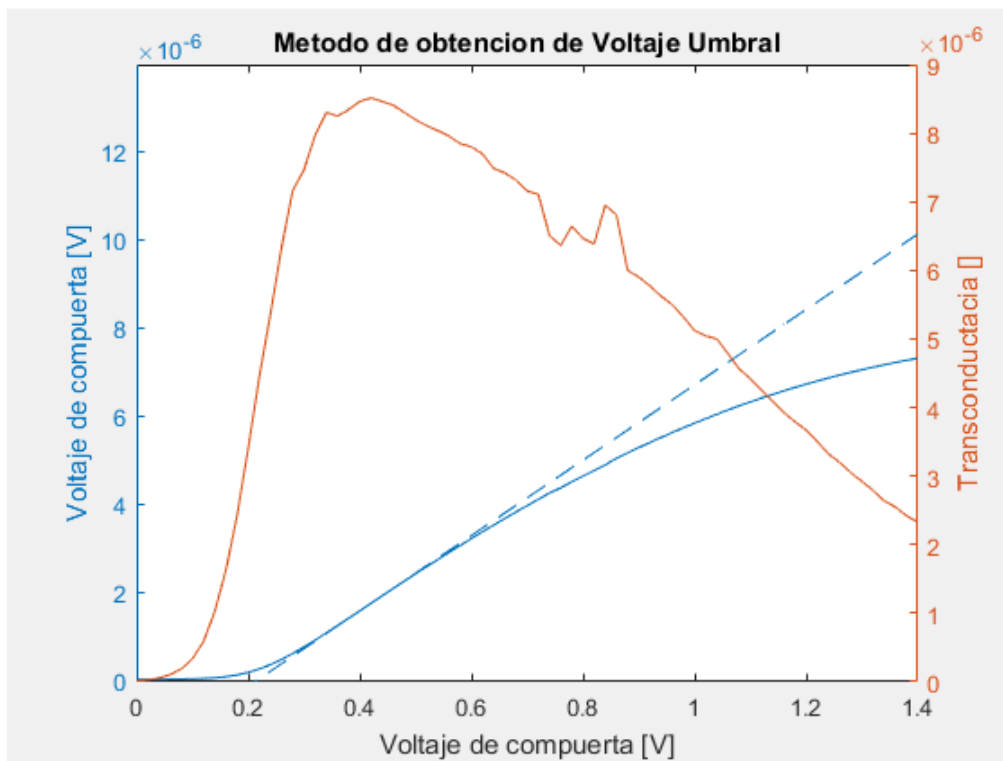


Ilustración 3: Extracción del Voltaje Umbral

Durante este proceso se descartaron algunas mediciones que presentaban interferencia, puesto que el dispositivo puede enfrentarse a diferentes factores que afectan a los resultados, como son los contactos de cada compuerta o el contacto en el bulbo.

Con los parámetros de tensión umbral obtenidos para determinada longitud de cada transistor se procedió a calcular la resistencia parásita y como varía dentro del dispositivo en función al voltaje de bulbo.

Mediante la implementación del método de McLarty se puede obtener la resistencia en serie parásita de cada configuración de voltaje de bulbo. Este proceso es posible mediante el cálculo inicial del factor beta que es la pendiente de la ecuación de la recta. (Ghibaudo, 2011)

$$\frac{\partial}{\partial V_g} \left(\frac{1}{I_d} \right) = \frac{1}{G_m * V_d} \left(\frac{-1}{(V_g - V_{th})^2} + \theta_2 \right)$$

Que se grafica en función de:

$$\frac{1}{(V_g - V_{th})^2}$$

Por lo que se obtiene una ecuación de la forma:

$$F(x) = Ax + B$$

Tomando $A = \frac{1}{G_m * V_d}$ y sabiendo que $G_m = \frac{\beta}{V_d}$, se puede obtener la resistencia total para un voltaje de bulto específico con el valor de $V_d = 20[mV]$. Con esto es posible encontrar la resistencia parásita en serie ya que es el cruce con el eje Y de la gráfica R_{tot} vs $1/\beta$.

(Fleury, 2009)

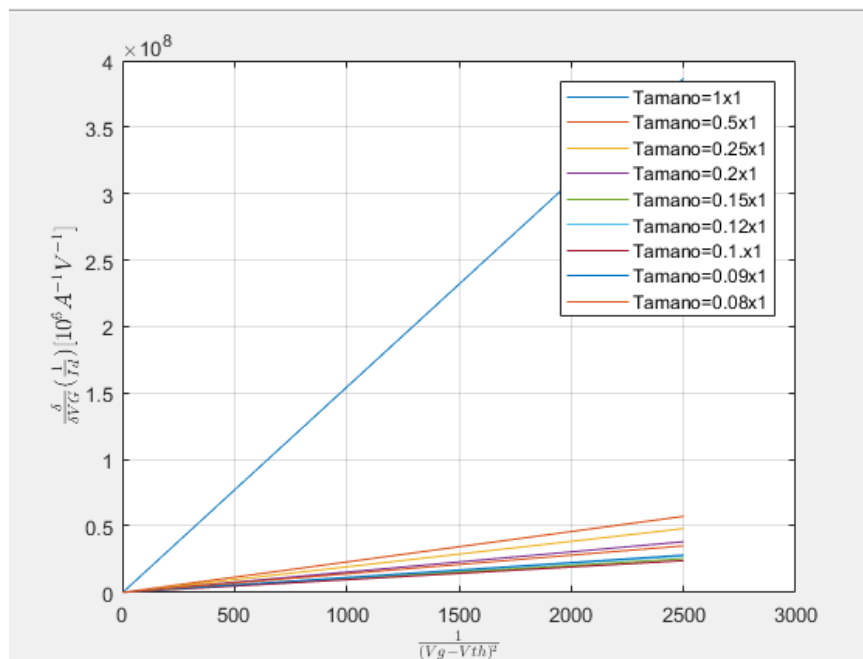


Ilustración 4: Primera Derivada $1/I_d$ con respecto a V_g

Se observa en la Ilustración 4 como los valores de pendiente cambian dependiendo del área del dispositivo. (Ghibaudo, 2011). Posteriormente se encuentra la resistencia serie parasita mediante la resistencia total a lo largo del barrido en el voltaje de la compuerta, mediante una extrapolación de los valores con respecto al inverso de β , el cruce de esta regresión con el eje vertical es la resistencia serie parasita dentro de cada configuración en estudio.

(Fleury, 2009)

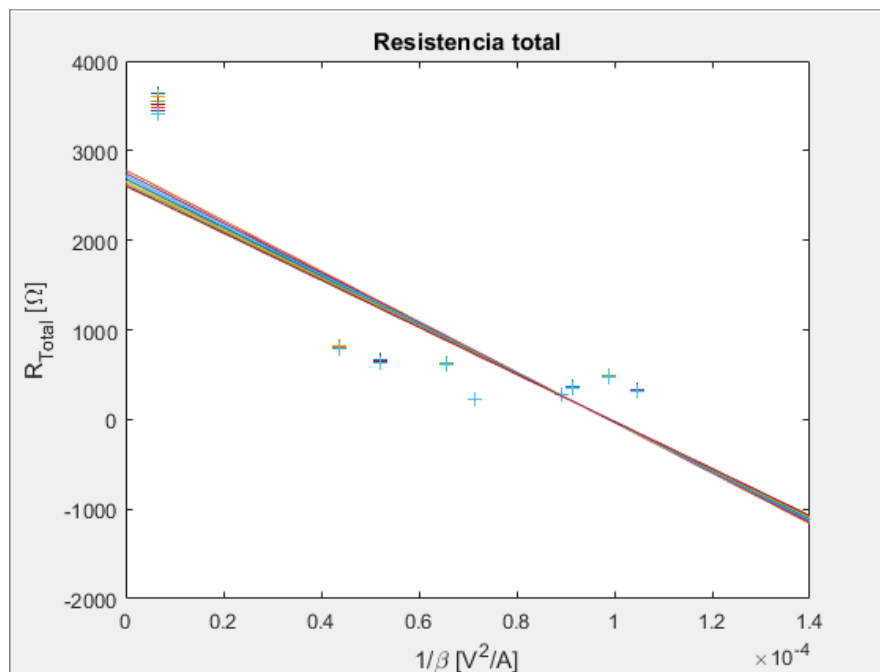


Ilustración 5: Resistencia total del dispositivo

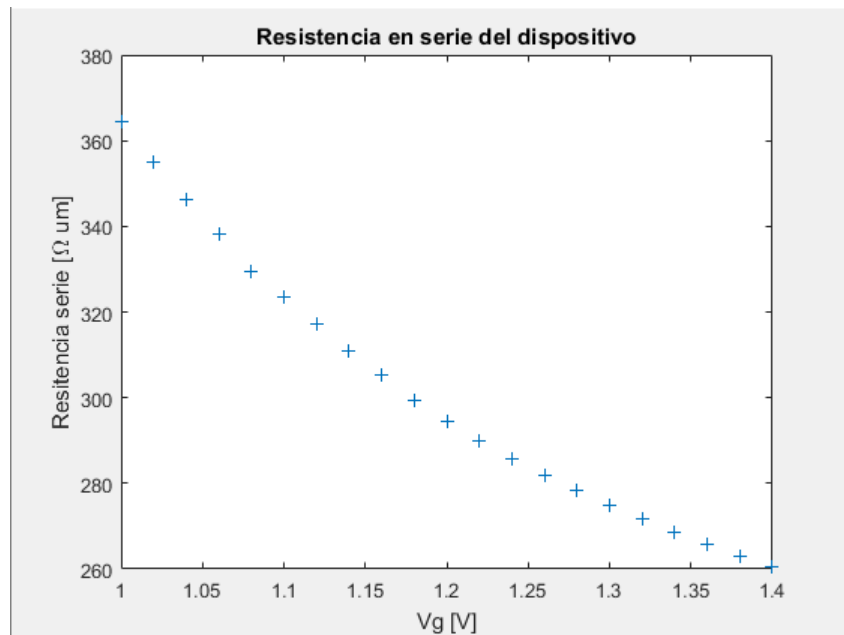


Ilustración 6: Resistencia serie en función del voltaje de compuerta

Parámetros de la Degradación de la Movilidad efectiva. -

Para encontrar la degradación de la movilidad efectiva fue necesario extraer dos parámetros adicionales a partir de las mediciones obtenidas, θ_1 y θ_2 que se denominan los parámetros de degradación de la movilidad. El parámetro θ_2 , fue posible encontrar mediante las ecuaciones de método de McLarty. (Ghibaudo, 2011)

$$\frac{\partial^2}{\partial Vg^2} \left(\frac{1}{Id} \right) = \frac{1}{Gm * Vd} * \left(\frac{2}{(Vg - Vth)^3} \right)$$

Para el parámetro θ_1 se considera la siguiente gráfica: $\theta_1 = Gm * \frac{Vd}{Id} - \frac{1}{(Vg - Vth)}$ -

$\theta_2(Vg - Vth)$ versus Vg , sin embargo, para el caso en estudio este parámetro tuvo que ser corregido mediante la ecuación -Gráfica del parámetro corregido -

$$\theta_1^* = \theta_1 + Gm$$

Con la obtención de los parámetros de la movilidad es posible su cálculo mediante la ecuación:

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1(Vg - Vth) + \theta_2(Vg - Vth)^2}$$

El valor de μ_0 se logra encontrar mediante la constante Cox , mediante la ecuación:

$$\mu_0 = \frac{Gm}{Cox * \frac{W}{L - \Delta L}}$$

Donde $\Delta L = 65 [nm]$, es decir que $L_{MET} = L - \Delta L$ que se denomina el largo metalúrgico (Trojman, 2019).

Adicionalmente para entender el comportamiento de cada dispositivo se encuentra la carga inversa en función del voltaje de la compuerta, con la ecuación:

$$Q_{inv}(Vg) = Cox(Vg - Vth)$$

El estudio y extracción de estos parámetros permite observar la variación del comportamiento de cada uno de los dispositivos en diferentes ambientes.

Resultados

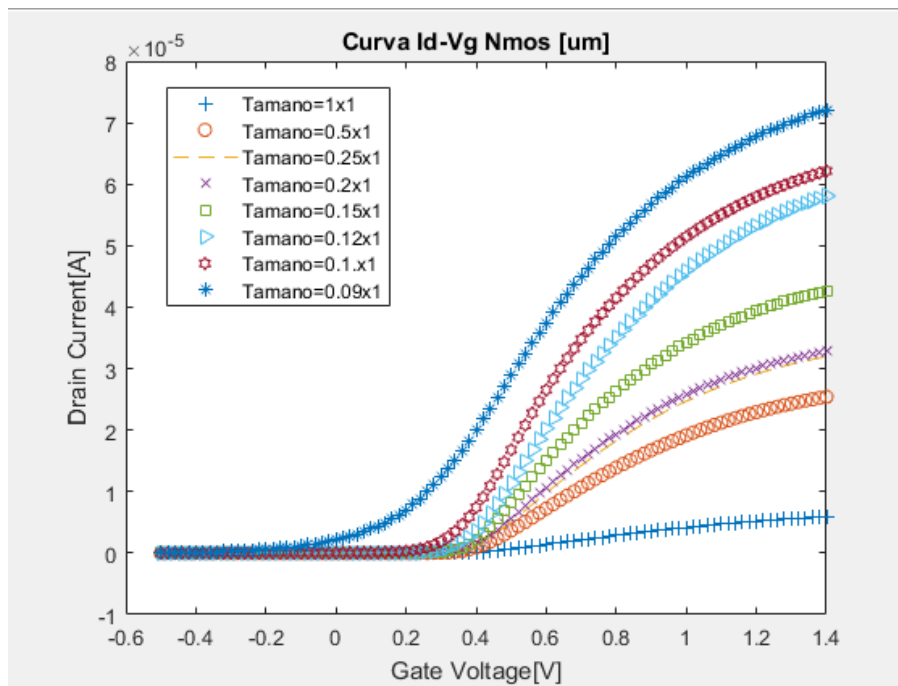


Figura 1: Id-Vg $V_{Bulto}=0$

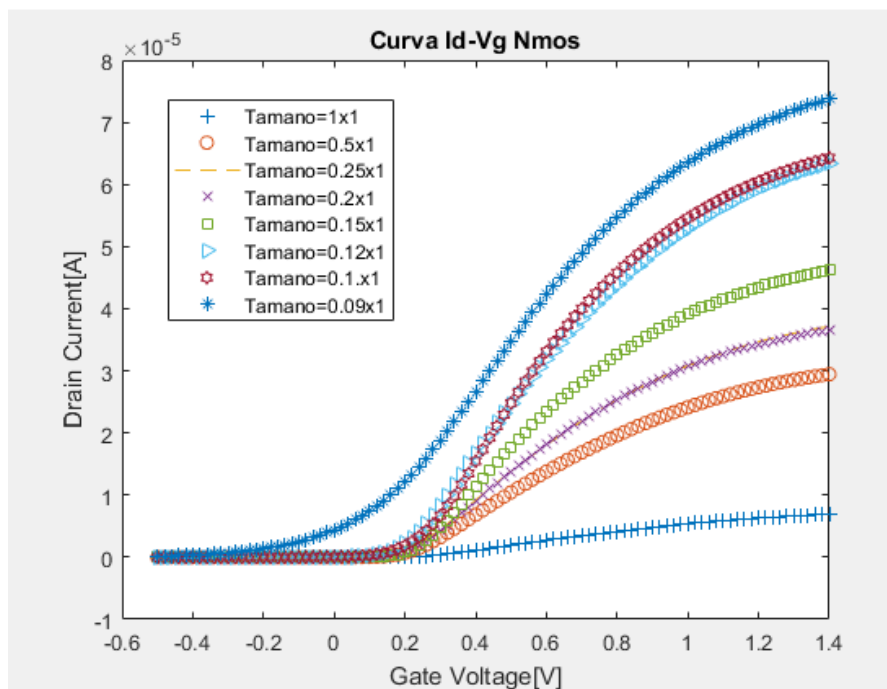


Figura 2: Id-Vg $V_{Bulto}=1$

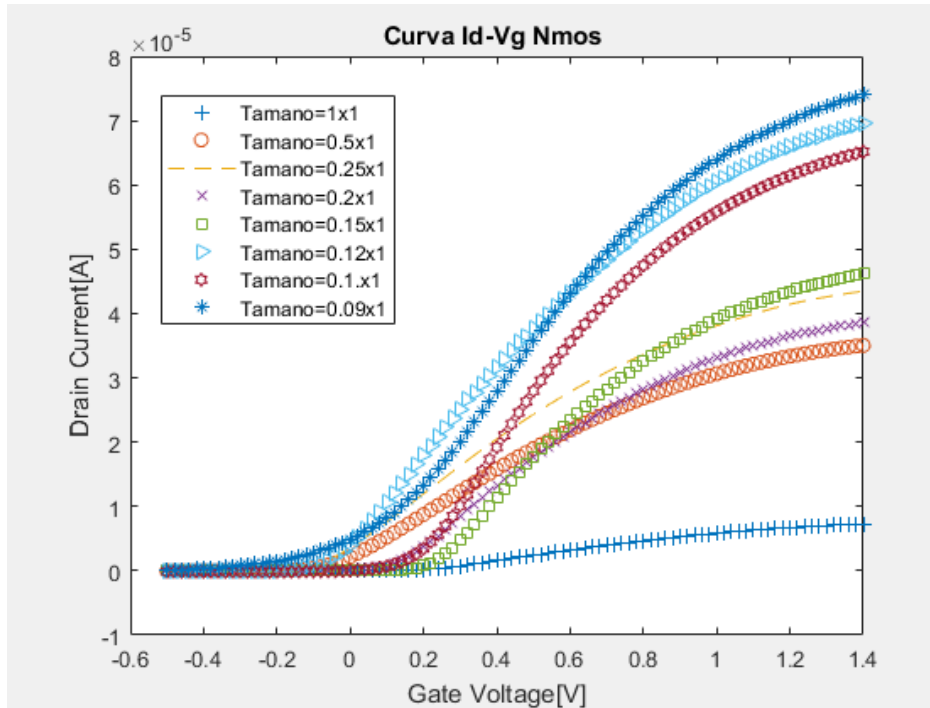


Figura 3: Id-Vg $V_{Bulto}=2$

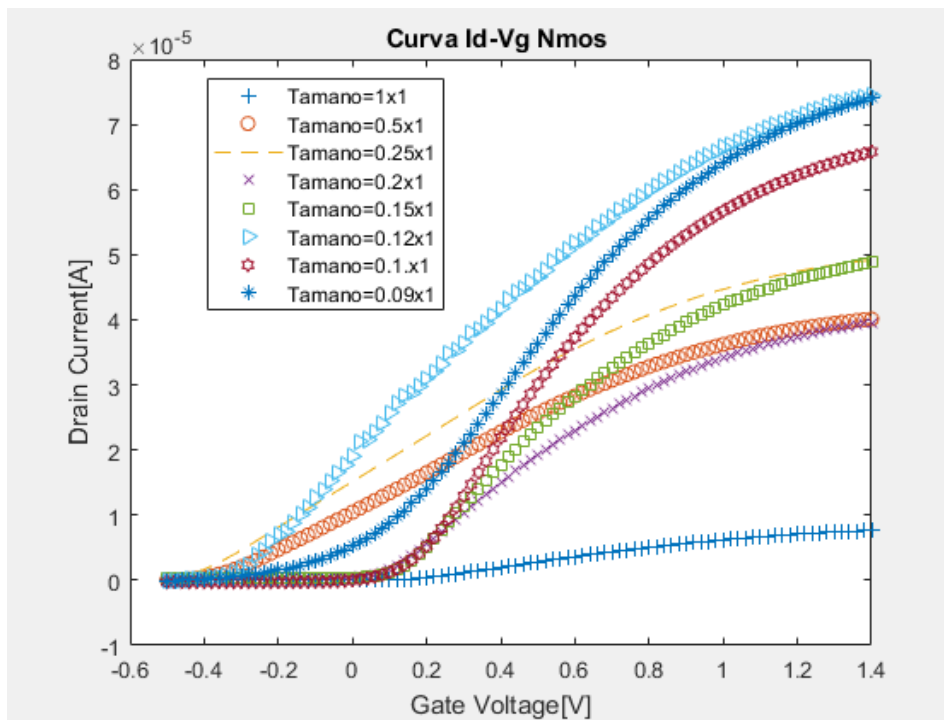


Figura 4: Id-Vg $V_{Bulto}=3$

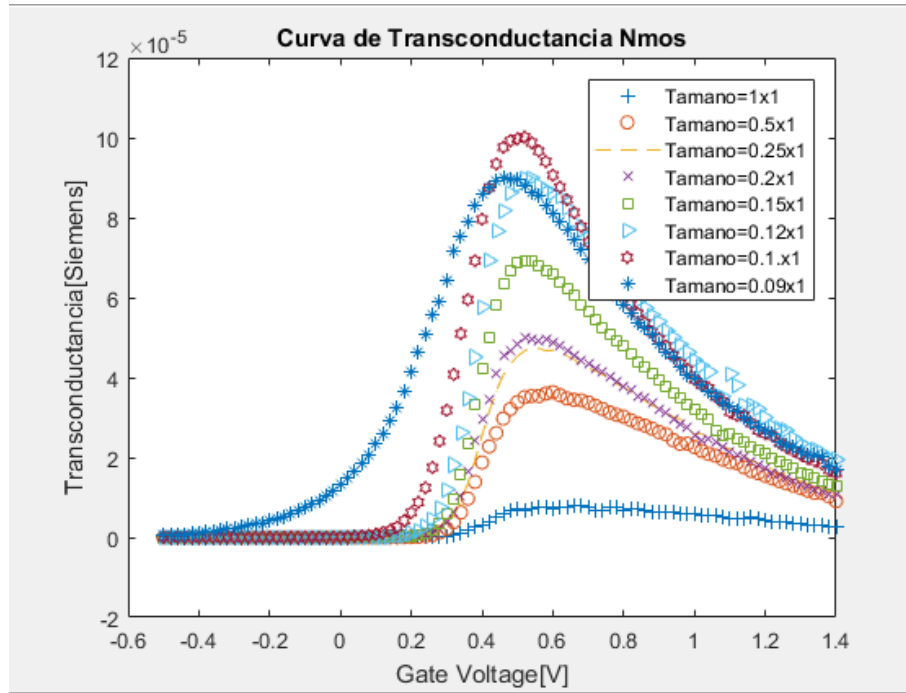


Figura 5: Transconductancia $V_{Bulto}=0$

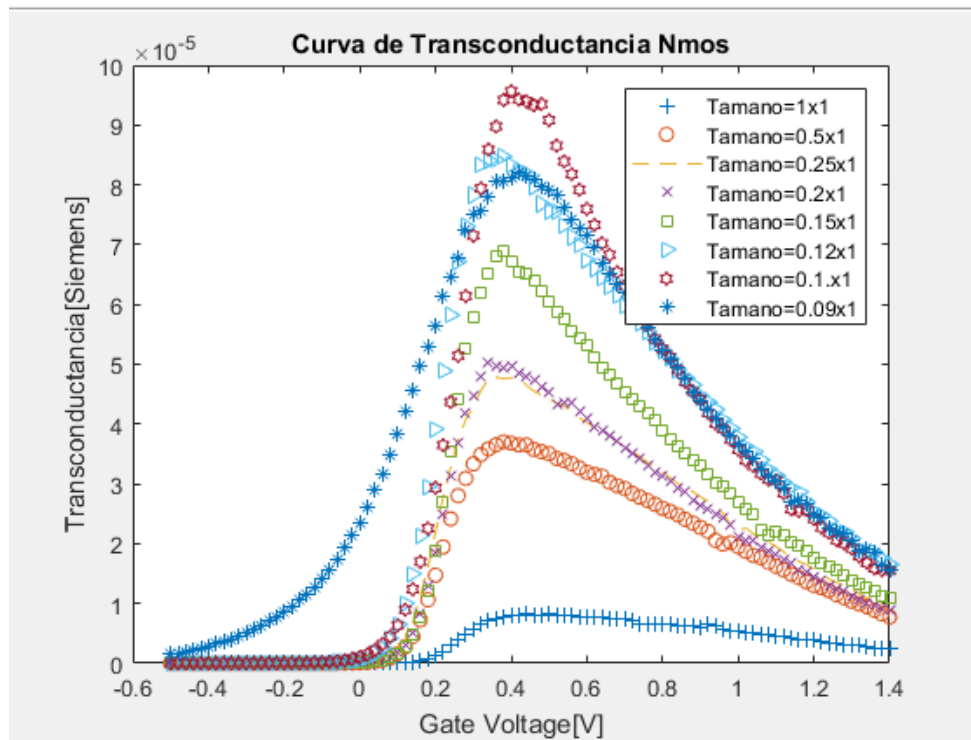


Figura 6: Transconductancia $V_{Bulto}=1$

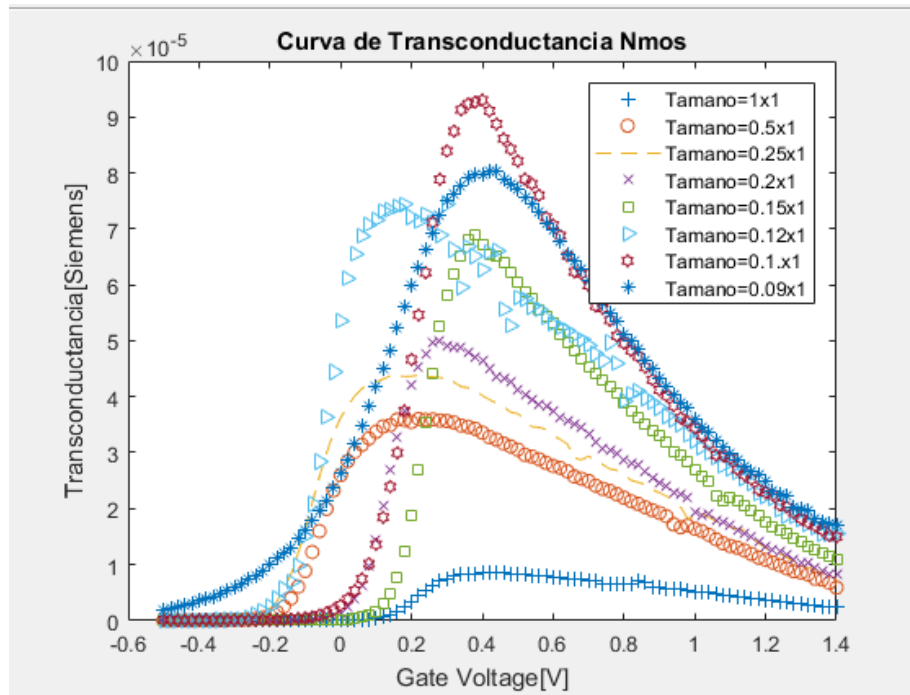


Figura 7: Transconductancia $V_{bulto}=2$

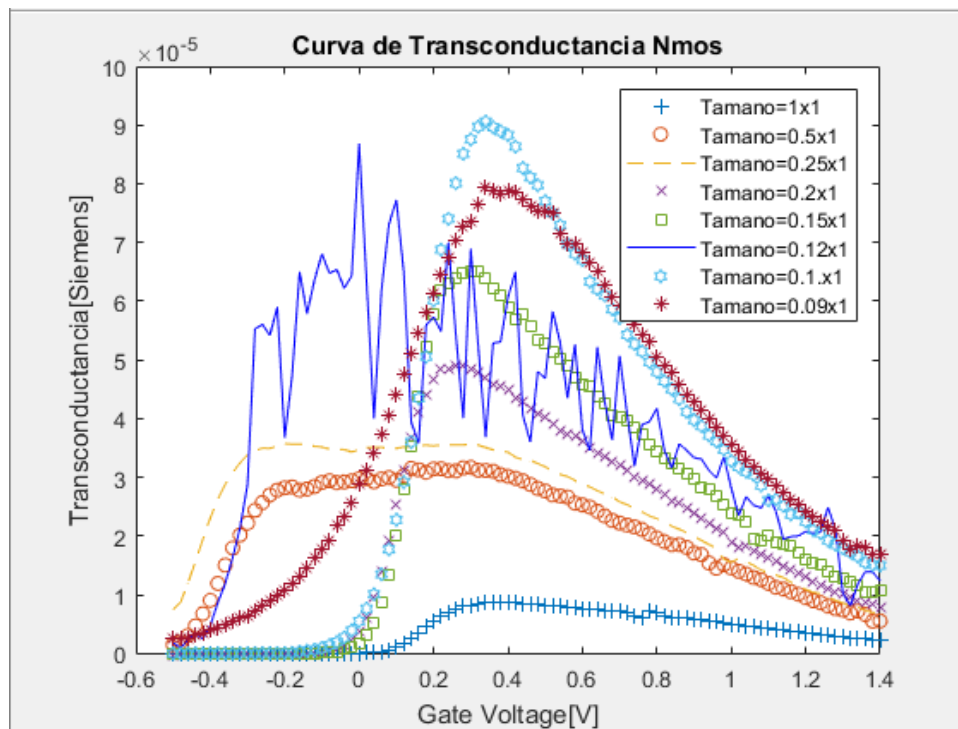


Figura 8: Transconductancia $V_{bulto}=3$

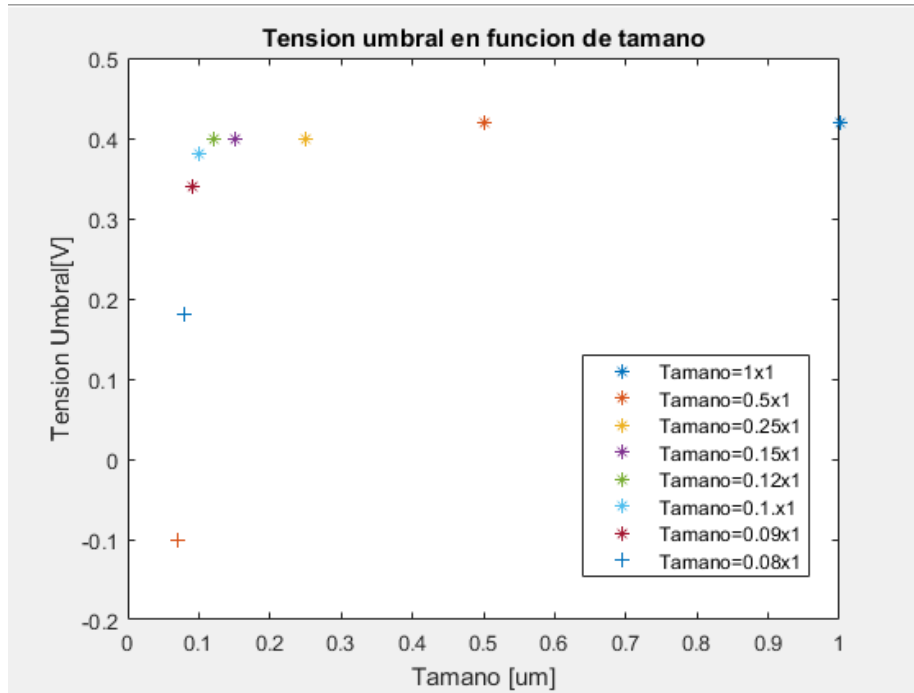


Figura 9: Voltaje Umbral Vs Longitud, $V_{Bulto}=0$

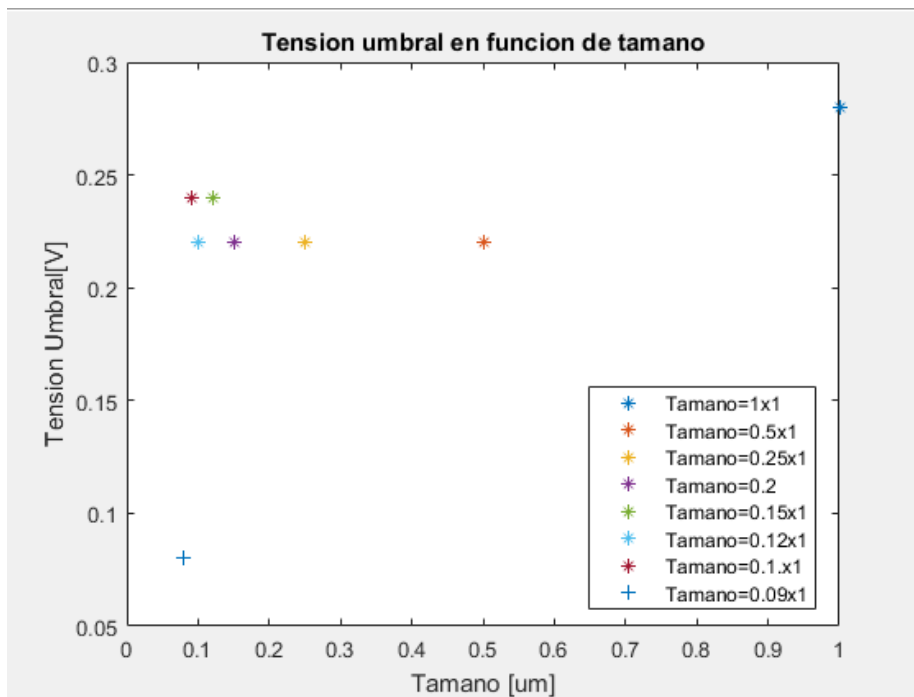


Figura 10: Voltaje Umbral Vs Longitud, $V_{Bulto}=1$

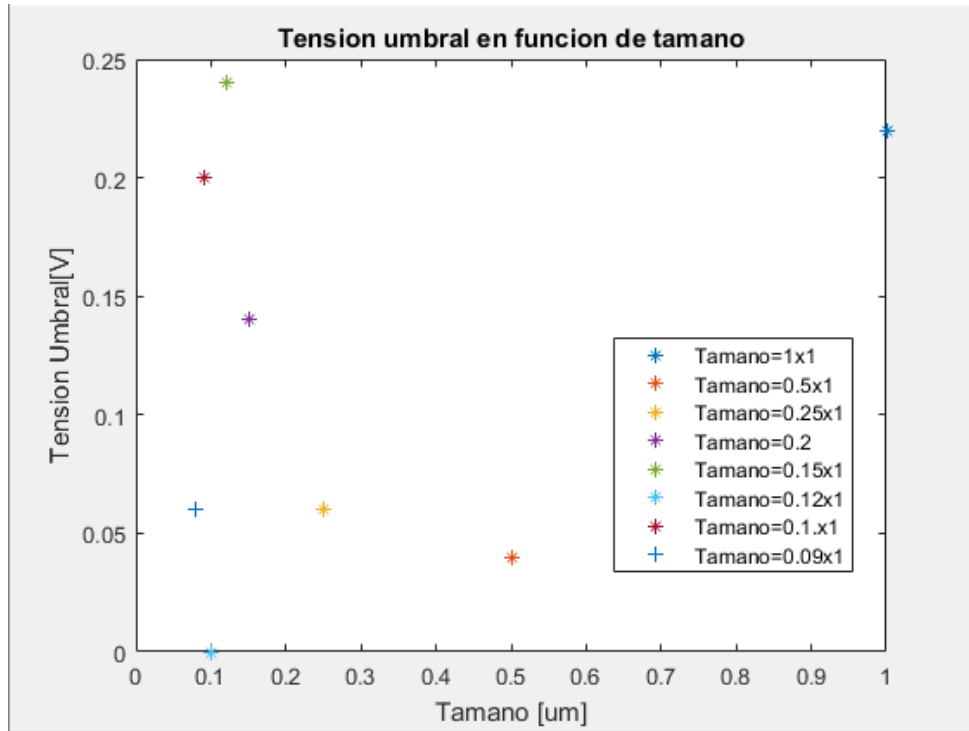


Figura 11: Voltaje Umbral Vs Longitud, $V_{Bulto}=2$

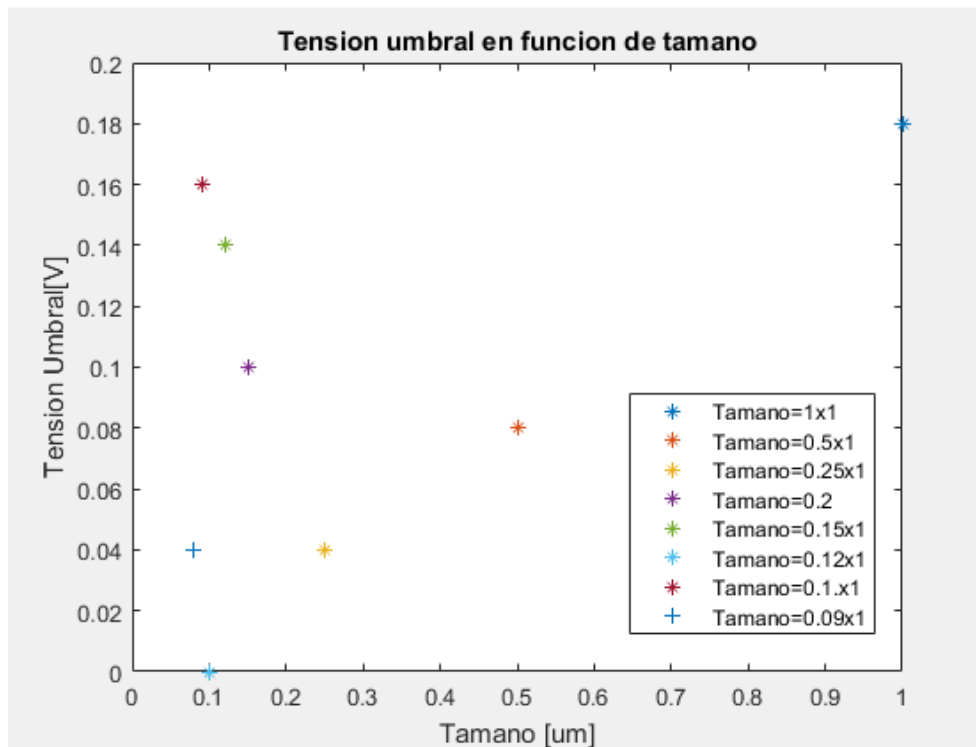


Figura 12: Voltaje Umbral Vs Longitud, $V_{Bulto}=3$

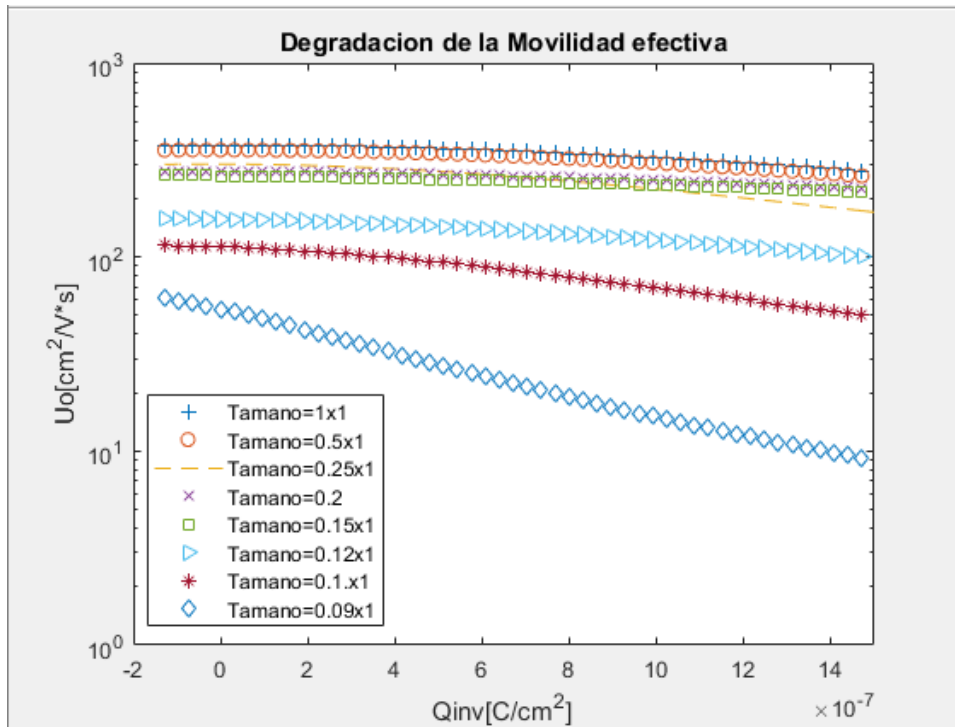


Figura 13: Movilidad efectiva vs Carga inversa, Voltaje de bulto = 0

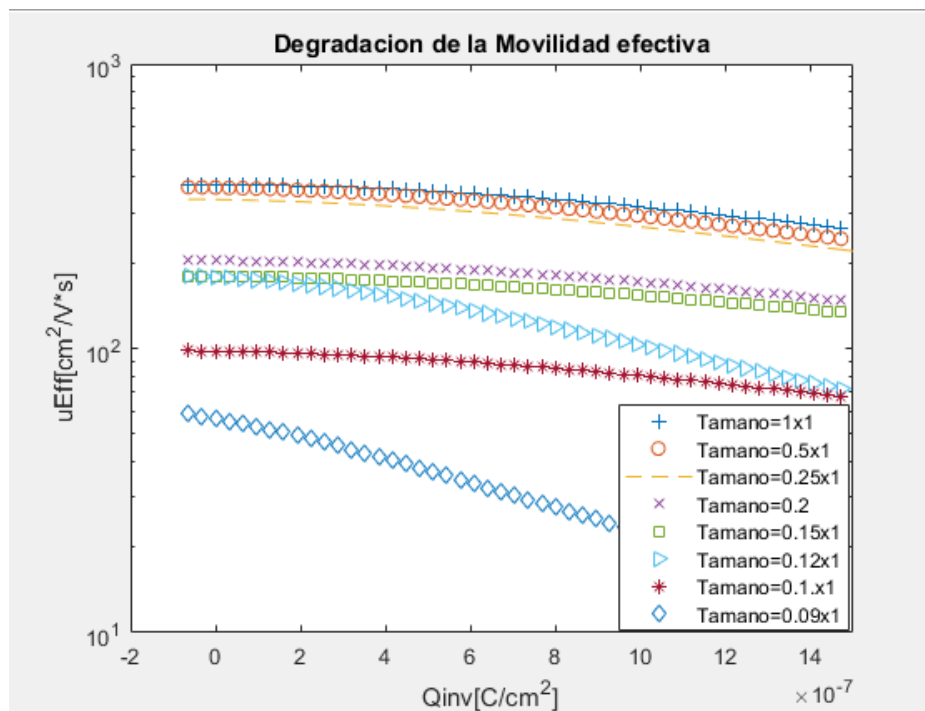


Figura 14: Movilidad efectiva vs Carga inversa, Voltaje de bulto = 1

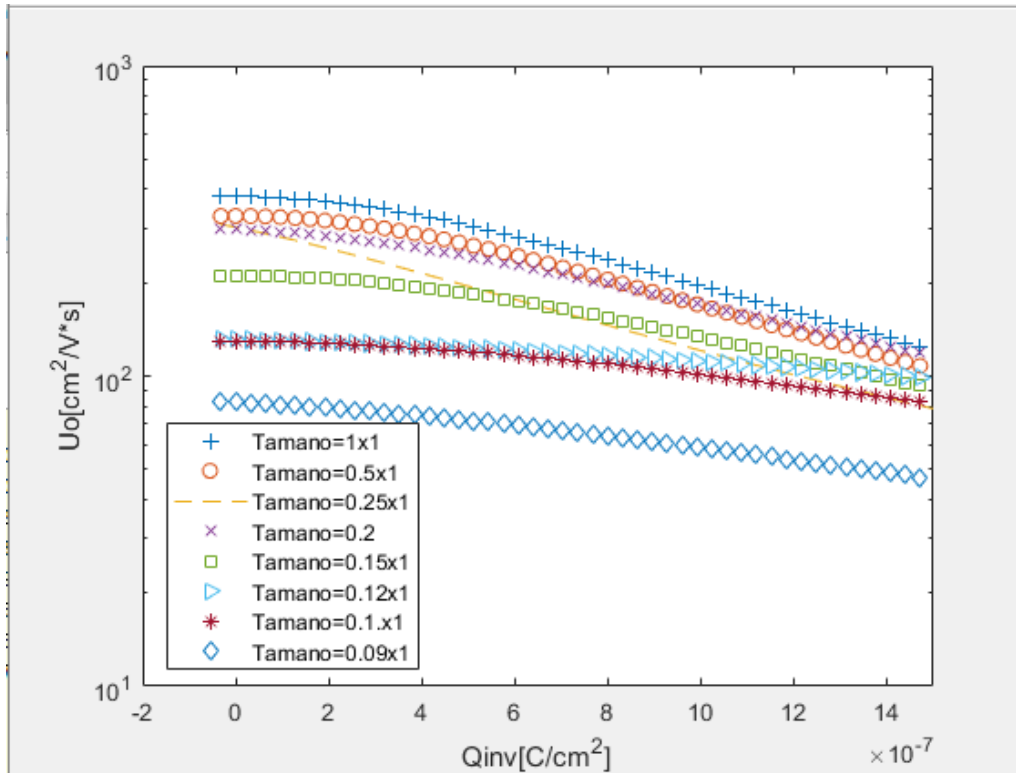


Figura 15: Movilidad efectiva vs Carga inversa Voltaje de bulbo = 2

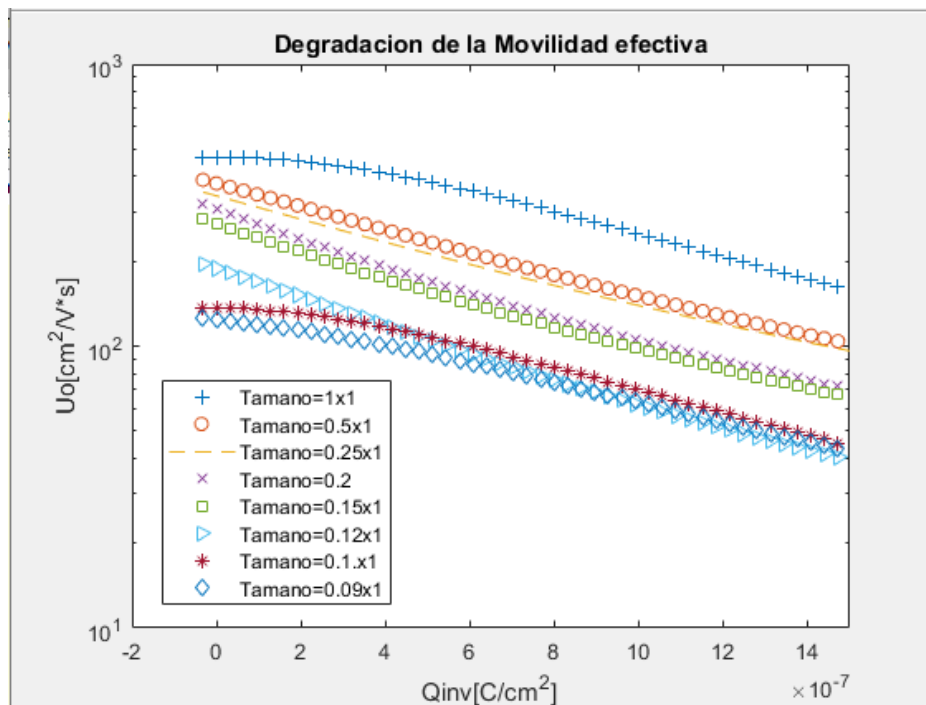


Figura 16: Movilidad efectiva vs Carga inversa, Voltaje de bulbo = 3

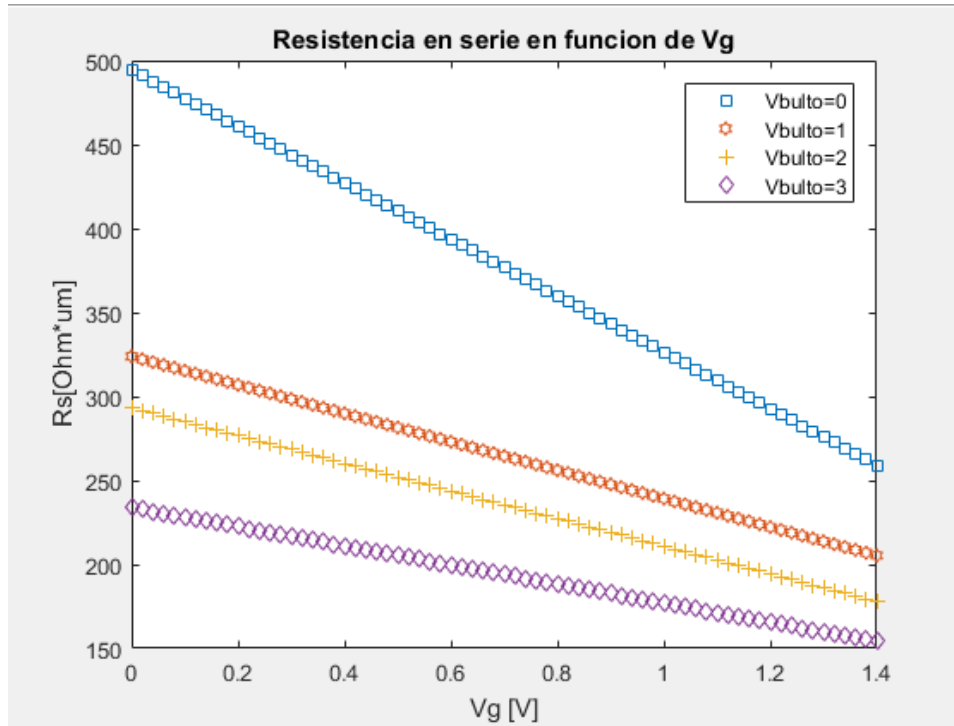


Figura 17: Resistencia en Serie vs V_g

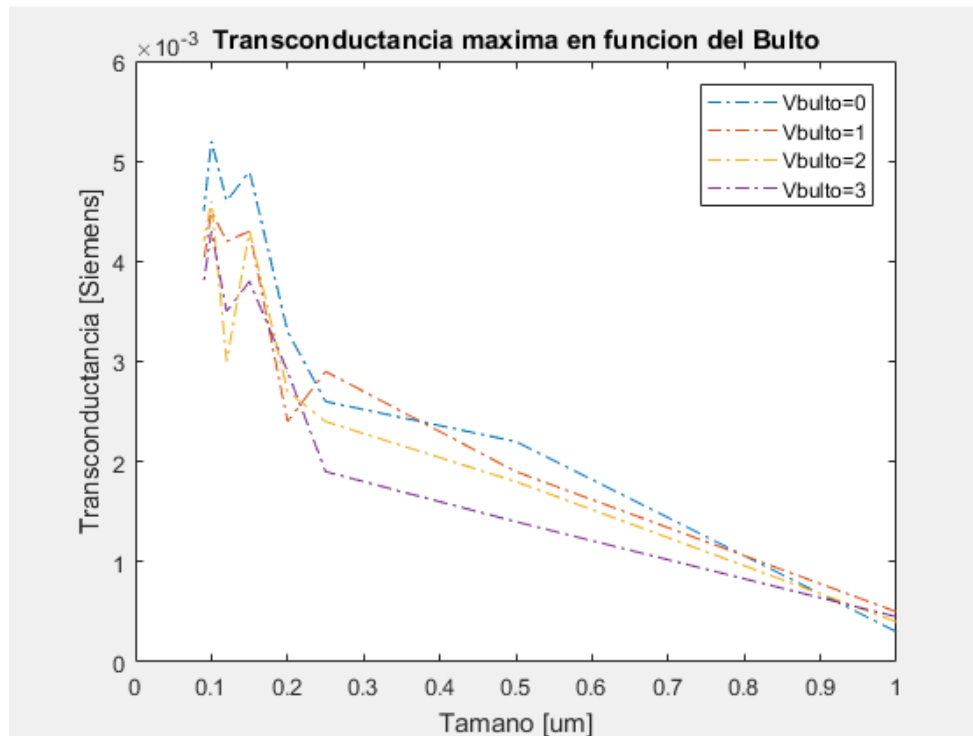


Figura 18: Transconductancia en función del bulto para cada longitud

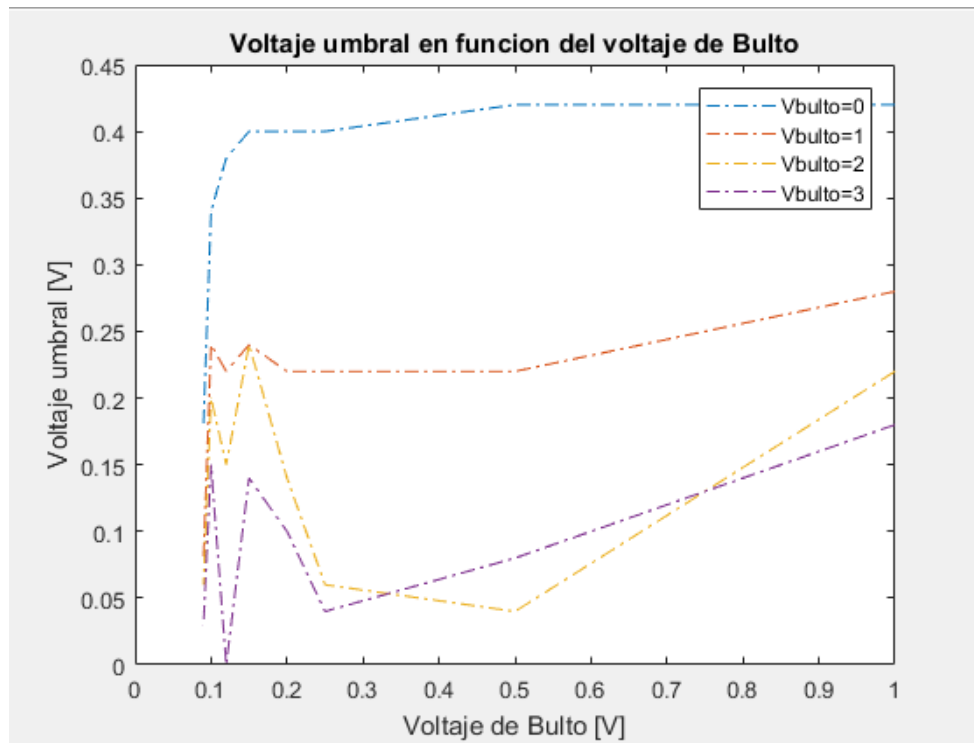


Figura 19: Voltaje Umbral en función del bulto para cada longitud

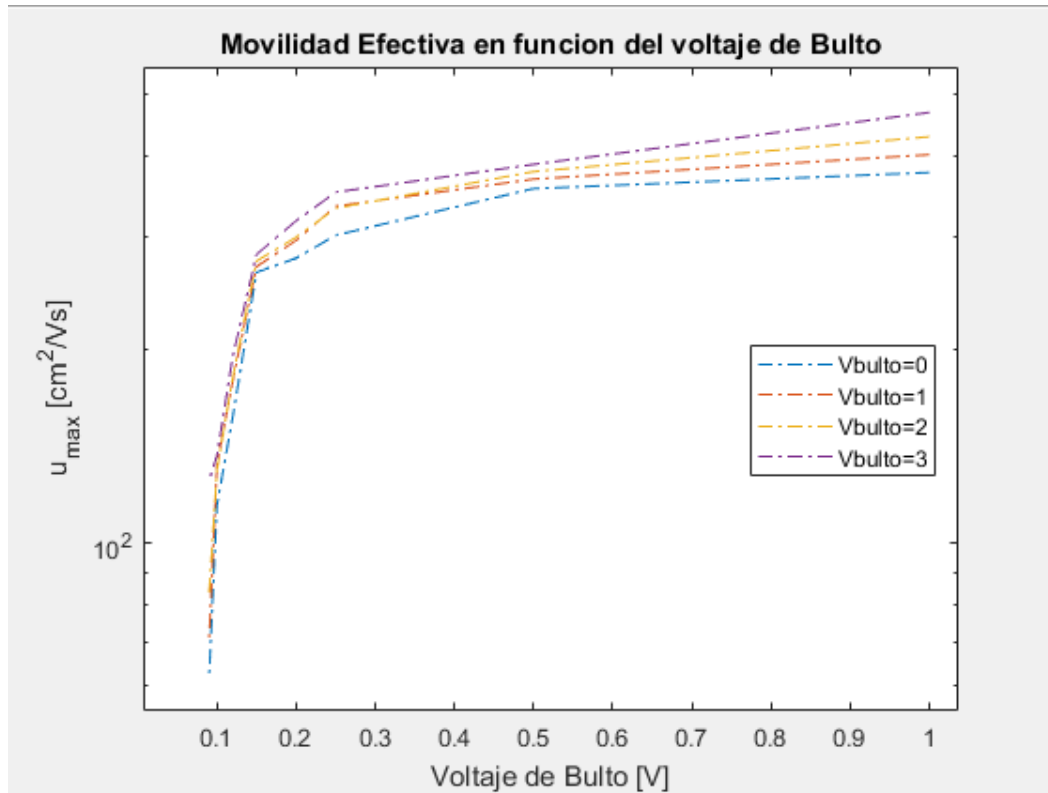


Figura 20: Movilidad efectiva en función del bulto para cada longitud

Análisis de resultados

TENSIÓN UMBRAL

Mediante las gráficas obtenidas en la extracción de parámetros se puede observar una variación de la tensión umbral para cada transistor. Iniciando con un voltaje de bulto nulo se observa una disminución de la tensión umbral a medida que el voltaje de bulto aumenta. Este fenómeno se presenta en todas las longitudes de los transistores, lo que quiere decir que, con voltaje de bulto diferente de cero, se necesita un voltaje menor para encender el dispositivo.

RESISTENCIA EN SERIE

para la resistencia en serie se observa que a medida que aumenta el voltaje de bulto, la resistencia serie disminuye (Trojman, 2019), con lo que se comprueba que la resistencia serie de los dispositivos no se mantiene constante. (Fleury, 2009)

TRANSCONDUCTANCIA

La transconductancia se ve influenciada por la tensión de bulto a medida que la longitud de los transistores disminuye. En cada longitud de dispositivo se observa la disminución de la transconductancia de manera ligera.

MOVILIDAD EFECTIVA. -

La movilidad efectiva no se ve afectada mayormente en los dispositivos más grandes, no así para el dispositivo más pequeño, cuya movilidad es mayor a una tensión de bulto mayor. (Trojman, 2019)

De todos los análisis anteriores se demuestra que el valor que más influencia dentro de la extracción de parámetros es la tensión umbral, observándose que a medida que el voltaje de bulto aumenta, la tensión umbral disminuye en todos los dispositivos en estudio.

Conclusiones

En conclusión, las extracciones realizadas demuestran que la resistencia en serie parásita tiene una variación a medida que se varia la tensión de bulto independiente del tamaño del dispositivo. (Trojman, 2019). En cuanto a la tensión umbral de cada dispositivo en diferentes ambientes también varía, lo que permite observar el diferente comportamiento de los transistores. Se observa que a medida que el canal es más corto dentro del dispositivo la variación de la tensión umbral tiene una repercusión mayor. Para la transconductancia se observa una disminución de esta a medida que el voltaje de bulto aumenta. Este fenómeno se presenta de forma más pronunciada a medida que la longitud del dispositivo disminuye.

La movilidad efectiva se ve afectada por el voltaje de bulto de forma directa, ya que el cambio de la tensión umbral en cada dispositivo varía la movilidad efectiva, mientras más pequeña es la tensión umbral mayor es la movilidad efectiva dentro del dispositivo.

Referencias Bibliográficas

Colinge , J. P., & Colinge, C. A. (1999). *Physics of Semiconductor Devices* . New York : Kluwer Academic Publishers.

Conventor. (s/f). *Everything You Need to Know about FDSOI Technology*. Carolina del Norte USA.

Fleury, D. (2009). *A New Technique to Extract the S/D Series Resistance of Sub-100nm MOSFETs*. STMicroelectronics/ IMEP-LAHC lab.

Ghibaudo, G. (2011). *Improved Modeling of Low-Frequency Noise in MOSFETs—Focus on Surface Roughness Effect and Saturation Region*. IEEE TRANSACTIONS ON ELECTRON DEVICES.

Trojman, L. (2019). Mobility extraction for short channel UTBB-FDSOI MOSFETs under back bias using an accurate inversion charge density model. *Solid State Electronics*.

Tsividis, Y., & McAndrew, C. (2011). *Operation and Modeling of the MOS Transistor*. Oxford: Oxford University Press.