

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

Diseño y Simulación TCAD de un OTA ULV/P

Juan Esteban Orozco Fuentes

Ingeniería Electrónica

Trabajo de integración curricular presentado como requisito
para la obtención del título de
Ingeniero Electrónico

Quito, 08 de mayo de 2020

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias E Ingenierías

HOJA DE CALIFICACIÓN DE TRABAJO DE INTEGRACIÓN CURRICULAR

Diseño y Simulación TCAD de un OTA ULV/P

Juan Esteban Orozco Fuentes

Calificación: (puntos logrados) / (puntos posibles)

Nombre del profesor, Título académico

Luis Miguel Prócel, PhD

Ramiro Taco, PhD

Firma del profesor:

Quito, 08 de mayo de 2020

DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en el Art. 144 de la Ley Orgánica de Educación Superior.

Nombres y apellidos: Juan Esteban Orozco Fuentes

Código: 00131518

Cédula de identidad: 2100452552

Lugar y fecha: Quito, mayo de 2020

ACLARACIÓN PARA PUBLICACIÓN

Nota: El presente trabajo, en su totalidad o cualquiera de sus partes, no debe ser considerado como una publicación, incluso a pesar de estar disponible sin restricciones a través de un repositorio institucional. Esta declaración se alinea con las prácticas y recomendaciones presentadas por el Committee on Publication Ethics COPE descritas por Barbour et al. (2017) Discussion document on best practice for issues around theses publishing, disponible en <http://bit.ly/COPETheses>.

UNPUBLISHED DOCUMENT

Note: The following capstone project is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this project – in whole or in part – should not be considered a publication. This statement follows the recommendations presented by the Committee on Publication Ethics COPE described by Barbour et al. (2017) Discussion document on best practice for issues around theses publishing available on <http://bit.ly/COPETheses>.

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

RESUMEN

La microelectrónica guía el avance tecnológico y parte fundamental es el escalamiento, que es el proceso de la disminución del tamaño de los dispositivos electrónicos. En CMOS la tecnología representa el largo del canal y su disminución en tamaño ha permitido através de los años un incremento de la capacidad de procesamiento constante. A medida que la tecnología se reduce, el comportamiento de los transistores cambia y el diseño analógico, que depende en gran medida del comportamiento eléctrico, se adapta a estos cambios superando sus retos y explotando sus ventajas.

Es por esto que en el presente trabajo se realizó el estudio de las expectativas del rendimiento eléctrico y Figuras de Mérito de dispositivos analógicos en tecnologías CMOS 90nm y 28nm a Ultra Bajo Voltaje de alimentación y Ultra Baja Potencia Estática. En vista del escalamiento tecnológico, una disminución del tamaño de los dispositivos y la consecuente disminución de su consumo de potencia, aumenta densidad de dispositivos electrónicos en un circuito y esto representa un aumento en la capacidad de carga de señales que puede soportar dicho diseño electrónico.

En el presente trabajo se realiza una estimación de los retos y oportunidades del diseño analógico a menores escalas mediante el diseño de un OTA (Amplificador Operacional de Transconductancia) en estas dos tecnologías. Basados en una topología patentada y comúnmente consultada en tecnología CMOS 180nm que consiste en un OTA de 2 Etapas en configuración *Cascode*, método de polarización de bulto y control de ganancia por corriente.

Adicionalmente, se analiza los retos que el escalamiento de la tecnología trae consigo en este tipo de circuito analógico, como la compensación del *Roll-off* del Voltaje de *Threshold* a nivel de transistores y una disminución de la estabilidad y Ganancia DC, pero también los beneficios, como aumento de la velocidad de respuesta de los circuitos en función de su consumo de potencia.

Palabras clave: micro, electrónica, 90nm, 28nm, analógico, amplificador, OTA, OPAMP, circuitos, integrados, baja, potencia, TCAD

ABSTRACT

Microelectronics guides technological progress and a fundamental part is scaling which is the process of reducing the size of electronic devices. In CMOS, technology represents the channel length and its decrease in size has allowed over the years a constant increase in processing capacity. As technology decreases, transistor behavior changes, and the analog design, which relies heavily on electrical behavior, adapts to these changes by overcoming its challenges and exploiting its benefits.

For this reason, this work presents the study of the expectations of the electrical performance and Figures of Merit of analog devices in CMOS technologies 90nm and 28nm at Ultra Low Supply Voltage and Ultra Low Static Power. Due to technological scaling, it's expected a decrease in the size of the devices and the consequent decrease in their power consumption, which increases the density of electronic devices in a circuit, increasing the signal load capacity that said electronic design could support.

This work presents an estimation of the challenges and opportunities of the analogic design at smaller technologies by designing an OTA (Operational Transconductance Amplifier) in these two technologies. Based on a patented and commonly consulted topology, in CMOS 180nm technology, that consists of a 2-stage OTA in Cascode configuration, bulk biasing techniques and current controlled gain.

The challenges of the technological scaling in analog circuits like this one are presented, like the Threshold Voltage Roll-Off at a transistor level, and a reduction of stability and DC Gain, along some of its advantages, like an increase in speed as a function of power consumption.

Key words: micro, electronics, 90nm, 28nm, analog, amplifier, OTA, OPAMP, circuits, integrated, low, power, TCAD

TABLA DE CONTENIDO

Introducción	10
Topología	11
Técnica de Diseño a Ultra Bajo Voltaje	13
- Bulk Biasing	13
- Cross-Coupled Pair	14
- Common Mode Correction	16
- Level Shifting Current	19
- Trabajo a dos Etapas	20
OTA en Tecnología 90nm	23
- OTA Single Stage	23
- OTA Two Stages	24
OTA en Tecnología 28nm	24
- OTA Single Stage	25
- OTA Two Stages	26
Comparativa del Rendimiento de los OTAs	26
- OTA Single Stage	26
- OTA Two Stages	32
Conclusiones	36
Referencias bibliográficas	39
Anexo A: Dimensionamiento de los OTAs	40

ÍNDICE DE TABLAS

Tabla 1. Dimensiones OTA 1 etapa 90nm.....	23
Tabla 2. Dimensiones OTA 2 etapas 90nm.....	24
Tabla 3. Dimensiones OTA 1 etapa 28nm.....	25
Tabla 4. Dimensiones OTA 2 etapas 28nm.....	26
Tabla 5. Comparativa <i>Single Stage</i>	31
Tabla 6. Desempeño de los OTA <i>Two Stages</i> en 3 nodos tecnológicos CMOS.....	35
Tabla 7. Dimensiones de los elementos de los OTA	40

ÍNDICE DE FIGURAS

Figura 1. Topología de una etapa del OTA	11
Figura 2. Efecto de Bulto para transistores CMOS.....	13
Figura 3. Circuito <i>Cross Coupled Pair</i>	15
Figura 4. Modo Común de un Amplificador Diferencial Ideal.....	17
Figura 5. Circuito de Corrección de Modo Común.....	18
Figura 6. Circuito del par diferencial y <i>Level Shifting Current</i>	19
Figura 7. Topología de la segunda etapa del OTA.....	20
Figura 8. Modelo de capacitancias de Efecto Miller en un MOSFET.....	21
Figura 9. Topología del OTA 2 Etapas.....	22
Figura 10. Simbología del OTA 1 o 2 etapas.....	22
Figura 11. Diagrama de Bode <i>Open Loop Single Stage</i>	27
Figura 12. Linealidad de OTAs una etapa.....	28
Figura 13. Descomposición en Fourier de señales de OTAs <i>Single Stage</i>	29
Figura 14. Respuesta a la función paso de los OTAs <i>Single Stage</i>	30
Figura 15. Diagrama de Bode <i>Open Loop Two Stages</i>	32
Figura 16. Linealidad de OTAs <i>Two Stages</i>	33
Figura 17. Descomposición en Fourier de señales de OTAs <i>Two Stages</i>	34
Figura 19. Tendencia del desempeño de Ganancia, <i>GBW</i> y Potencia para el escalamiento tecnológico.....	36
Figura 20. Evolución de los <i>trade-offs</i> de un Amplificador Operacional de Transconductancia al disminuir en un nodo la escala del nodo tecnológico, manteniendo el voltaje y topología invariables (Razavi, 2017)	38

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

INTRODUCCIÓN

El diseño analógico conforma uno de los estudios más antiguos de la electrónica. Predecesor de la electrónica digital, vio un auge en 1980, cuando algoritmos digitales permitieron implementar procesos analógicos de manera más eficiente, siempre que se pueda sintetizar en silicio. Sin embargo, la electrónica analógica ha presentado un aumento de demanda y sofisticación en lugar de extinguirse a medida que los sistemas se vuelven más complejos. Este acontecimiento se dio porque las señales que ocurren en la naturaleza (incluso algunas a nivel microscópico) son analógicas; un micrófono, un sismógrafo o un electrocardiógrafo, todos ellos registran señales de amplitudes muy diferentes que, para ser procesadas digitalmente primero se tendrán que medir, acondicionar y digitalizar. Es este proceso que hace de la electrónica analógica irremplazable. (Razavi, 2017).

El dispositivo fundamental de la electrónica analógica es el amplificador, un circuito que genera más potencia en su salida que en su entrada, una clase importante de amplificador encontrado en todo circuito electrónico de consumo es la clase Operacional. Estos dispositivos permiten realizar operaciones matemáticas, donde la señal de salida es una función de la señal de la entrada y son la clase más versátil de amplificador, los más importantes dispositivos de esta clasificación son OTA (*Operational Transconductance Amplifier*) y OPAMP (*Operational Amplifier*). El OPAMP es un amplificador de voltaje multi etapa, es decir, genera un voltaje amplificado a la salida como respuesta a un voltaje en la entrada, el OTA es un amplificador de Transconductancia multi etapa, es decir, genera una corriente amplificada como respuesta a un voltaje en la entrada y es el dispositivo de estudio en este trabajo, en tecnologías modernas de CMOS 28nm y 90nm. (Rashid, 2017).

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

TOPOLOGÍA

Se diseñaron 4 diferentes OTAs en CMOS 28nm y 90nm. Es decir OTAs de una y dos etapas en cada una de las tecnologías, basándose en el estudio: “*0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design*” (Chatterjee, 2005), sobre el diseño de un OTA de *gate* input a 0.5V.

Esta topología emplea muchas técnicas para superar el reto del bajo voltaje de polarización, de las que se tratará más adelante en esta sección.

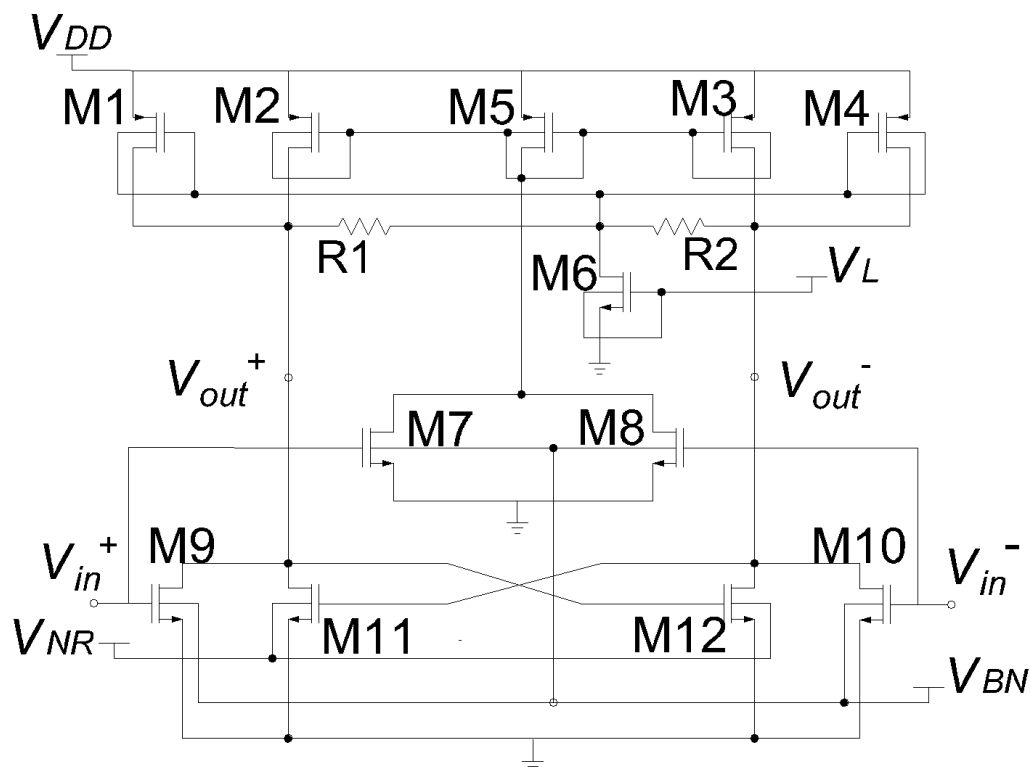


Figura 1. Topología de una etapa del OTA

El OTA de 2 etapas se conforma de una configuración *cascade* de dos OTA de 1 etapa, con acoplamiento RC entre las etapas, este acoplamiento es necesario para compensar el Efecto Miller. En el anexo A se presenta el dimensionamiento de los 4 OTA diseñados.

La carga para probar amplificadores operacionales generalmente es de tipo capacitiva, siguiendo los estándares de publicaciones similares, se utilizó 1pF para los diseños a 90nm y 0.1pF para los diseños a 28nm.

- R1, R2

Proveen retroalimentación en modo común a través de las cargas activas M1, M4.

- M9, M10

Los transistores M9 y M10 son el par diferencial para las señales de entrada.

- M1, M4

Los transistores M1 y M4 son las cargas activas de la señal diferencial.

- M2, M3, M5, M7, M8

El conjunto de transistores M2-M3-M5-M7-M8 funcionan como una corrección o cancelación del modo común.

- M6

Esta configuración es una fuente de corriente, su función es regular el voltaje del nodo en su Drain, para que los transistores M1 y M4 se mantengan en inversión moderada. (Más adelante se explica la inversión moderada del *Bulk Bias*).

- M11 y M12

Los transistores M11 y M12 forman un par de acoplamiento cruzado (CCP), esta configuración permite mejorar la ganancia diferencial del amplificador, al generar una resistencia negativa permite aumentar la transconductancia del OTA.

TÉCNICA DE DISEÑO A ULTRA BAJO VOLTAJE

- Bulk Biasing

- Explicación

Al trabajar con 0.5V de alimentación, surge un reto, al tener transistores con voltajes umbral (V_t) de 1.2V para NMOS y para PMOS -1.2. En los transistores MOSFET V_t es una función lineal dependiente del voltaje *Source-Bulk* (V_{sb}), esto se llama efecto del bulto y es generalmente un efecto poco deseado al diseñar amplificadores, porque cambia el rango de la región de saturación, que es la región de trabajo del diseño analógico y se puede llamar “encendido”.

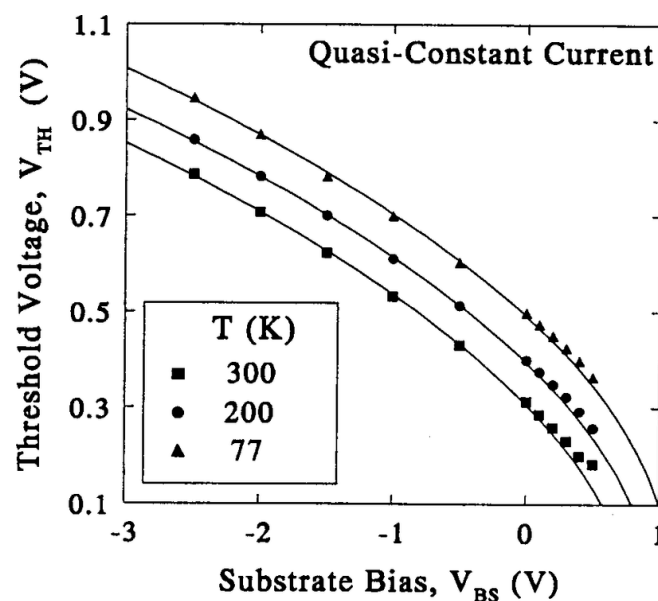


Figura 2. Efecto de Bulto para transistores CMOS. [Hidalga, F. et al (1998)]

Sin embargo, para el caso actual, en el que el voltaje V_t es superior al voltaje de alimentación, ningún transistor se encontrará en región de saturación. Refiriéndose a la

figura 2, para un NMOS, se puede disminuir su V_t si V_{sb} disminuye, de manera que escogiendo una polarización adecuada para los bultos, los CMOS se pueden “encender” a menos de 0.5V y trae consigo un incremento del *Bandwidth*.

- Trade-Offs

Permite el trabajo a voltajes muy bajos, pero esta técnica trae un contra consigo, y es la disminución de la transconductancia y la corriente del *Drain*, sobre todo si V_{sb} se polariza en inversión fuerte. Para compensar este efecto, es necesario usar transistores grandes (De W grande respecto a L).

- Aplicación

En el diseño esta técnica se encuentra en todos los transistores. Se implementa *Bulk Bias* en los transistores tipo P mediante el cortocircuito *Bulk-Gate*. En los transistores tipo N no se puede realizar la conexión *Bulk-Gate*, porque en el diseño, estos gates tienen una señal y un voltaje variable en el bulto genera un voltaje V_t variable (Ver figura 2), sumado al efecto de *Threshold Roll-Off* harían muy inestables los transistores ya sintetizados. (B. L. Austin, 1998).

Por esto, los transistores tipo N tienen el bulto conectado a una de las siguientes fuentes externas: V_{BN} , V_{NR} y V_L .

- *Cross-Coupled Pair*

- Explicación

El *Cross-Coupled Pair* (Par diferencial cruzado) es un circuito balanceado de 2 transistores específicamente usado para aumentar la ganancia de un amplificador diferencial.

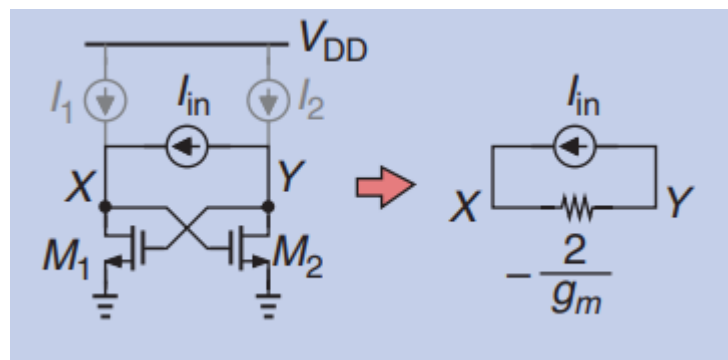


Figura 3. Circuito *Cross Coupled Pair* [Razhavi, (2014)]

Esta configuración se conecta generalmente a los *Drain* y *Source* de un Par Diferencial de Entrada. Se basa en la disminución de la resistencia característica del amplificador, para el análisis de su funcionamiento, se define la ganancia en voltaje A_v de un amplificador que se puede aproximar según la teoría de cuadripolos en:

$$A_v \approx g_m \cdot R_o$$

Donde g_m es la transconductancia del amplificador, y R_o es la resistencia de salida.

La ganancia se ve mejorada gracias a este par cruzado debido a que esta configuración añade una “resistencia negativa”.

$$A_v \approx \frac{1}{R_C - R_G} \cdot R_o$$

Donde R_C es la resistencia interna del amplificador y R_G es la resistencia del *Cross-Coupled Pair*. En un sentido matemático, se está añadiendo un valor R_G negativo en el denominador de la ecuación que define la ganancia, haciendo que este denominador sea

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

más pequeño y, por lo tanto, se aumente la ganancia. Desde el punto de vista eléctrico se trata de un generador de corriente, que como resultado amplifica la señal de entrada.

- *Trade-Offs*

La ventaja del *Cross Coupled pair* es un aumento de la Ganancia, la desventaja del Cross-Coupled Pair es una reducción considerable del producto *Gain Band Width* (GBW), la frecuencia a la que el amplificador deja de amplificar la entrada.

- Aplicación

En el diseño, el *Cross Coupled Pair* lo conforman los transistores M11 y M12, que se encuentran con el Bulbo en polarización moderada, para que el *Threshold* sea lo más bajo posible mientras se entrega la mayor cantidad de corriente y amplifican la señal del Par diferencial de entrada, conformado por los transistores M9 y M10.

- *Common Mode Correction*

El Modo Común es una característica propia de los amplificadores diferenciales y se refiere a las componentes idénticas de dos señales de entrada. Un amplificador diferencial ideal, genera una salida en voltaje o corriente que es función lineal de la diferencia de las entradas, para el OTA:

$$V_o = Av(V_{in}^+ - V_{in}^-)$$

Cuando las señales son exactamente iguales y diferentes de 0V:

$$V_o = Av(V_{in}^+ - V_{in}^+) \\ V_o = 0V$$

Extrapolado a series de Fourier, las componentes de las señales en la entrada en un OTA ideal y perfectamente balanceado, deben cancelarse y en caso de que las señales sean exactamente iguales, la salida debe ser 0V.

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

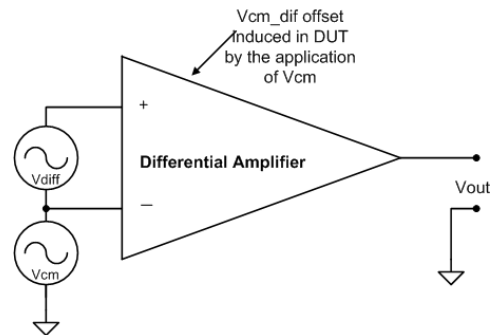


Figura 4. Modo Común de un Amplificador Diferencial Ideal [EETimes, (2004)]

Es de esperarse que, efectivamente la señal no sea 0V en una implementación real, debido a imperfecciones en el balanceo de los transistores y al diseño del amplificador, existen elementos como los transistores con función de fuente de corriente, que suelen tener impedancias bajas de salida, y que en el modelo pequeña señal muestran aumentar la ganancia del Modo Común.

El *Common Mode Rejection Ratio (CMRR)* es una figura de mérito que refleja qué tan bueno es el amplificador atenuando el modo común, respecto a la ganancia que le da a las componentes diferenciales.

$$CMRR = \frac{A_v}{A_{CM}}$$

Donde A_v es la ganancia de voltaje del amplificador de dos señales perfectamente invertidas y es la ganancia efectiva del amplificador, A_{CM} es la ganancia del modo común.

Es importante que un amplificador operacional tenga un circuito dedicado a la disminución del Modo Común, porque un *CMRR* bajo, puede comprometer las aplicaciones matemáticas que se puede realizar con el amplificador.

- *Trade-Offs*

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

La ventaja de este circuito es el aumento del $CMRR$, y un aumento del producto Gain-Bandwidth, a costo de disminución de la ganancia y mayor consumo de potencia.

- Aplicación

En este circuito el circuito conformado por los transistores M2, M3, M5, M7 y M8.

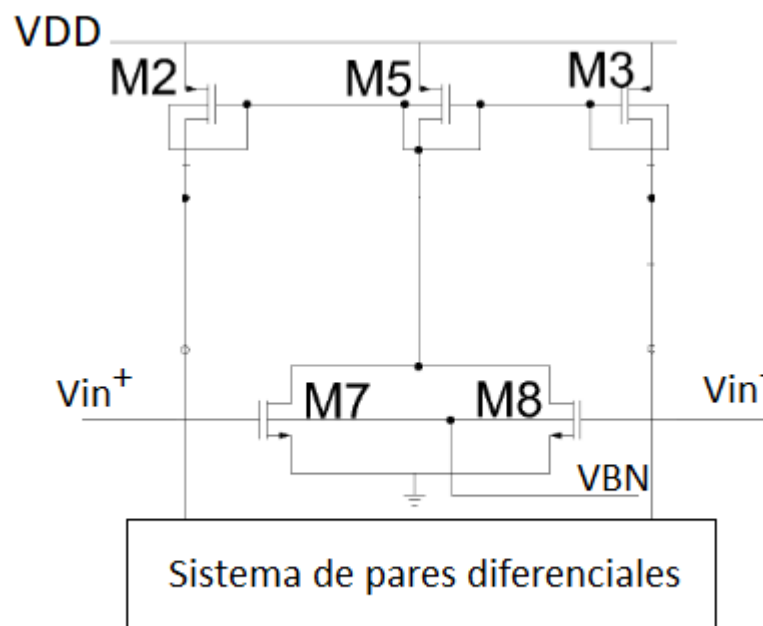


Figura 5. Circuito de Corrección de Modo Común

El circuito de corrección de modo común recibe las entradas del amplificador en los gates de los transistores M7 y M8, con carga M5, en configuración de diodo. El voltaje en los Drains de M7 y M8 debe ser constante y polariza tanto el gate como el bulk de los transistores M2 y M3. Ante el Modo Común, este nodo cambia de valor, de manera que el *Bulk Bias* pase de moderado a fuerte, limitando la corriente que M2 y M3 entregan a la salida, y por lo tanto disminuyan la ganancia.

- *Level Shifting Current*

- Explicación

Se trata de una corriente que polariza de manera variable los componentes de un diseño analógico, sean estas cargas u otras fuentes de corriente. Si se usa esta corriente para aumentar la ganancia del diseño, el producto *Gain Bandwidth (GBW)* disminuye, y lo contrario pasa si la corriente se usa para aumentar el producto *Gain Bandwidth*

- Aplicación

El transistor M6 funciona como fuente de corriente controlada por voltaje, el Bulto, se encuentra en polarización moderada. Se vuelve más sencillo el estudio del efecto de este transistor, nos enfocamos en el par diferencial del OTA, es decir transistores de entrada (M9, M10) y las cargas (M1, M4).

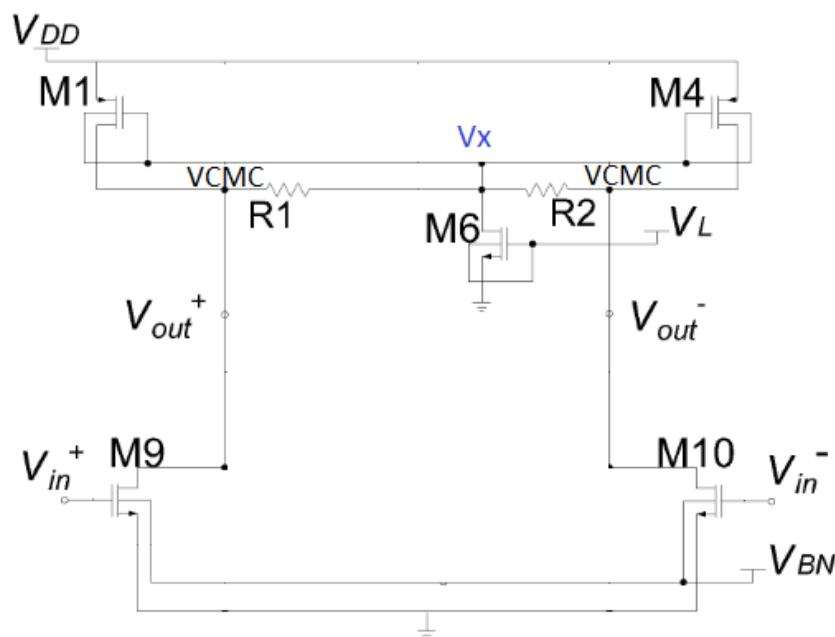


Figura 6. Circuito del par diferencial y Level Shifting Current

La corriente que genera M6 (*Level Shifting Current*), sumado al voltaje V_{cmC} que viene del circuito de corrección de modo común, produce un voltaje (V_x) entre las resistencias R1 y R2. El voltaje en este nodo es importante porque controla la corriente que entregan los

transistores M1 y M4, como estos son las cargas del Voltaje de salida, la ganancia se puede controlar. En conclusión se tiene control de la ganancia del circuito con el voltaje de nivel V_L además del control automático del circuito de corrección de modo común.

- *Trabajo a dos Etapas*

- Segunda Etapa

La segunda etapa es similar al diseño inicial, la única diferencia se encuentra en el *Cross Coupled pair*.

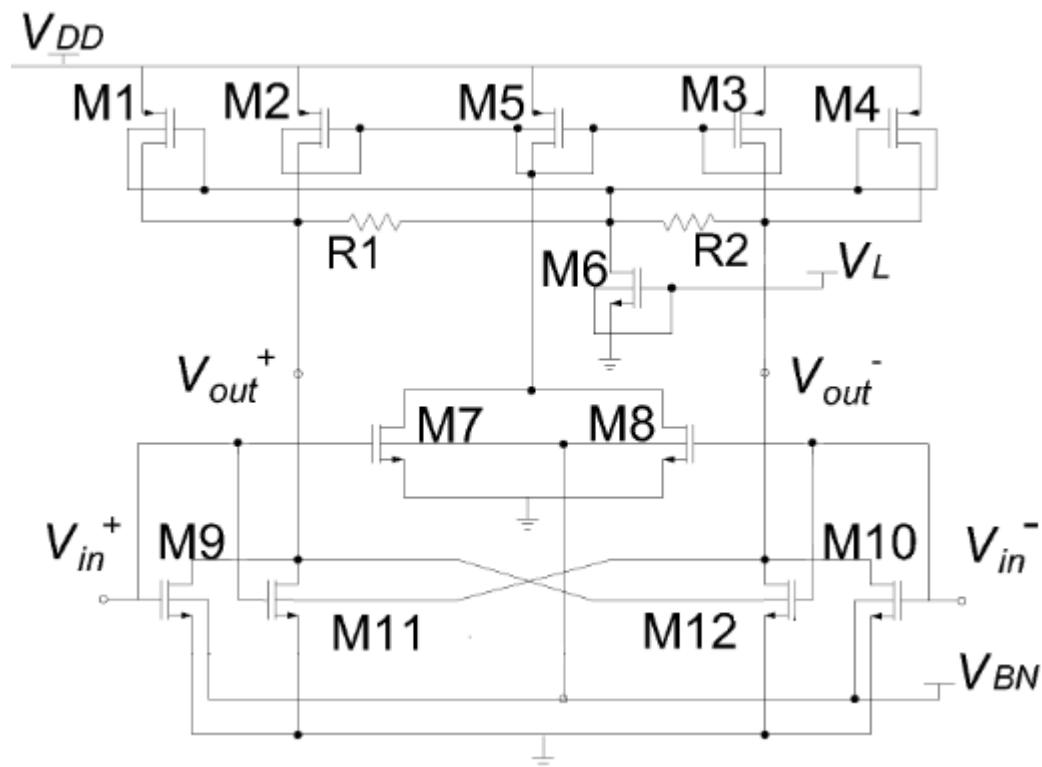


Figura 7. Topología de la segunda etapa del OTA

Los transistores M11 y M12 del *Cross Coupled Pair* reciben la entrada por el *gate*, y tienen la señal cruzada en el *Bulto*, esta configuración ofrece menor resistencia negativa, es decir la ganancia de esta etapa es menor que la primera.

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

Como las dos etapas se conectan en configuración cascode, la ganancia del amplificador es el producto de las dos etapas

$$A_v = A_1 \cdot A_2$$

La primera etapa del amplificador tiene una ganancia grande, debido al *Cross Coupled Pair*, la segunda etapa debe tener una ganancia un poco menor, porque si la ganancia es elevada en las dos etapas, el amplificador se saturaría constantemente.

- Compensación del Efecto Miller

El efecto Miller se da en amplificadores inversores, generalmente en este tipo de amplificador, el transistor que amplifica la señal está conectado al nodo de la salida del amplificador. Y por las capacitancias internas se hace un cortocircuito a altas frecuencias entre la entrada y salida, que marca el *GBW*, la frecuencia a la que el amplificador deja de amplificar, porque la entrada se refleja en la salida a través de esta capacitancia. En el diseño estos son los transistores M9, M10 de la segunda etapa que conectan la entrada y salida directamente a través de la capacitancia C_{GD} .

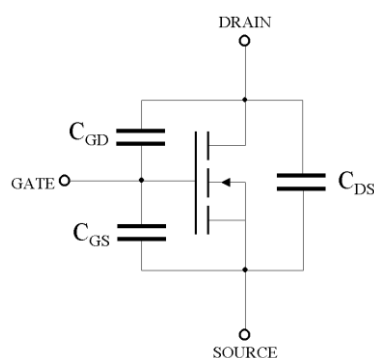


Figura 8. Modelo de capacitancias de Efecto Miller en un MOSFET [Shenai K., et al (2003)]

Para compensar el efecto Miller, se conecta las dos etapas mediante una capacitancia de Miller (C_c) y una resistencia de Miller (R_c) en serie. De manera que la capacitancia equivalente disminuya y la frecuencia aumente, de acuerdo con la siguiente ecuación:

$$f_T \approx \frac{1}{2\pi (R_c // R_e) \frac{C_1 \cdot C_{GS}}{C_1 + C_{GS}}}$$

Siendo R_e de un Mosfet en el orden de Mega Ohm, si se utiliza R_c en el orden de unos pocos Kilo Ohm

$$f_T \approx \frac{1}{2\pi R_c \frac{C_1 \cdot C_{GS}}{C_1 + C_{GS}}}$$

Con la compensación Miller, la unión de las dos etapas está completa y la topología del OTA es la siguiente:

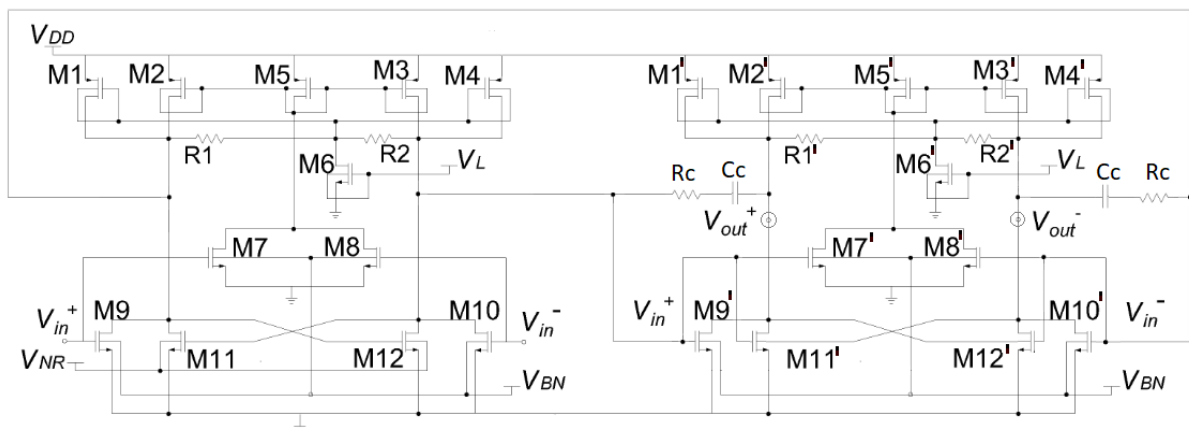


Figura 9. Topología del OTA 2 Etapas

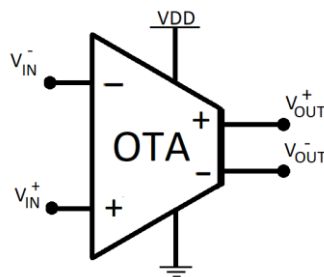


Figura 10. Simbología del OTA 1 o 2 etapas

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

OTA EN TECNOLOGÍA 90NM

Se implementa un OTA de una etapa (figura 1) y un OTA de dos etapas (figura 9) con tecnología CMOS 90nm para transistores *TT* (Velocidad del NMOS típica y Velocidad de PMOS típica). Se realiza la medición de todas las Figuras de Mérito indispensables a un amplificador operacional, y algunas otras Figuras de Mérito propias de los amplificadores de transconductancia.

- *OTA Single Stage*

El OTA de 1 etapa implementado con dispositivos CMOS 90nm, usa la topología de la figura 1 con las siguientes dimensiones:

Tecnología	90nm	
	Una Etapa	
Dispositivo	W [μm]	L [μm]
M1,M2 M3,M4	20	0.09
M5	250	0.09
M6	0.21	0.09
M7,M8	0.21	0.09
M9,M10	0.21	0.09
M11,M12	0.21	0.09
R1,R2	200K Ω	

Tabla 1. Dimensiones OTA 1 etapa 90nm

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

- *OTA Two Stages*

El OTA de 2 etapas implementado con dispositivos CMOS 90nm, usa la topología de la figura 9 con las siguientes dimensiones, la primera etapa es un OTA *Single Stage* a 90nm:

Tecnología	90nm			
	Primera Etapa		Segunda Etapa	
Dispositivo	W [μm]	L [μm]	W [μm]	L [μm]
M1,M2 M3,M4	20	0.09	30	0.09
M5	250	0.09	250	0.09
M6	0.21	0.09	0.21	0.09
M7,M8	0.21	0.09	0.21	0.09
M9,M10	0.21	0.09	0.21	0.09
M11,M12	0.21	0.09	3	0.09
R1,R2	200K Ω		850K Ω	

Tabla 2. Dimensiones OTA 2 etapas 90nm

OTA EN TECNOLOGÍA 28NM

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

Se implementa un OTA de una etapa (figura 1) y un OTA de dos etapas (figura 9) con tecnología CMOS 28nm para transistores TT (Velocidad del NMOS típica y Velocidad de PMOS típica). Se realiza la medición de todas las Figuras de Mérito indispensables a un amplificador operacional, y algunas otras Figuras de Mérito propias de los amplificadores de transconductancia.

- *OTA Single Stage*

El OTA de 1 etapa implementado con dispositivos CMOS 28nm, usa la topología de la figura 1 con las siguientes dimensiones:

Tecnología	28nm	
	Una Etapa	
Dispositivo	W [μm]	L [μm]
M1,M2 M3,M4	3	0.03
M5	0.1	0.03
M6	0.1	0.03
M7,M8	3	0.03
M9,M10	3	0.03
M11,M12	3	0.03
R1,R2	200K Ω	

Tabla 3. Dimensiones OTA 1 etapa 28nm

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

- *OTA Two Stages*

El OTA de 2 etapas implementado con dispositivos CMOS 28nm, usa la topología de la figura 9 con las siguientes dimensiones, la primera etapa es un OTA *Single Stage* a 28nm:

Tecnología	28nm			
	Primera Etapa		Segunda Etapa	
Dispositivo	W [μm]	L [μm]	W [μm]	L [μm]
M1,M2 M3,M4	3	0.03	0,3	0.03
M5	0.1	0.03	0,1	0.03
M6	0.1	0.03	0,1	0.03
M7,M8	3	0.03	3	0.03
M9,M10	3	0.03	3	0.03
M11,M12	3	0.03	3	0.03
R1,R2	200K Ω		850K Ω	

Tabla 4. Dimensiones OTA 2 etapas 28nm

COMPARATIVA DEL RENDIMIENTO DE LOS OTAS

- *OTA Single Stage*

Para los diseños de una etapa de 28nm y 90nm se realizó las mediciones de amplificadores, necesarios para asegurar el funcionamiento adecuado dentro de parámetros de OTAs

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

- Diagrama de Bode

El diagrama de bode en lazo abierto, nos presenta la ganancia absoluta de los amplificadores a 1 etapa cuando la salida no es retroalimentada a la entrada, es decir, la salida alimenta una carga, como la salida del OTA es una corriente, se usa una carga capacitiva *standard*, para 90nm esta es de 1pF y para 28nm 0.1pF.

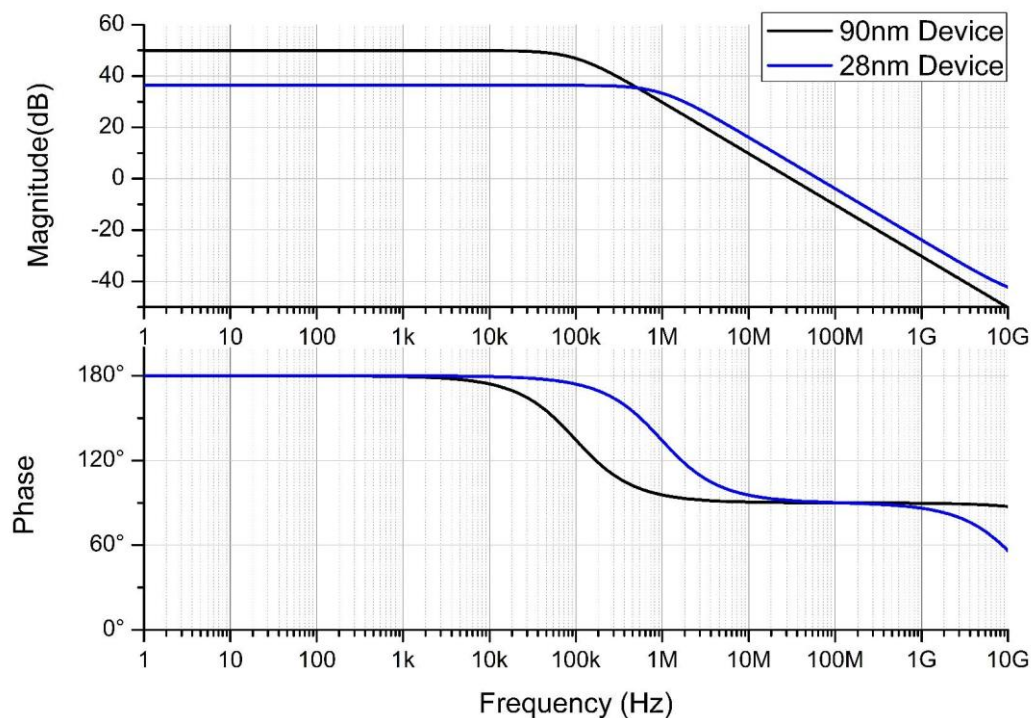


Figura 11. Diagrama de Bode Open Loop Single Stage

- Linealidad

El gráfico de linealidad, es un gráfico de la señal de entrada y salida del amplificador, donde se aplica una señal sinusoidal, se espera que un amplificador sea lineal, es decir la señal sea idéntica a la entrada, pero amplificada un valor A_v . A nivel de diseño y

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

simulación, este grafico se puede obtener realizando un estudio transiente de las señales y se analiza que no se presente distorsiones en la salida. En el OTA, la salida es inversora, por lo tanto se espera que la linealidad nos muestre una salida invertida, amplificada e idéntica a la entrada.

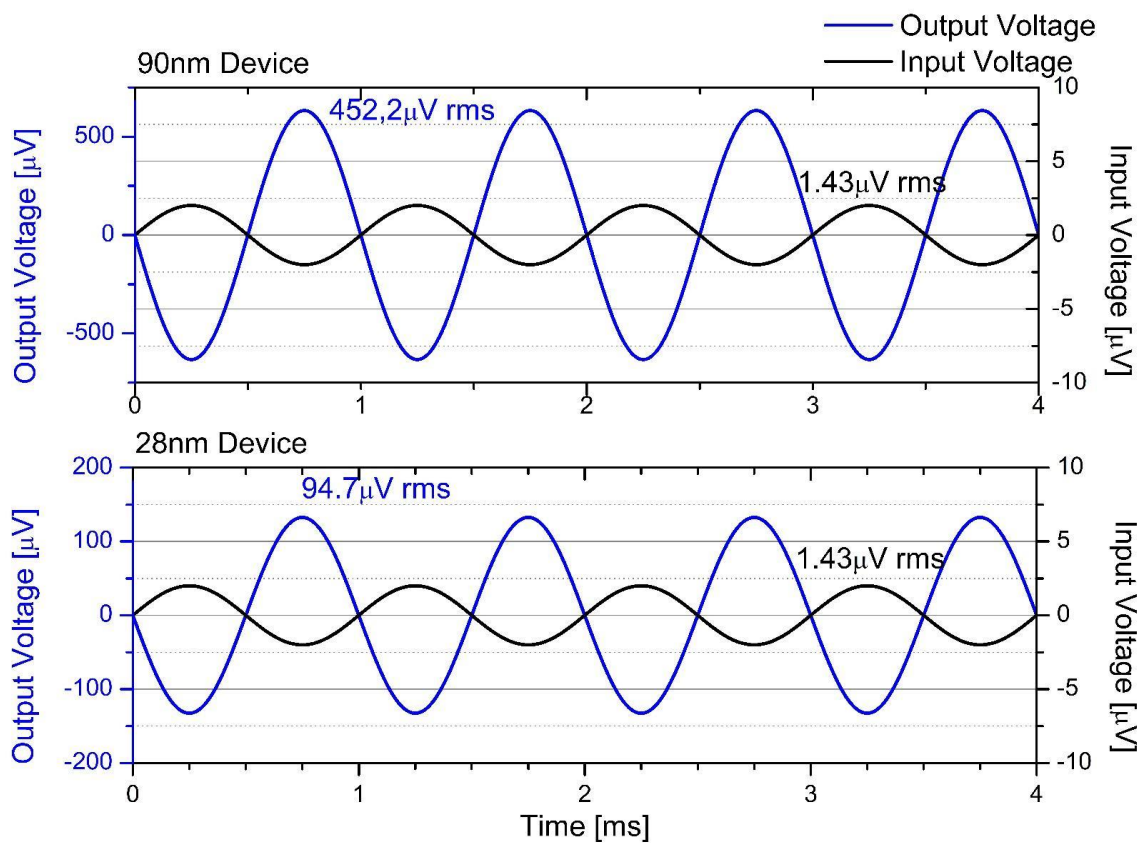


Figura 12. Linealidad de OTAs una etapa

- THD

Esta figura de mérito representa el porcentaje de potencia estática que el amplificador transforma en ruido y se relaciona con el ruido que genera un amplificador

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around these publishing* available on <http://bit.ly/COPETheses>.

debido a sus componentes activos y no lineales. Se analiza el ruido en el espectro de frecuencias, en un amplificador ideal, una señal a una frecuencia bien definida en la entrada, debería generar una señal con el mismo contenido de frecuencias en la salida. Para el THD, se utilizó una señal a 1KHz, y se obtuvo el siguiente gráfico:

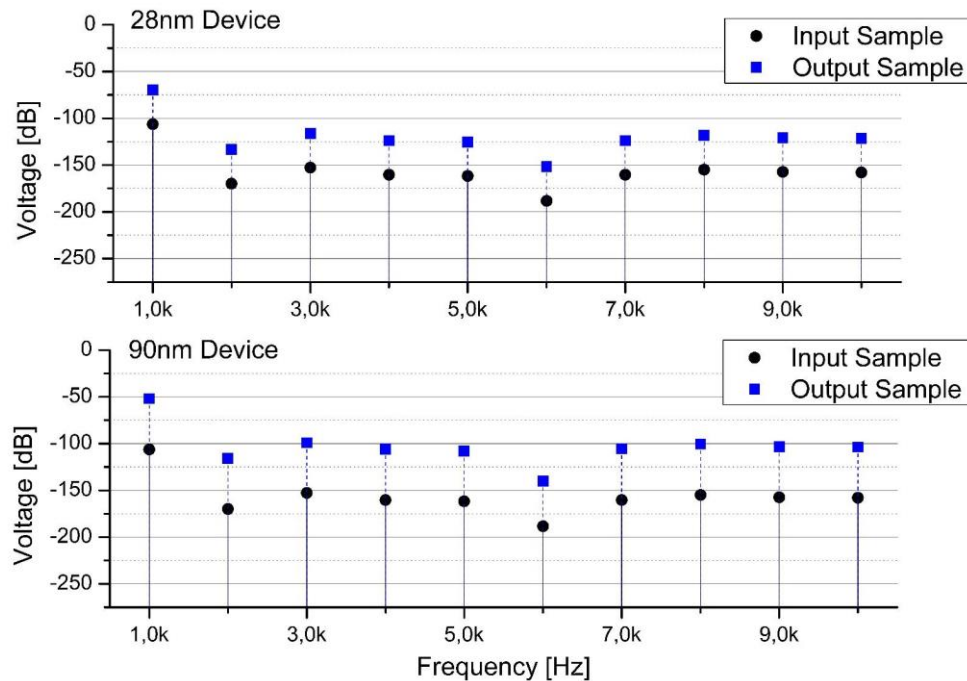


Figura 13. Descomposición en Fourier de señales de OTAs Single Stage

Se presenta la densidad de frecuencias de la entrada y salida de los OTAs de una etapa para 28nm y 90nm, donde el THD, se mide mediante la siguiente ecuación:

$$THD = \sqrt{\frac{\sum_{n=3,5,7,\dots} V_n^2}{V_1^2}}$$

Donde V_n es el n esimo armónico de la frecuencia fundamental V_1 .

$$THD_{90nm} = 0.5\%$$

$$THD_{28nm} = 0.53\%$$

- *Slew Rate*

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

Esta figura de mérito indica la cantidad de Voltios que puede variar la salida por unidad de tiempo. Para realizar su medición, se conecta el amplificador en configuración buffer, se aplica una señal paso en la entrada y se mide la salida.

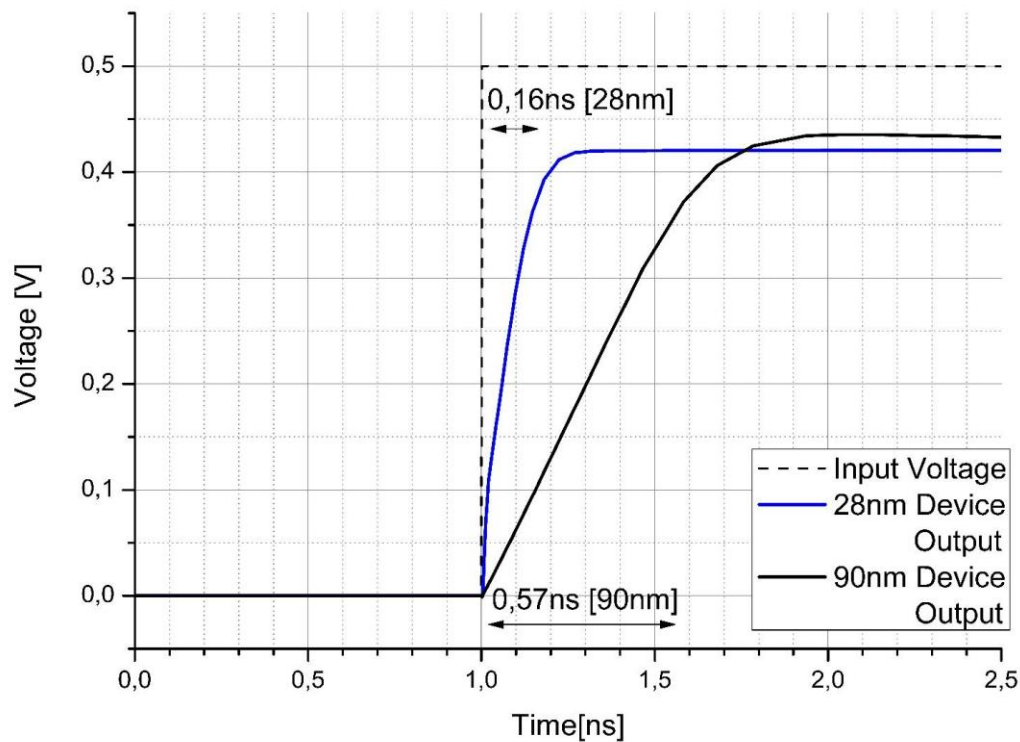


Figura 14. Respuesta a la función paso de los OTAs Single Stage

Se puede ver que las señales en la salida en ambas tecnologías no llegan a ser 0.5V, esto es porque los transistores consumen el voltaje restante para mantenerse encendidos. Por esto la figura de mérito suele medirse en 10-90 generalmente o 20-80 cuando el diseño tiene un *swing* muy bajo:

$$SR_{Rise} = \frac{90\%VDD - 10\%VDD}{t_{90\%} - t_{10\%}}$$

Donde $t_{90\%}$ es el tiempo en el que la señal alcanza el 90% de VDD y $t_{10\%}$ es el tiempo en el que la señal alcanza el 10% de VDD

- Figuras de Mérito y Comparativa con otros Diseños

Parameters	[This Job]		Conventional OTA [K. Garradhi(201 5,a)]	Proposed Highly Linear [K. Garradhi(201 5,a)]	Low voltage Gate Driven [K. Garradhi(201 5,b)]
	28nm	90nm	90nm	90nm	90nm
Nominal Supply (V)	0,5	0,5	±0,55	±0,55	±0,4
Average Power (μ W)	9	50	550	500	46
Open-loop Gain (Db)	36,43	50	20,54	42,58	11,85
Open-loop unity-Gain (Gain Band Width) (MHz)	64	31	13,65	247,3	26,53
Input current @25°C (mA)	0,018	0,1	1	0,91	-
Slew Rate rise (V/ μ s)	3.1	16	13,9	18,84	19,84
Slew Rate fall (V/ μ s)	-3.2	-16.2	-10,3	-26	-11,61
Output Swing [mV Vp-p]	935	835	-	-	-
CMRR @ 1kHz (dB)	177	184	39,13	57,48	33,3
Load Capacitance (pF)	0,1	1	1	1	1
THD @ -40dBm input amplitude (%)	0,53	0,5	-	-	-
Phase Margin (°)	94	90	76	92,43	50
Input Noise density (uV/SQRT(Hz))	1,9	1,9	10	5	0,5
Output Noise Density (uV/SQRT(Hz))	1,4	1,9	500	100	0,001
Linear Range	[0.36;0,05]	[0.36;0.5]	[-0,1;0,05]	[-0,55;0,04]	[-0,07;0,07]
Number of transistors	12	12	23	23	10
Number of Elements	14	14	25	25	10
Transconductance(uS)	65,8	78	98	130	65
PSRR +(Power Supply Rejection Ratio) @ 1Khz (dB)	45,07	62,68	47,34	79,68	37,36
PSRR -(Power Supply Rejection Ratio) @ 1Khz (dB)	N/A	N/A	49,35	98,43	36,94

Tabla 5. Comparativa Single Stage

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

- *OTA Two Stages*

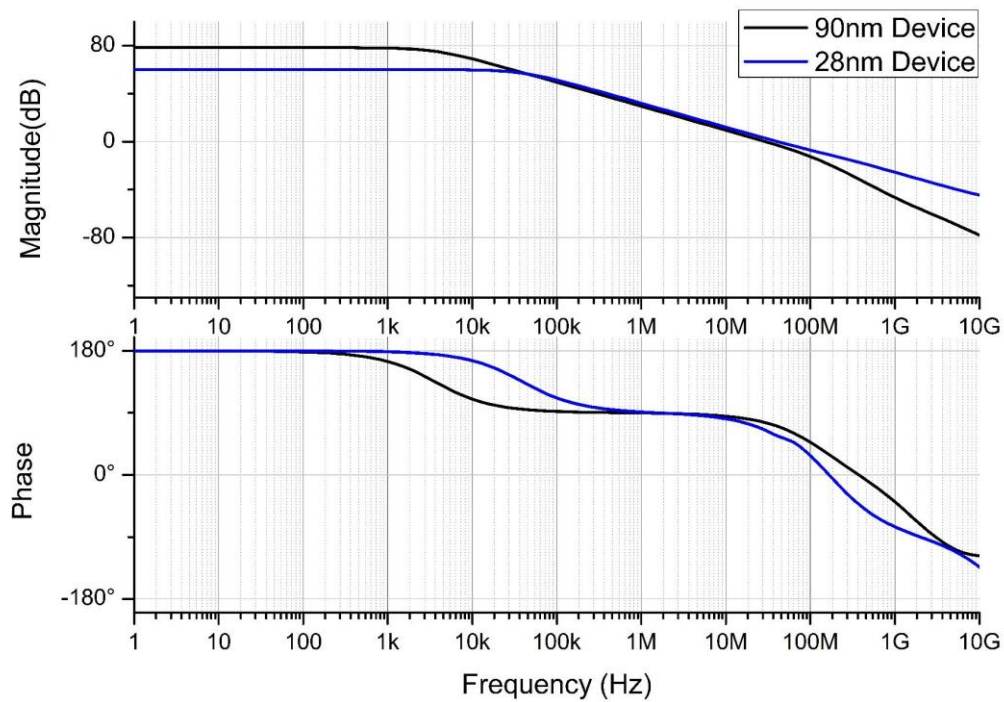


Figura 15. Diagrama de Bode *Open Loop Two Stages*

- Linealidad

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around these publishing* available on <http://bit.ly/COPETheses>.

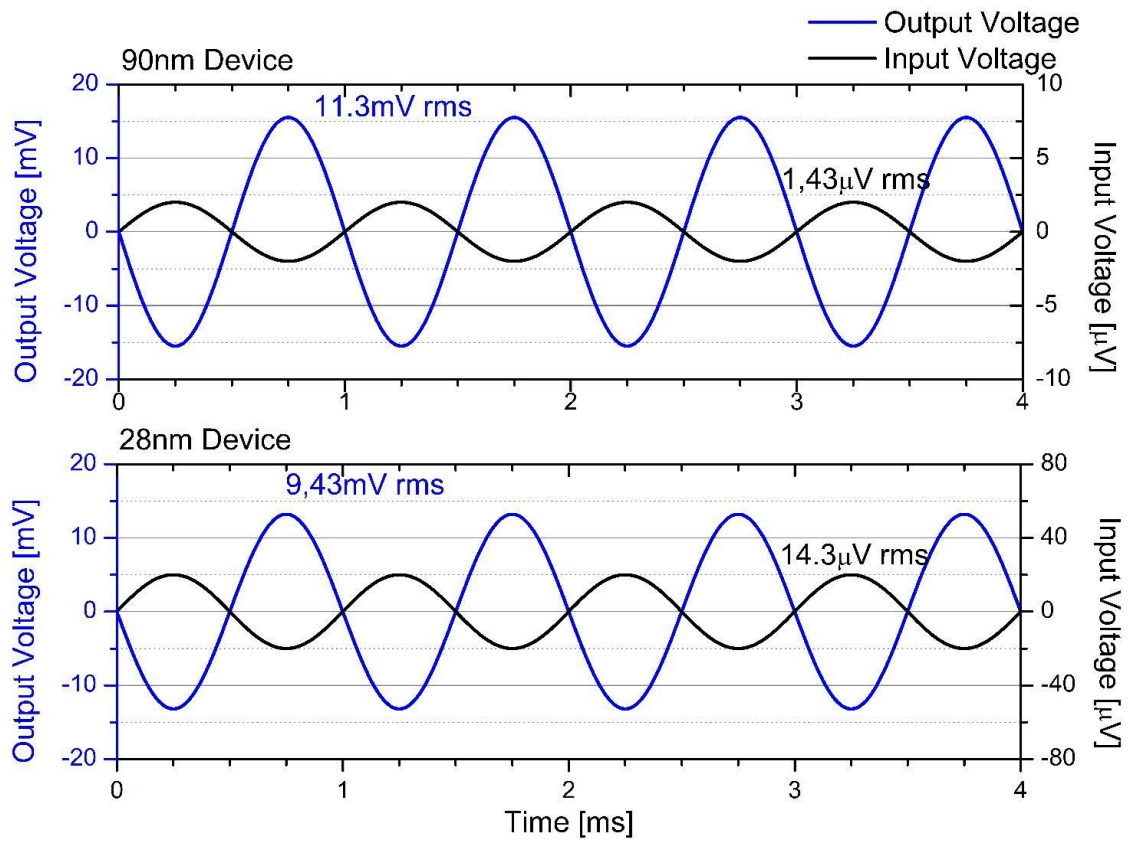


Figura 16. Linealidad de OTAs Two Stages

- THD

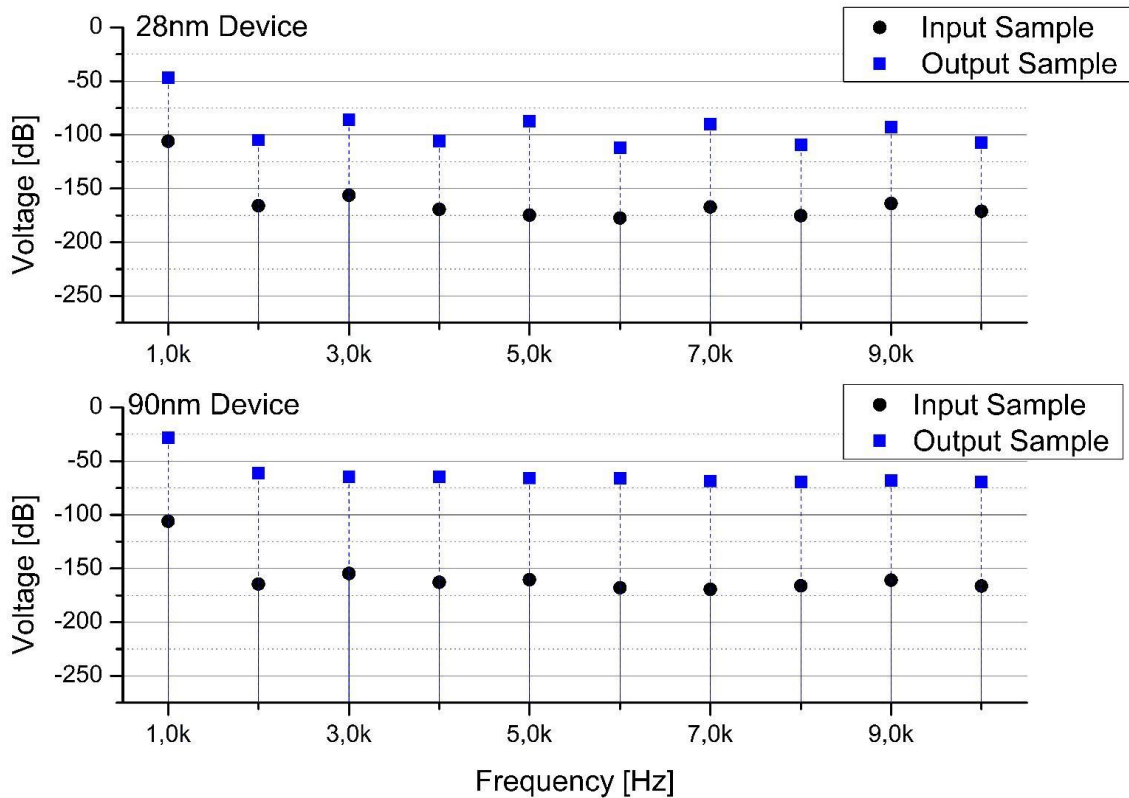


Figura 17. Descomposición en Fourier de señales de OTAs Two Stages

$$THD_{90nm} = 2.3\%$$

$$THD_{28nm} = 1.6\%$$

- Densidad espectral de Ruido

Como el ruido es mayor en 2 etapas, se hizo un estudio más a profundidad midiendo la densidad espectral del ruido, que es una medición de qué tan alejadas están las frecuencias asociadas con el ruido generado por los transistores de la frecuencia fundamental.

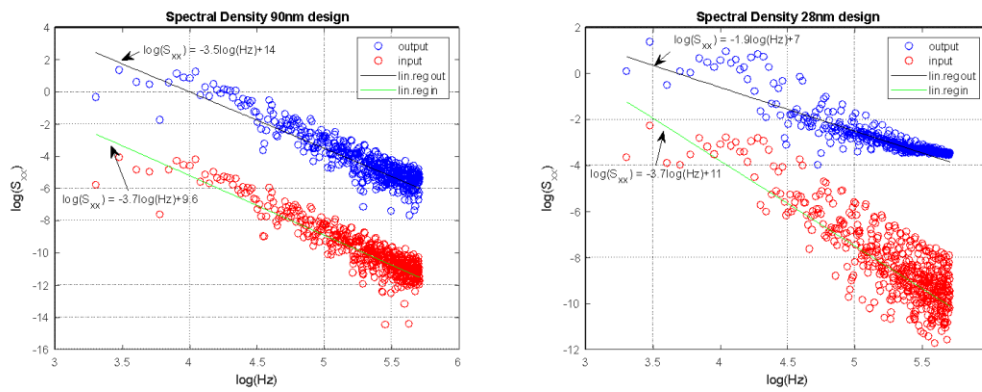


Figura 18. Densidad espectral de las señales de entrada/salida OTAs *Two Stages*

- Figuras de Mérito y expectativas del escalamiento tecnológico

Technology	180nm	90nm	28nm
Supply (V)	0.5	0.5	0.5
Power (μ W)	100	107	12.85
Open-loop Gain (dB)	72	78.4	56.5
f_T or GBW(MHz)	15	29	42
C_L (pF)	20	1	0.1
FOM _S (%)	133	90	103
FOM _L (%)	27	5.57	0.58

Tabla 6. Desempeño de los OTA *Two Stages* en 3 nodos tecnológicos CMOS.

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around these publishing* available on <http://bit.ly/COPETheses>.

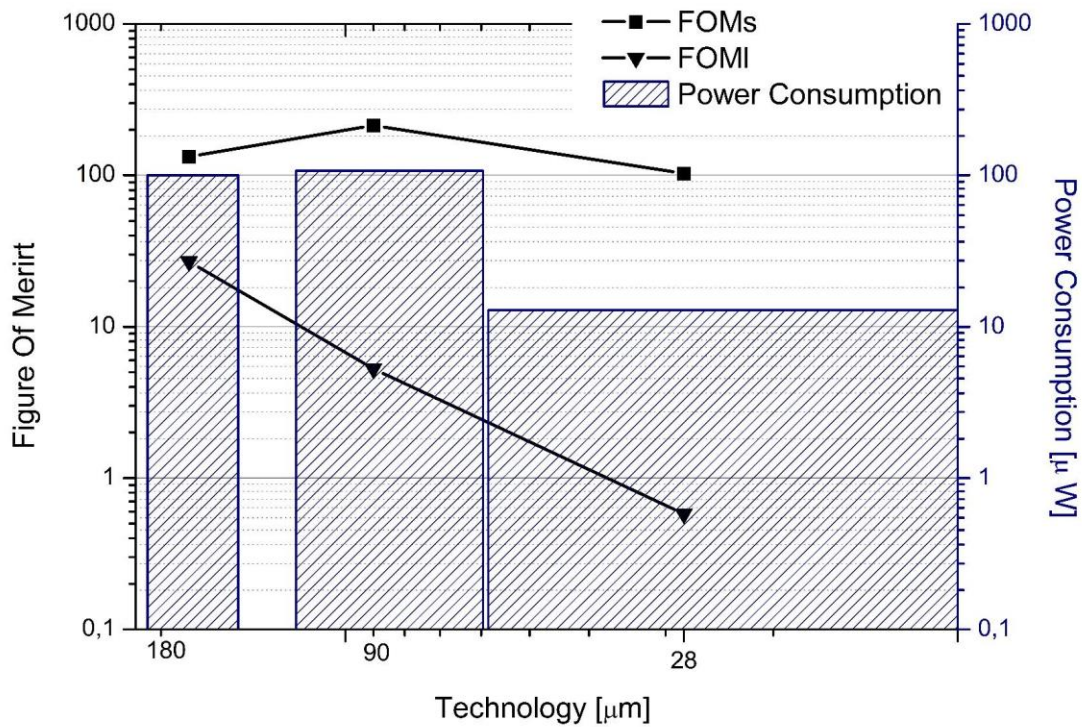


Figura 19. Tendencia del desempeño de Ganancia, GBW y Potencia para el escalamiento tecnológico

CONCLUSIONES

Reconocer las oportunidades y retos de la reducción del nodo tecnológico es muy importante para desarrollar nuevos métodos de diseño que aprovechen el potencial de estas tecnologías nuevas. En 90nm es muy común encontrar diseños analógicos, sin embargo 28nm es una tecnología poco explorada para el diseño analógico por el *Roll Off* del voltaje de *Threshold*, que dificulta generar un amplificador estable, pero como se presentó en este trabajo, no es

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

imposible, sin embargo, hay algunos retos que presenta el diseño a 28nm, frente al diseño a 90nm o tecnologías más grandes, estos son:

Proyecciones de los nodos tecnológicos CMOS a futuro

- Disminución de la velocidad de respuesta (a partir del FOMI), presenta una disminución exponencial.
- No hay un cambio significativo en la eficiencia de GBW en función del consumo de potencia. (A partir de FOMs).
- Disminución de la densidad de potencia en función del área de un circuito eléctrico.
- Menor THD: los dispositivos más pequeños, presentan una densidad de corriente más baja, y tienen capacitancias y resistencias parásitas más pequeñas.
- Rango Lineal: No hay cambios significativos, a una alimentación de 0.5V no hay cambio en la región de trabajo lineal de los amplificadores, depende más de la topología que de la tecnología.
- CMRR: Disminución del CMRR, no muy significativo $\approx -5\%$ /nodo, se debe principalmente al circuito de control de modo común
- PSRR: Disminución del Rechazo de la Fuente, indica una disminución de la resistencia de salida de los CMOS, que permite mejor conducción entre la fuente y la salida.
- Swing: Aumento del *swing* de la salida, en un 11%/nodo.

Los *trade-offs* (límites de diseño) de un amplificador al ser escalado un nodo tecnológico hacia adelante (un nodo más pequeño), se ilustran mediante el Octágono de *Trade Offs* de diseño analógico (Razavi, 2017).

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.

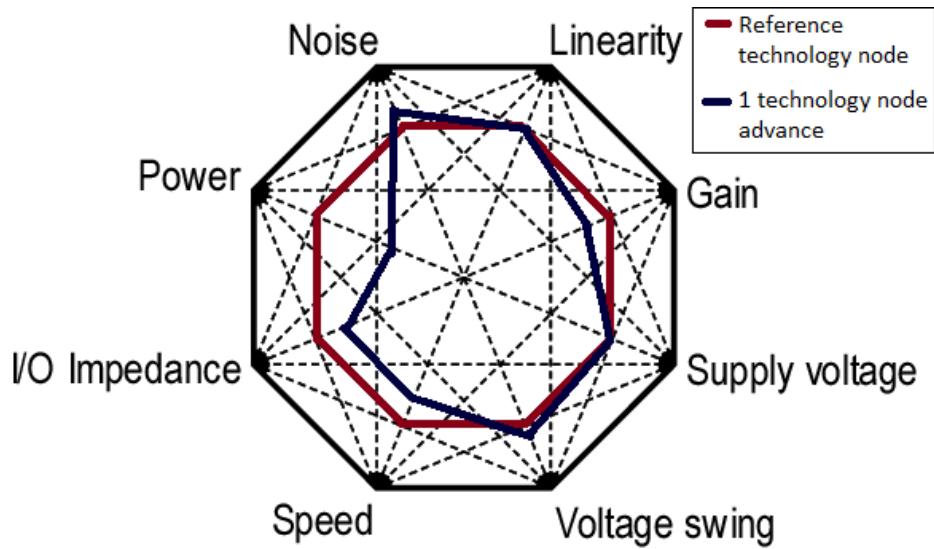


Figura 20. Evolución de los *trade-offs* de un Amplificador Operacional de Transconductancia al disminuir en un nodo la escala del nodo tecnológico, manteniendo el voltaje y topología invariables [Razavi, (2017)]

REFERENCIAS BIBLIOGRÁFICAS

- Austin B. L., Tang X., Meindl J. D., Dennen M. and Richards W. R. (1998). "Threshold voltage roll-off model for low power bulk accumulation MOSFETs," Proceedings Eleventh Annual IEEE International ASIC Conference (Cat. No.98TH8372), Rochester, NY, USA, pp. 175-179.
- Chatterjee S., Tsividis Y. and Kinget P. (2005). "0.5-V analog circuit techniques and their application in OTA and filter design," in IEEE Journal of Solid-State Circuits, vol. 40, no. 12, pp. 2373-2387.
- EETimes. (2004). Experiments suggest methods for CMRR measurement, Part 1 -. Recuperado de: <https://www.eetimes.com/experiments-suggest-methods-for-cmrr-measurement-part-1/>
- Garradhi K., Hassen N., Ettaghzouti T. and Besbes K. (2015,a). "Highly linear low voltage low power OTA using source-degeneration technique and universal filter application," 2015 27th International Conference on Microelectronics (ICM), Casablanca, pp. 295-298.
- Garradhi K., Hassen N., Ettaghzouti T. and Besbes K. (2015,b). "Low voltage low power highly linear OTA using bulk driven technique," 2015 27th International Conference on Microelectronics (ICM), Casablanca, pp. 234-237.
- Hidalga. F, et al (1998). *Effect of the forward biasing the source-substrate junction in n-metal-oxide-semiconductor transistors for possible low power complementary metal-oxide-semiconductor integrated circuits' applications*. Recuperado de: https://www.researchgate.net/figure/Quasi-constant-current-experimental-symbols-fitted-V-BS-0-and-extrapolated-V-BS-0_fig2_260309273
- Rashid. M. H. (2017). Microelectronic circuits: analysis and design. Australia: Cengage Learning.
- Razavi. B. (2017). Design Of Analog Cmos: integrated circuits. S.I.: MCGRAW HILL INDIA.
- Razavi. B. (2014), "The Cross-Coupled Pair - Part II [A Circuit for All Seasons]," in IEEE Solid-State Circuits Magazine, vol. 6, no. 4, pp. 9-12, doi: 10.1109/MSSC.2014.2352532.
- Shenai K., et al (2003), "Modeling low-voltage power MOSFETs as synchronous rectifiers in buck converter applications," *38th IAS Annual Meeting on Conference Record of the Industry Applications Conference.*, Salt Lake City, UT, USA, pp. 1794-1801 vol.3, doi: 10.1109/IAS.2003.1257798.

ANEXO A: DIMENSIONAMIENTO DE LOS OTAS

	Primera Etapa				Segunda Etapa			
	90 nm		28 nm		90 nm		28 nm	
Device	W [μm]	L [μm]	W [μm]	L [μm]	W [μm]	L [μm]	W [μm]	L [μm]
M1,M2 M3,M4	20	0.09	3	0.03	30	0.09	0,3	0.03
M5	250	0.09	0.1	0.03	250	0.09	0,1	0.03
M6	0.21	0.09	0.1	0.03	0.21	0.09	0,1	0.03
M7,M8	0.21	0.09	3	0.03	0.21	0.09	3	0.03
M9,M10	0.21	0.09	3	0.03	0.21	0.09	3	0.03
M11,M12	0.21	0.09	3	0.03	3	0.09	3	0.03
R1,R2	200K Ω		200K Ω		850K Ω		850K Ω	

Tabla 7. Dimensiones de los elementos de los OTA

Note: The following document is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this document – in whole or in part – should not be considered a publication. For further information see *Discussion document on best practice for issues around theses publishing* available on <http://bit.ly/COPETheses>.