

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

COLEGIO DE CIENCIAS E INGENIERÍAS

**Characterization of Standard Cells for integration with
commercial tools**

Christian Javier Cao Ormaza

Ingeniería Electrónica

Trabajo de fin de carrera presentado como requisito
para la obtención del título de
Ingeniero Electrónico

Quito, 13 de mayo de 2020

UNIVERSIDAD SAN FRANCISCO DE QUITO USFQ

Colegio de Ciencias e Ingenierías

HOJA DE CALIFICACIÓN DE TRABAJO DE FIN DE CARRERA

Characterization of Standard Cells for integration with commercial tools

Christian Javier Cao Ormaza

Nombre del profesor, Título académico

Luis Miguel Prócel, PhD
Ramiro Taco, PhD

Coautor:

Kevin Vicuña

Quito, 13 de mayo de 2020

DERECHOS DE AUTOR

Por medio del presente documento certifico que he leído todas las Políticas y Manuales de la Universidad San Francisco de Quito USFQ, incluyendo la Política de Propiedad Intelectual USFQ, y estoy de acuerdo con su contenido, por lo que los derechos de propiedad intelectual del presente trabajo quedan sujetos a lo dispuesto en esas Políticas.

Asimismo, autorizo a la USFQ para que realice la digitalización y publicación de este trabajo en el repositorio virtual, de conformidad a lo dispuesto en el Art. 144 de la Ley Orgánica de Educación Superior.

Nombres y apellidos: Christian Javier Cao Ormaza

Código: 125722

Cédula de identidad: 1716601750

Lugar y fecha: Quito, 13 de mayo de 2020

ACLARACIÓN PARA PUBLICACIÓN

Nota: El presente trabajo, en su totalidad o cualquiera de sus partes, no debe ser considerado como una publicación, incluso a pesar de estar disponible sin restricciones a través de un repositorio institucional. Esta declaración se alinea con las prácticas y recomendaciones presentadas por el Committee on Publication Ethics COPE descritas por Barbour et al. (2017) Discussion document on best practice for issues around theses publishing, disponible en <http://bit.ly/COPETHeses>.

UNPUBLISHED DOCUMENT

Note: The following capstone project is available through Universidad San Francisco de Quito USFQ institutional repository. Nonetheless, this project – in whole or in part – should not be considered a publication. This statement follows the recommendations presented by the Committee on Publication Ethics COPE described by Barbour et al. (2017) Discussion document on best practice for issues around theses publishing available on <http://bit.ly/COPETHeses>.

RESUMEN

El siguiente proyecto propone la caracterización de celdas lógicas mediante el uso de la herramienta SiliconSmart, propiedad de Synopsys. La caracterización tiene como Estas celdas fueron: Inversor, NAND, NOR y FlipFlop. Esta caracterización requirió de la netlists de cada celda y el modelo del proceso de fabricación de los dispositivos (transistores). Se usa una tecnología de 90nm, con voltaje nominal de alimentación de 1.2 V.

El objetivo de este trabajo fue la utilización de esta herramienta para caracterizar celdas optimizadas para bajo consumo y hacer una comparativa de estas, bajo diferentes condiciones de funcionamiento (rápido, típico y lento). Así mismo se realizó una comparativa entre los modelos de caracterización *Non Linear Delay Model* (NLDM) y *Composite Current Source* (CCS).

El enfoque de este proyecto es caracterizar celdas estándares diseñadas por el grupo de investigación del Instituto de Micro-Nanoelectrónica y que sean compatibles con herramientas de diseño comerciales. El principal objetivo es caracterizar celdas lógicas con dispositivos del estado del arte y caracterizar su impacto en diseños comerciales usados por la industria.

Palabras clave: SiliconSmart, celdas lógicas, caracterización, NLDM, CCS, PVT

ABSTRACT

The following project proposes the characterization of logical cells by using the SiliconSmart tool, property of Synopsys. The characterization aims to produce libraries that efficiently model the behavior of logical cells optimized for low power consumption. These cells were: Inverter, NAND, NOR and FlipFlop. This characterization required the netlists of each cell and the model of the device manufacturing process (transistors). A 90nm technology is used, with a nominal supply voltage of 1.2 V.

The objective of this work was the use of this tool to characterize cells optimized for low consumption and to make a comparison of these, under different operating conditions (fast, typical and slow). Likewise, a comparison was made between the characterization models Non Linear *Delay* Model (NLDM) and Composite Current Source CCS.

The focus of this project is to characterize standard cells designed by the research group of the Institute of Micro-Nanoelectronics and that are compatible with commercial design tools. The main objective is to characterize logical cells with state-of-the-art devices and characterize their impact on commercial designs used by the industry.

Keywords: SiliconSmart, logical cells, characterization, NLDM, CCS, PVT

TABLA DE CONTENIDO

Introducción	10
Modelos de caracterización.....	11
Librerías de celdas estándar	12
Flujo de caracterización	13
Desarrollo del Tema.....	17
Diseño de celdas estándar	17
Configuración	21
Importación de celdas	21
Configuración, caracterización y modelamiento	22
Resultados	23
Conclusiones	27
Referencias bibliográficas.....	29
Anexo A: Netlists de celdas estándar.....	30
Anexo B: Configure.tcl.....	33
Anexo C: Configure.tcl.....	39
Anexo D: Configure.tcl.....	45

ÍNDICE DE TABLAS

Tabla 1: Parámetros de operación.....	20
Tabla 2: Resultados de la importación.....	21
Tabla 3: Resultados de la caracterización para el inversor.....	22
Tabla 4: Resultados de la caracterización para la NAND (Retardo).....	22
Tabla 5: Resultados de la caracterización para la NAND (Potencia).....	23
Tabla 6: Resultados de la caracterización para la NOR (Retardo).....	23
Tabla 7: Resultados de la caracterización para la NOR (Potencia).....	24
Tabla 8: Resultados de la caracterización para el FLIP FLOP D (Restricciones de celdas secuenciales).....	24
Tabla 9: Resultados de la caracterización para el FLIP FLOP D (Retardo).....	24
Tabla 10: Resultados de la caracterización para el FLIP FLOP D (Potencia).....	25

ÍNDICE DE FIGURAS

Figura 1: Modelo de Thevenin.....	11
Figura 2: Formato de la caracterización utilizando el teorema de Norton.....	12
Figura 3: Flujo de trabajo para la caracterización (Synopsys, 2019).....	14
Figura 4: Bloque de un inversor.....	16
Figura 5: Esquemático del inversor	16
Figura 6: Compuerta NAND.....	17
Figura 7: Esquemático de la compuerta NAND	17
Figura 8: Compuerta Nor	18
Figura 9: Esquemático de la compuerta NOR	18
Figura 10: Esquemático de un inversor sincronizado	19
Figura 11: Flip Flop tipo D (Harris, 2007)	19

INTRODUCCIÓN

En las últimas décadas, el rendimiento de los circuitos integrados y su densidad de integración han pasado por un progreso impresionante. Ya en la década de los 60, Gordon Moore lanzó su predicción en relación con el crecimiento de la densidad de transistores en un circuito. Esto ha logrado que el consumo de potencia se reduzca y se mejore el rendimiento de los circuitos con aspectos como la reducción de voltajes de operación o el mejoramiento en la velocidad de operación de los dispositivos (Davari, Dennard, & Shahidi, 1995).

En el diseño de circuitos integrados, se hacen uso de “celdas estándar” dentro un formato *full custom* o *semi-custom*. Estas celdas estándar son bloques estandarizados creados a partir de dispositivos semiconductores N-MOS y P-MOS, pertenecientes a la tecnología CMOS (*Complementary Metal-Oxide-Semiconductor*). Estas terminan siendo las piezas básicas para la implementación de funciones lógicas de carácter combinacional y/o secuencial.

La caracterización del comportamiento energético, de tiempo y ante ruido, se ha convertido en un proceso esencial dentro de la industria microelectrónica de hoy en día. Sin embargo, como se explicó, la reducción del nodo de tecnología asociado a los transistores del microcircuito provoca que el proceso se vuelva más complejo y tome mucho más tiempo. Tomando en cuenta esto, es preferible la creación de modelos que permitan describir la función, el retraso, la potencia y las capacitancias de carga al nivel de las celdas estandarizadas, ya que la simulación de estas es más rápida y necesita menor esfuerzo (dos Santos, 2017).

Modelos de caracterización

Existen varios modelos en relación con la caracterización de celdas de un orden nanométrico. Entre algunos se encuentran el NLDM, el CCS y el ECSM.

1. NLDM

El NLDM es un modelo El NLDM usa fuentes de voltaje como fuente de modelación, usando el Teorema de Thévenin. Este caracteriza la transición entrada - salida y la carga de salida (Paripath.inc, 2014).

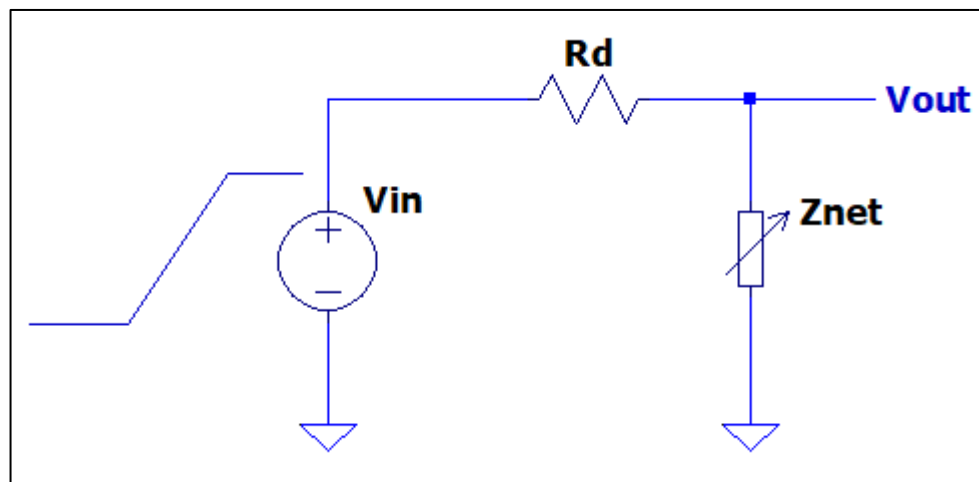


Figura 1: Modelo de Thévenin

La falencia de este método es cuando la impedancia de la fuente R_d , es mucho menor a la impedancia de prueba Z_{net} , condiciones ideales como que $V_i = V_{out}$, se hacen invalidas. Se recomienda para topologías con tecnologías mayores a 65 nm.

2. CCS

Este modelo utiliza una fuente de corriente casi ideal, para la caracterización. Esto conlleva la ventaja de que la resistencia de la fuente R_d , es casi infinita. Se captura la forma de onda de la corriente, en función del tiempo. que entra a la capacitancia de carga de la

celda. Otra ventaja de este modelo es que permite el modelamiento del efecto Miller de los transistores, así como la carga de las compuertas de estos.

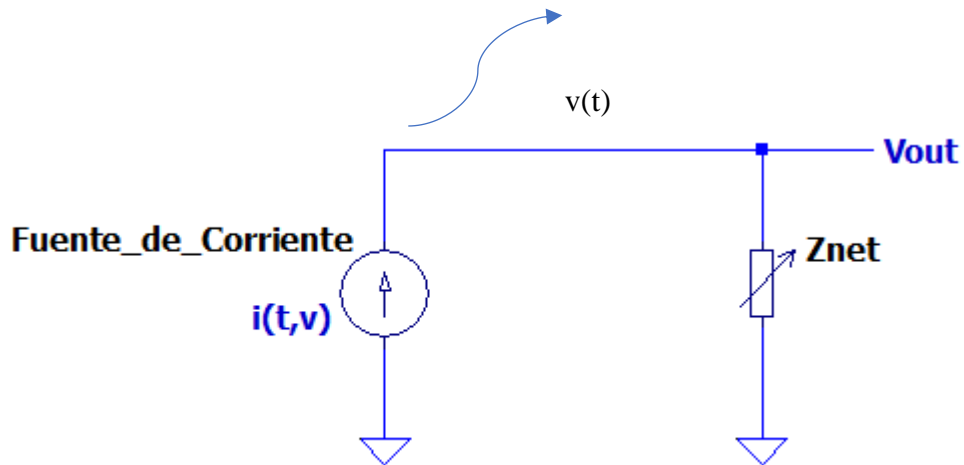


Figura 2: Formato de la caracterización utilizando el teorema de Norton.

Librerías de Celdas Estándar

Una librería de celdas estándar describe una lista de celdas que un sintetizador usa durante el diseño de un circuito integrado (Anne, 2008). La librería debe contener, por lo menos, la siguiente información:

- *Layouts* y *netlists* de los circuitos y parásitos.
- Vistas abstractas de cada celda estándar.
- Las condiciones de tiempo, potencia, funcionalidad y operación de cada celda. Usualmente son escritas dentro de un formato Liberty (.lib).
- Los modelos HDL (Lenguaje de descripción de hardware) de cada celda.

Flujo de caracterización Liberty

El archivo Liberty está escrito en código ASCII contiene los parámetros de tiempo y potencia asociados a una celda de cierta tecnología en particular. Estos parámetros son obtenidos mediante la simulación de esta celda, bajo diferentes condiciones de operación.

En la caracterización Liberty, se busca estimar los siguientes parámetros:

- Función lógica de la celda
- *Delay* bajo condiciones de diferentes *slews* de entrada y cargas de salidas.
- Consumo de potencia bajo diferentes condiciones.
- Corrientes de fuga de la celda.

Cuando no se tiene información de los parásitos asociados al *layout*, se estima de los datos de fabricación de la tecnología.

A continuación, se presente el flujo de caracterización usado en SiliconSmart, con los archivos de entradas y los archivos de salida requeridos.

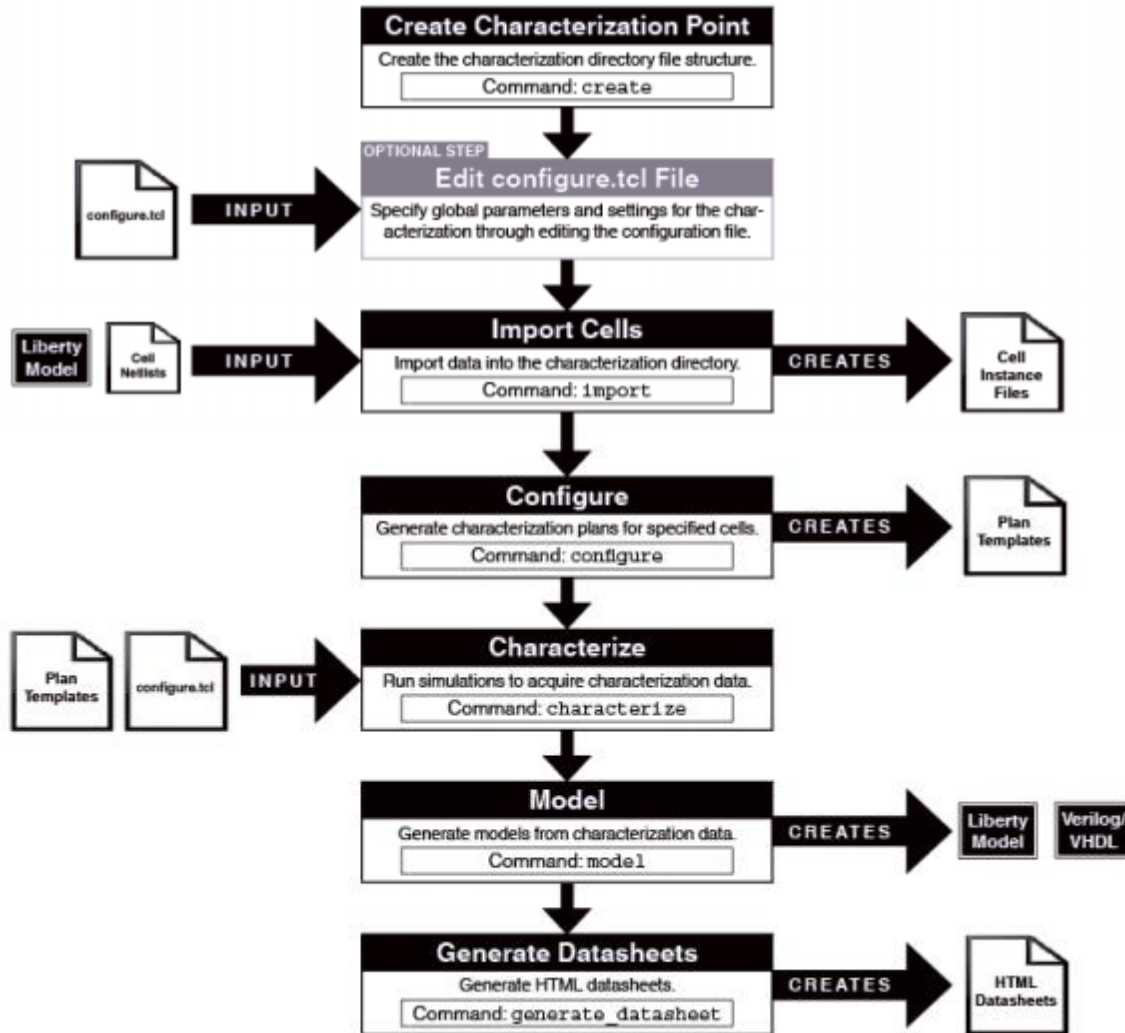


Figura 3: Flujo de trabajo para la caracterización (Synopsys, 2019)

En la Figura 3 se observa el flujo de trabajo requerido por SiliconSmart para la caracterización de una celda.

- **Creación del punto de caracterización:**

Se crea un directorio de caracterización, donde archivos relevantes a la esta son creados y colocados dentro de una estructura jerarquizada

- **Configuración de parámetros para la caracterización**

Se importa un archivo (*configure.tcl*) dentro del directorio de caracterización, en el cual se establecen los parámetros globales y los ajustes que se aplicaran en las celdas, para la caracterización.

- **Importación de netlist de las celdas**

SiliconSmart extrae el *netlists* de las celdas, importa un Liberty file de referencia (si este se ha referenciado opcionalmente). Para cada *netlists* importada, se crea una instancia. Esta instancia describe la estructura (pines y su dirección), función lógica y características eléctricas.

- **Configuración de las celdas**

Tomando en cuenta la instancia creada en el paso anterior y las opciones de configuración, se genera un plan de caracterización. El plan describe las mediciones que se tomarán y los estímulos, según el modelo elegido.

- **Caracterización:**

Se toma el plan de caracterización creado anteriormente y se procede a simular las celdas. Se crea un archivo donde se encuentran las mediciones realizadas.

- **Modelamiento:**

Se generan los modelos a partir de los datos caracterizados de una o más celdas. Se pueden generar tres tipos de archivos: Liberty files, verilog *models*, y IBIS *models*.

- **Generación de data sheets:**

Se genera un *data sheet* que resume las características de desempeño digital de la celda. Algunas de estas características incluyen: retraso intrínseco, tiempos de transición, capacitancias, restricciones, energía dinámica y potencia de fuga.

DESARROLLO DEL TEMA

DISEÑO DE LAS CELDAS ESTANDAR

Se hace uso del programa Custom Compiler para diseñar celdas estándar con tecnología de 90nm:

- Inversor
- Compuerta NAND de dos entradas
- Compuerta NOR de dos 2 entradas
- FlipFlop tipo D

1. Inversor

El inversor consta de 1 transistor tipo N-MOS y 1 transistor tipo P-MOS. La relación del ancho W_p/W_n es: 2.16. La netlist se encuentra en el anexo A.

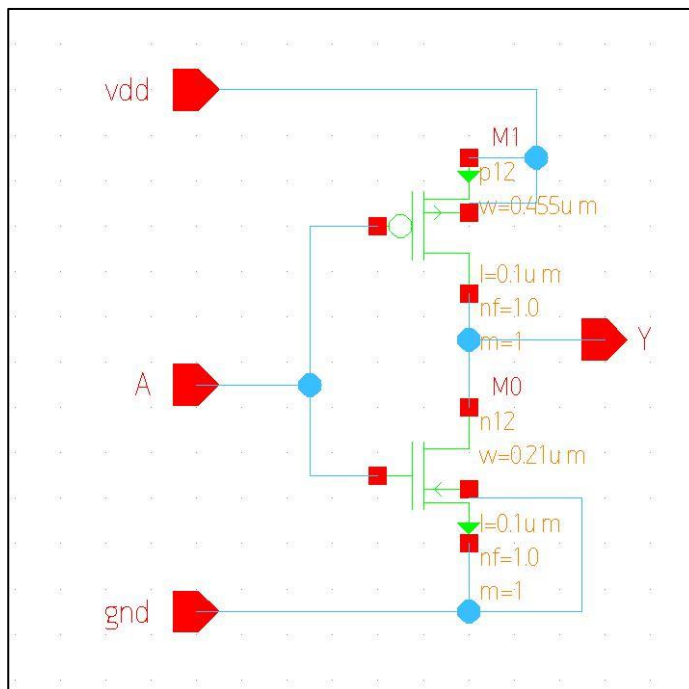


Figura 5: Esquemático del inversor

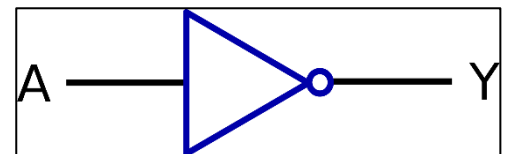


Figura 4: Bloque de un inversor

2. Compuerta NAND

La compuerta NAND de 2 entradas cuenta con dos transistores P-MOS en paralelo, en el *pull-up*, y dos transistores N-MOS en serie en el *pull-down*. La relación W_p/W_n es de 1.54.

El netlist se encuentra en el ANEXO A.

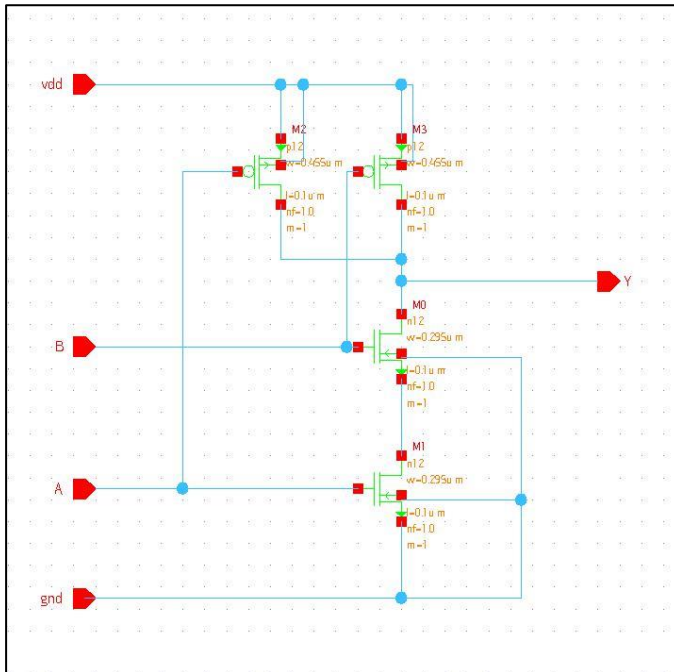


Figura 7: Esquemático de la compuerta NAND

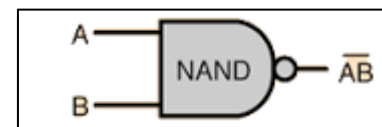


Figura 6: Compuerta NAND

3. Compuerta NOR

La compuerta NOR de 2 entradas cuenta con dos transistores P-MOS en serie, en el *pull-up*, y dos transistores N-MOS en paralelo en el *pull-down*. La relación W_p/W_n es de 3.33.

El netlist se encuentra en el ANEXO A.

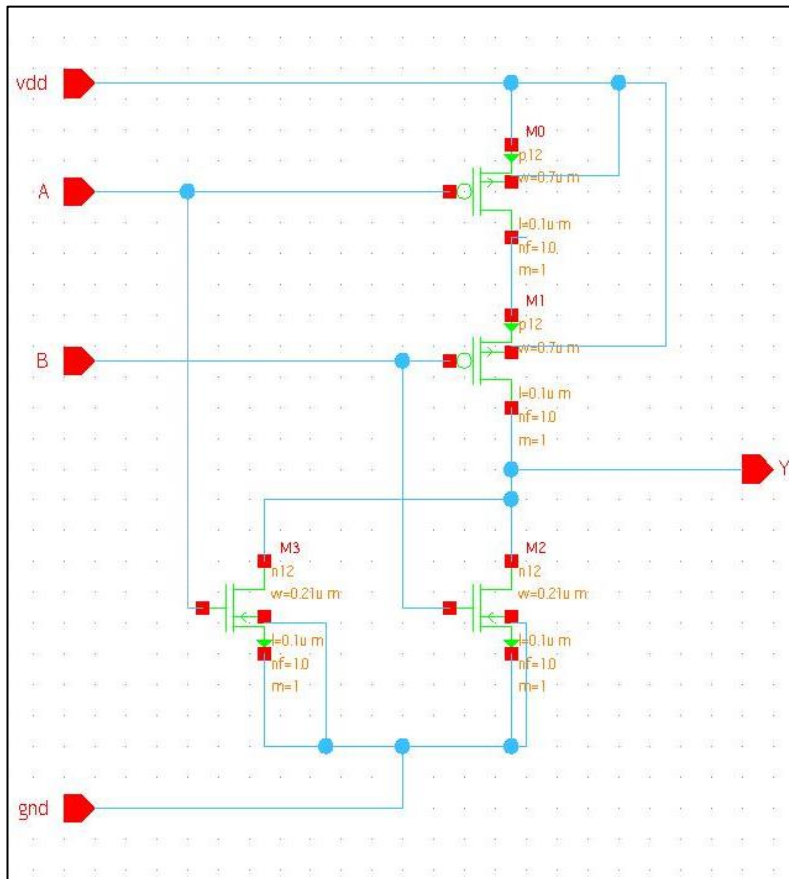


Figura 9: Esquemático de la compuerta NOR

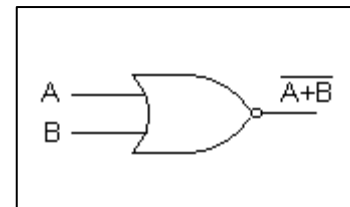


Figura 8: Compuerta Nor

4. FLIP FLOP TIPO D

El Flip Flop tipo D es un circuito sincrónico. Se construye a partir de dos celdas: un inversor sincronizado y un inversor. El inversor usado es el mismo descrito en la parte 1. El inversor sincronizado cuenta con dos transistores P-MOS en serie en el *pull-up* y dos transistores N-MOS en el *pull-down*, cuya relación W_p/W_n es de 2.37. El netlist se encuentra en el anexo A.

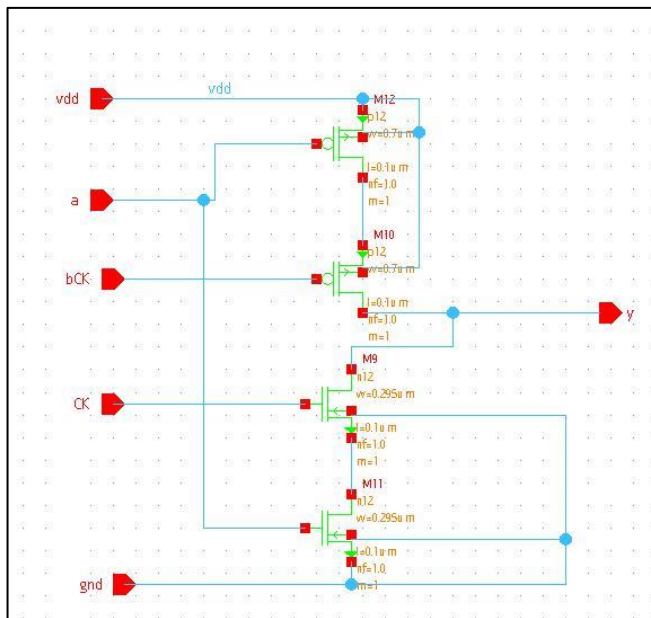


Figura 10: Esquemático de un inversor sincronizado

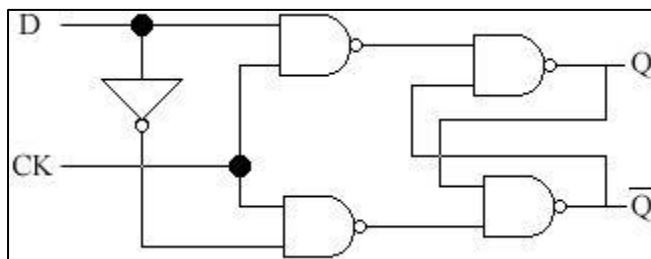


Figura 11: Flip Flop tipo D (Harris, 2007)

CONFIGURACIÓN

Se procede a declarar la configuración que se usará en la caracterización de las celdas. Se establecen 3 parámetros de funcionamiento: rápido, típico y lento. En este caso, se espera variar el voltaje y la temperatura de operación. Al variar el voltaje, se espera que al aumentar el Vdd, aumente la corriente y la frecuencia de operación aumente. Al variar la temperatura, se espera que aumenten las colisiones entre portadores, lo que haría más lento al circuito, es decir, su frecuencia de operación disminuiría.

	Vdd [V]	TEMPERATURA [°C]
LENTO	1	50
TÍPICO	1.2	25
RÁPIDO	1.4	0

Tabla 1: Parámetros de operación

También se escoge usar dispositivo de óxido delgado con voltaje nominal de 1.2 V, con tecnología de 90nm. El simulador que se usa es HSPICE. En el ANEXO B se encuentra el archivo *.tcl de la configuración.

IMPORTACIÓN DE LAS CELDAS

Se dispone a importarlas celdas, utilizando sus netlists. Estas se encuentran en el Anexo A. Debido a que no se importa un Liberty file de referencia, se activa la función de *functional recognition*. Con esta función, SiliconSmart procede a reconocer *clusters* funcionales de lógica compuesta por primitivas (*Latches* o *Flipflops* y Logica Combinacional) (Synopsys, 2019). *Functional recognition* es útil debido a que facilita la verificación de que las celdas haya sido importadas de una manera correcta.

A continuación, se muestra con el resultado de la importación de las celdas:

Celda	Definición de Pines	Función Lógica
Inversor	A -input Y -output	$Y \{(\!A)\}$
NAND	A -input B -input Y -output	$Y \{((\!A) (\!B))\}$
NOR	A -input B -input Y-output	$Y \{((\!A)\&(\!B))\}$
Flip Flop tipo D	CK default -input D default -input Q default -output	function Q $\{(\!IQ1)\}$ latch IQ1 IQN1 CK IQ4 latch IQ4 IQN4 $\{(\!CK)\}$ $\{(\!D)\}$

Tabla 2: Resultados de la importación.

CONFIGURACIÓN CARACTERIZACIÓN Y MODELAMIENTO

En el anexo C, se encuentra un script que detalla los comandos utilizados para la configuración, caracterización y modelamiento de estos. Se realiza un modelamiento clásico (Modelo de retraso no lineal NLDM) y de Fuente de corriente compuesta (CCS). Se creará un Liberty file para cada modelo.

Aparte, también se genera un modelo HDL en formato Verilog, en cual genera modelos de tiempo y comportamiento para las celdas. Se generan 3 tipos de archivos:

- `_udp.v`: Descripción del comportamiento de la celda.
- `_.v`: Descripción de los vectores de tiempo y comportamiento de la celda.
- `_test.v`: Testbench para cada celda.

Los *datasheets* generados se encuentran en la sección de Anexos.

Este archivo HDL, sirve para el proceso *semi-custom* de diseño de un circuito integrado.

RESULTADOS

Acabada la caracterización, se obtienen los siguientes datos

1. INVERSOR

	Lento	Típico	Rápido
Capacitancia del pin de entrada A [pf]	0.014	0.014	0.014
Delay [ns]: A(HL) -> Y(LH)	1.0155	0.9911	0.9878
Delay [ns]: A(LH) -> Y(HL)	0.9161	0.9353	1.03
Energía disipada [pJ] cuando la salida Y(LH)	0.0043	0.0112	0.0249
Energía disipada [pJ] cuando la salida Y(HL)	0.0018	0.0063	0.0154
Potencia de fuga [nW]	2.9081	3.0516	4.1638

Tabla 3: Resultados de la caracterización para el inversor

2. NAND

	Lento	Típico	Rápido
Capacitancia de los pines de entrada A y B [pf]	0.015	0.015	0.015
Delay [ns]: A(HL) -> Y(LH)	1.0454	1.0165	0.9937
Delay [ns]: A(LH) -> Y(HL)	0.9157	0.8966	0.9399
Delay [ns]: B(HL) -> Y(LH)	1.0418	1.0104	0.9870
Delay [ns]: B(LH) -> Y(HL)	1.0223	1.0166	1.0657

Tabla 4: Resultados de la caracterización para la NAND (Retardo)

	Lento	Típico	Rápido
Energía disipada [pJ] para: entrada A, salida Y(LH)	0.0048	0.0119	0.0262
Energía disipada [pJ] para: entrada B, salida Y(LH)	0.0042	0.0104	0.0232
Energía disipada [pJ] para: entrada A, salida Y(HL)	0.0017	0.0063	0.0163
Energía disipada [pJ] para: entrada B, salida Y(HL)	0.0019	0.0013	0.0154
Potencia de fuga [nW]	0.9841	1.2901	3.2709

Tabla 5: Resultados de la caracterización para la NAND (Potencia)

3. NOR

	Lento	Típico	Rápido
Capacitancia de los pines de entrada A y B [pf]	0.019	0.019	0.019
<i>Delay</i> [ns]: A(HL) -> Y(LH)	0.918	0.8757	0.8591
<i>Delay</i> [ns]: A(LH) -> Y(HL)	0.8507	0.8699	0.9665
<i>Delay</i> [ns]: B(HL) -> Y(LH)	1.036	1.0036	0.9857
<i>Delay</i> [ns]: B(LH) -> Y(HL)	0.8408	0.8601	0.9571

Tabla 6: Resultados de la caracterización para la NOR (Retardo)

	Lento	Típico	Rápido
Energía disipada [pJ] para: entrada A, salida Y(LH)	0.0052	0.0130	0.0281
Energía disipada [pJ] para: entrada B, salida Y(LH)	0.0046	0.0117	0.0256
Energía disipada [pJ] para: entrada A, salida Y(HL)	0.0029	0.0087	0.0202
Energía disipada [pJ] para: entrada B, salida Y(HL)	0.0022	0.0074	0.0179
Potencia de fuga [nW]	5.8195	6.1175	8.4065

Tabla 7: Resultados de la caracterización para la NOR (Potencia)

4. FLIP FLOP TIPO D

	Lento	Típico	Rápido
Tiempo de setup [ns] para D(LH) y CK(LH)	1.7408	0.1164	0.0942
Tiempo de setup [ns] para D(HL) y CK(LH)	0.3714	0.2772	0.2495
Tiempo de hold [ns] para D(LH) y CK(LH)	1.7297	0.1053	0.0832
Tiempo de hold [ns] para D(HL) y CK(LH)	0.3714	0.2717	0.2439
Ancho de pulso mínimo [ns] para CK(HLH)	1.3259	0.0793	0.059
Ancho de pulso mínimo [ns] para CK(LHL)	1.1286	0.0621	0.0458

Tabla 8: Resultados de la caracterización para el FLIP FLOP D (Restricciones de celdas secuenciales)

	Lento	Típico	Rápido
Capacitancia de los pines de entrada CK y D [pf]	0.010	0.010	0.010
Delay [ns]: CK(LH) -> Q(LH)	2.338	0.8574	0.7859
Delay [ns]: CK(LH) -> Y(HL)	0.4866	0.6830	0.7762

Tabla 9: Resultados de la caracterización para el FLIP FLOP D (Retardo)

	Lento	Típico	Rápido
Energía disipada [pJ] para: entrada CK, salida Q(LH)	0.1052	0.0476	0.08769
Energía disipada [pJ] para: entrada CK, salida Q(HL)	0.0155	0.0342	0.0663
Potencia de fuga [nW]	311.0731	381.7133	587.4128

Tabla 10: Resultados de la caracterización para el FLIP FLOP D (Potencia)

COMPARACIÓN DE MODELOS

Una vez realizada la generación de los modelos NLDM y CCS, se procede a realizar una comparación de estos, el cual arroja los siguientes resultados.

Data type	Average error		Error std. dev.		Max abs err	Table Points			Pass rate
	Abs	Rel (%)	Abs	Rel (%)		Pass	Fail	Outliers	
capacitance	3.333e-07	0.033	6.583e-07	0.063	2e-06	12	0	0	100.00
delay	0.0006513	0.015	0.004784	0.36	0.039	399	1	0	99.75
energy	0.0002208	-25	0.001207	4.8e+02	0.01063	470	0	0	100.00
hold	-2.889e-05	0.011	4.898e-05	0.031	-0.0001	18	0	0	100.00
leakage	1.087e-07	4.8e-05	1.914e-07	6.5e-05	3.95e-07	4	0	0	100.00
max_capacitance	0	0	0	0	0	4	0	0	100.00
max_transition	0	0	0	0	0	12	0	0	100.00
mpw	0.00254	2.7	0.003578	3.8	0.00507	2	0	0	100.00
setup	4.722e-05	-0.52	0.003224	2.4	0.0075	18	0	0	100.00
slew	-2.023e-05	0.019	0.01052	0.33	0.068	400	0	0	100.00

Failed value statistics:

Data type	Average error		Error std. dev.		Max abs err	Table Points Fail
	Abs	Rel (%)	Abs	Rel (%)		
delay	-0.0032	-2.1	0	0	0.039	1

CONCLUSIONES

A partir del trabajo realizado, se puede concluir que:

- Es observable el *trade-off* entre potencia consumida y rapidez de las celdas, debido a la relación inversa que tienen estas dos características.
- En las celdas combinatorias NAND y NOR, se observa que el *delay* en el pin B es menor al *delay* por el pin A, debido a que estos se encuentran mas cercanos a la salida Y.
- En las celdas combinatorias, las transiciones de entrada (LH) tienen o menor retraso que las transiciones de entrada (HL)
- Entre las compuertas NAND y NOR, la energía disipada y la potencia de fuga es mayor en la compuerta NOR. Esto se debe a que la compuerta NOR requiere anchos mayores.
- Las celdas secuenciales consumen mayor potencia, debido a su complejidad, comparada con las celdas combinatorias.
- No se observa mayor diferencia entre el modelo CCS y NLDM, debido a que las fallas que involucran al modelo NLDM, suelen ocurrir en tecnologías menores a 65nm.

El trabajo realizado comprendió un primer acercamiento al tema de la caracterización de celdas. Este proceso resulta fácil usando la herramienta automatizada brindada por el software, que permite una automatización de un proceso imprescindible dentro del área VLSI.

Para un futuro trabajo, se caracterizarán dispositivos del estado del arte como FinFets o Tunnel-Fets. Así mismo se explorará el uso de otros métodos de modelamiento como el ECSM y realizar una comparación de los resultados de usar diferentes modelos de

caracterización. También se analizará efectos de segundo orden como la inversión de temperatura, que ocurre con tecnología menores a 65 nm y en condiciones de temperatura no convencionales.

Esta herramienta es una fuente para mejorar procesos que permitan comprobar el perfecto funcionamiento de las celdas estandarizadas y se logre el mejoramiento de procesos de diseño de circuitos integrados mediante diseños sintetizables.

REFERENCIAS

- Anne, N. (2008). *Design and characterization of a Standard Cell Library for the FREEPDK45 Process*. Visakhapatnam: Andhra University.
- Davari, B., Dennard, R., & Shahidi, G. (1995). CMOS Scaling for High Performance and Low Power - The Next Ten Years. *Proceedings of the IEEE* , 595-606.
- dos Santos, J. (2017). *Digital CMOS Library Design*. Lisboa: Tecnico Lisboa.
- Harris, D. (2007). *Digital Design and Computer Architecture*. ELSEVIER.
- Paripath.inc. (2014). *Comparing NLDM And CCS delay models*. Obtenido de <https://www.paripath.com/blog/characterization-blog/comparing-nldm-and-ccs-delay-models>
- Synopsys. (2019). *SiliconSmart User Guide*.

ANEXO A: NETLIST DE LAS CELDAS UTILIZADAS

1. INVERSOR

```
.subckt mylibrary_inversm2 A Y gnd vdd
*.PININFO A:I Y:0 gnd:I vdd:I
MM0 Y A gnd gnd n12 w=0.21u l=0.1u nf=1.0 m=1
MM1 Y A vdd vdd p12 w=0.21u l=0.1u nf=1.0 m=2.16
.ends mylibrary_inversm2
```

2. COMPUERTA NAND

```
.subckt mylibrary_Nand2sm A B Y gnd vdd
*.PININFO A:I B:I Y:0 gnd:I vdd:I
MM1 net5 A gnd gnd n12 w=0.21u l=0.1u nf=1.0 m=1.4
MM0 Y B net5 gnd n12 w=0.21u l=0.1u nf=1.0 m=1.4
MM3 Y B vdd vdd p12 w=0.21u l=0.1u nf=1.0 m=2.16
MM2 Y A vdd vdd p12 w=0.21u l=0.1u nf=1.0 m=2.16
.ends mylibrary_Nand2sm
```

3. COMPUERTA NOR

```
.subckt mylibrary_nor2sm A B Y gnd vdd
*.PININFO A:I B:I Y:0 gnd:I vdd:I
MM1 Y B net5 vdd p12 w=0.21u l=0.1u nf=1.0 m=3.3
MM0 net5 A vdd vdd p12 w=0.21u l=0.1u nf=1.0 m=3.3
MM3 Y A gnd gnd n12 w=0.21u l=0.1u nf=1.0 m=1
MM2 Y B gnd gnd n12 w=0.21u l=0.1u nf=1.0 m=1
.ends mylibrary_nor2sm
```

4. FLIP FLOP TIPO D

```

*****
*****
* Library      : mylibrary
* Cell        : _Inv
* View       : schematic
* View Search List : auCdl schematic
* View Stop List  : auCdl
*****
*****
.subckt _Inv A Y gnd vdd
*.PININFO A:I Y:0 gnd:I vdd:I
MM0 Y A vdd vdd p12 w=0.21u l=0.1u nf=1 m=2.16
MM1 Y A gnd gnd n12 w=0.21u l=0.1u nf=1 m=1
.ends _Inv

*****
*****
* Library      : mylibrary
* Cell        : _Triv
* View       : schematic
* View Search List : auCdl schematic
* View Stop List  : auCdl
*****
*****
.subckt _Triv A CK Y bCK gnd vdd
*.PININFO A:I CK:I Y:0 bCK:I gnd:I vdd:I
MM1 Y bCK net5 vdd p12 w=0.21u l=0.1u nf=1 m=3.3
MM0 net5 A vdd vdd p12 w=0.21u l=0.1u nf=1 m=3.3
MM3 net13 A gnd gnd n12 w=0.21u l=0.1u nf=1 m=1.4
MM2 Y CK net13 gnd n12 w=0.21u l=0.1u nf=1 m=1.4
.ends _Triv

*****
*****
* Library      : mylibrary
* Cell        : DFFK

```

```
* View          : schematic
* View Search List : auCdl schematic
* View Stop List  : auCdl
*****
*****
.subckt DFFK CK D Q gnd vdd
*.PININFO CK:I D:I Q:0 gnd:I vdd:I
XI8 out_amp2 out_amp1 gnd vdd _Inv
XI7 out_amp2 Q gnd vdd _Inv
XI6 out_amp1 out_amp2 gnd vdd _Inv
XI5 internal internal2 gnd vdd _Inv
XI2 bclk dclk gnd vdd _Inv
XI1 CK bclk gnd vdd _Inv
XI0 D bd gnd vdd _Inv
XI4 internal2 dclk out_amp1 bclk gnd vdd _Triv
XI3 bd bclk internal dclk gnd vdd _Triv
.ends DFFK
```

ANEXO B: CONFIGURE.TCL

```
# See SiliconSmart User Guide Appendix B for a complete list of
parameters and definitions
```

```
#####
```

```
# OPERATING CONDITIONS DEFINITION
```

```
#####
```

```
create_operating_condition op_cond_all
```

```
add_opc_supplies op_cond_all vdd 1.2
```

```
add_opc_grounds op_cond_all gnd 0
```

```
set_opc_temperature op_cond_all 25
```

```
set_opc_process op_cond_all [subst {
    { .lib '[get_location]/../process/SAED90nm.lib' TT_12}
}]
```

```
#####
```

```
# GLOBAL CONFIGURATION PARAMETERS
```

```
#####
```

```
define_parameters default {
```

```
    set active_pvts { op_cond_all }
```

```
    # If using IBIS, one operating condition must be specified in
    ibis_typ_pvt
```

```
    # set ibis_typ_pvt op_cond
```

```
    # FINESIM
```

```
        #set simulator finesim
```

```
        #set simulator_cmd {finesim -w <input_deck> -o
<listing_file> >&/dev/null}
```

```
        #set simulation_tmpdir /tmp
```

```
    # FINESIM EMBEDDED
```

```
        #set simulator finesim_embedded
```

```
    # HSPICE
```



```

    set simulator hspice
    # set simulator_cmd {hspice <input_deck> -o <listing_file>}

    # HSPIICE (client/server mode)
    # set simulator hspice_cs
    # set simulator_cmd {hspice -CC <input_deck> -port <port_num>
-o <listing_file>}

    # SPECTRE
    # set simulator spectre6
    # set simulator_cmd {spectremdl -tab -batch <mdl_file> -design
<input_deck> <listing_file> >&/dev/null}

    # ELDO
    # set simulator eldo
    # set simulator_cmd {eldo -compat -i <input_deck> >
<listing_file> >&/dev/null}

    # MSIM
    # set simulator msim
    # (csh)
    # set simulator_cmd {msim -hsp -i <input_deck> -o
<listing_file> >&/dev/null}
    # (sh)
    # set simulator_cmd {msim -hsp -i <input_deck> -o
<listing_file> 2>/dev/null}

    # Default simulator options for Finesim, Hspice, Spectre,
Msim, and Eldo
    set simulator_options {
        "common,finesim_embedded: probe=1 finesim_output=fsdb
finesim_mode=spicehd finesim_method=gearv numdgt=7 measdgt=7"
        "common,finesim: probe=1 finesim_output=fsdb
finesim_mode=spicehd finesim_method=gearv numdgt=7 measdgt=7"
        "power,finesim_embedded: probe=1 finesim_output=tr0
finesim_mode=spice2 finesim_qlevel=3 finesim_method=gear
finesim_leakage_mode=1"
        "common,hspice: probe=1 runlvl=5 numdgt=7 measdgt=7 acct=1
nopage"

        "common,spectre6: compression=yes step=10ps maxstep=1ns
relref=allglobal"

```

```
"common,spectre6: method=trap lteratio=4 gmin=1e-18
autostop=0 save=none"

"common,msim: probe=1 accurate=1"

"common,eldo: gmindc=1n gmin=1p itl1=500 ingold=1 numdgt=4
measout=0 cptime=18000 relvar=0.01"
"op,eldo: dv=0.5 method=gear"
"tran,eldo: brief=0 relvar=0.001"
"optimize,eldo: lvltim=3 relvar=0.001"
"power,eldo: method=gear"
}

# Simulation resolution
set time_res_high 1e-12
set time_res_low 100e-12
#set gate_leakage_time_scaling_factor 100

# Controls which supplies are measured for power consumption
#set power_meas_supplies { VDD VDDH VDDL }
set power_meas_supplies { vdd }

# list of ground supplies used (required for Functional
Recognition)
set power_meas_grounds { gnd }

# specifies which multi-rail format to be used in Liberty
model; none, v1, or v2.
set liberty_multi_rail_format v2

set slew_derate_upper_threshold 0.9
set slew_derate_lower_threshold 0.1

set liberty_max_transition 1
set liberty_max_capacitance 1

set archive_condition_on_success compress
set archive_condition_on_failure yes

set nmos_model_names { n12.1 }
set pmos_model_names { p12.1 }
```

```

set constraint_mode independent
set smc_constraint_style relative-degradation
set smc_degrade 0.1
set path_constraint_mode off

# LOAD SHARE PARAMETERS
# job_scheduler: 'lsf' (Platform), 'grid' (SunGrid), or
'standalone' (local machine)
set job_scheduler standalone
set run_list_maxsize 5
set normal_queue {bnormal -R rusage[mem=4000]}
}

#####
# DEFAULT PINTYPE PARAMETERS
#####
pintype default {

    set total_slew_multiplier 2.0

    set logic_high_name vdd
    set logic_high_threshold 0.8

    set logic_low_name gnd
    set logic_low_threshold 0.2

    set prop_delay_level 0.5

    # Number of slew and load indices
    # (when importing with -use_default_slews -use_default_loads)
    set numsteps_slew 5
    set numsteps_load 5
    set constraint_numsteps_slew 3

    # Operating load ranges
    set smallest_load 10e-15
    #set largest_load 90e-15
    #set autorange_load state

```

```

# Operating slew ranges
# this is what is in the liberty
#set smallest_slew 28e-12
#set largest_slew 1.02e-09
#set max_tout 1.02e-09
#
# due to slew_derate_from_library=0.5
set smallest_slew 10.0e-12
set largest_slew 5.0e-9
set max_tout 5.0e-9

# Automatically determine largest_load based on max_tout; off
or on
set autorange_load on

# Noise of points in for noise height
set numsteps_height 8

# Input noise width.
set numsteps_width 5

# driver model: pwl, emulated, active, active-waveform, custom
set driver_mode emulated

# driver cell name (relevant only when driver_mode is
"active")
# set driver pwl
}

#####
# LIBERTY MODEL GENERATION PARAMETERS
#####
define_parameters liberty_model {
    # Add Liberty header attributes here for use with "model -
create_new_model"
    set delay_model "table_lookup"
    set default_fanout_load 1.0
    set default_inout_pin_cap 1.0
    set default_input_pin_cap 1.0
    set default_output_pin_cap 0.0
    set default_cell_leakage_power 0.0
    set default_leakage_power_density 0.0

```

```
    set in_place_swap_mode match_footprint
}

#####
# VALIDATION PARAMETERS
#####
define_parameters validation {
    # Add validation parameters here
}
```

ANEXO C: SCRIPT DEL PROGRAMA

```
exec rm -r testcase;
#Eliminación de antiguas versiones del punto de caracterización.

set cells {DFF mylibrary_Nand2sm mylibrary_inversm2
mylibrary_nor2sm};
#Se pone el nombre de la celda que se quiere caracterizar.

set charpoint testcase;
#Se genera la carpeta y subcarpetas donde se encuentra el punto
de caracterización.

create $charpoint;
#Crea un punto de caracterización..

set_log_file $charpoint/sis.log;
#Apunta a un lugar donde se encuentra el sis.log y resetea todo lo
que este contenga.

exec cp configure.tcl ${charpoint}/config/configure.tcl;
#Ejecuta el script configure.tcl que se encuentra en el punto de
carga /config/config.tcl

set_location $charpoint;
#ubica el proceso dentro del punto de caracterización ya creado.

import -netlist_dir netlists/ $cells;
# Inporta los netlist de las celdas.

configure -fast -timing -power -ccs $cells;
#Configuro el tipo de analisis que se desea realizar(Investigar en
la guia que esta pidiendo)

characterize $cells;
#Pido que se caracterize la celda.

model -verilog -output Caracterizacion_90nm_USFQ $cells
model -timing -power -output nldm $cells
```

```
model -timing -power -ccs -output ccs $cells
# Pido que en la pestaña de modelo se genere la celda en
descripciones de verilog el modelo
# Ademas doy las características de tiempo y potencia en formato
nldm y ccs.
generate_datasheet
# Genero un datasheet para cada celda caracterizada.
```

ANEXO D: MODELO VERILOG

```
`timescale 1ns/1ps

`celldefine
module DFF( CK, D, Q );
input CK, D;
output Q;

    `ifdef FUNCTIONAL // functional //

        DFFX1_func DFF_behav_inst(.CK(CK),.D(D),.Q(Q));

    `else

        DFFX1_func DFF_inst(.CK(CK),.D(D),.Q(Q));

        // spec_gates_begin

        // spec_gates_end

specify

    // specify_block_begin

    // seq arc CK --> Q
    (posedge CK => (Q : D)) = (1.0,1.0);

    // hold D-HL CK-LH
    $hold(posedge CK,negedge D,1.0);

    // hold D-LH CK-LH
    $hold(posedge CK,posedge D,1.0);

    // setup D-HL CK-LH
    $setup(negedge D,posedge CK,1.0);
```



```
// setup D-LH CK-LH
$setup(posedge D,posedge CK,1.0);

// mpw CK_lh
$width(posedge CK,1.0,0);

// mpw CK_hl
$width(negedge CK,1.0,0);

// specify_block_end

endspecify

`endif

endmodule
`endcelldefine

`celldefine
module mylibrary_Nand2sm( A, B, Y );
    input A, B;
    output Y;

`ifdef FUNCTIONAL // functional //
    mylibrary_Nand2sm_func
mylibrary_Nand2sm_behav_inst(.A(A),.B(B),.Y(Y));

`else
    mylibrary_Nand2sm_func
mylibrary_Nand2sm_inst(.A(A),.B(B),.Y(Y));
    // spec_gates_begin
    // spec_gates_end
specify

// specify_block_begin
// comb arc A --> Y
(A => Y) = (1.0,1.0);

// comb arc B --> Y
(B => Y) = (1.0,1.0);
```

```
// specify_block_end
endspecify

`endif

endmodule
`endcelldefine

`celldefine
module mylibrary_inversm2( A, Y );
    input A;
    output Y;

`ifdef FUNCTIONAL // functional //
    mylibrary_inversm2_func
mylibrary_inversm2_behav_inst(.A(A),.Y(Y));
`else
    mylibrary_inversm2_func mylibrary_inversm2_inst(.A(A),.Y(Y));
    // spec_gates_begin
    // spec_gates_end
    specify

    // specify_block_begin
    // comb arc A --> Y
    (A => Y) = (1.0,1.0);

    // specify_block_end
    endspecify

`endif

endmodule
`endcelldefine
```

```
`celldefine
module mylibrary_nor2sm( A, B, Y );
  input A, B;
  output Y;

`ifdef FUNCTIONAL // functional //
  mylibrary_nor2sm_func
mylibrary_nor2sm_behav_inst(.A(A),.B(B),.Y(Y));

`else
  mylibrary_nor2sm_func mylibrary_nor2sm_inst(.A(A),.B(B),.Y(Y));
  // spec_gates_begin
  // spec_gates_end
  specify

  // specify_block_begin
  // comb arc A --> Y
  (A => Y) = (1.0,1.0);

  // comb arc B --> Y
  (B => Y) = (1.0,1.0);

  // specify_block_end
  endspecify

`endif

endmodule
`endcelldefine
```

ANEXO F: DATASHEETS

--	--

mylibrary_Nand2sm

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.400000/0.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 15:28:44 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	((!A) (!B))

TRUTH TABLE FOR Y

A	B	Y
0	?	1
?	0	1
1	1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0016
B	input	0.0016

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.2611	0.9937	1.4013
A(LH)	Y(HL)	default	1.3989	0.2611	0.9399	1.4344
B(HL)	Y(LH)	default	1.3989	0.2611	0.9870	1.4033
B(LH)	Y(HL)	default	1.3989	0.2611	1.0657	1.4894

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.2611	0.0262
B	none	default	1.3989	Y(LH)	0.2611	0.0232
A	none	default	1.3989	Y(HL)	0.2611	0.0163
B	none	default	1.3989	Y(HL)	0.2611	0.0154
B(HL)	none	default	1.3989	n/a	n/a	0.0018
A(LH)	none	default	1.3989	n/a	n/a	-0.0016
B(LH)	none	default	1.3989	n/a	n/a	-0.0012
A(HL)	none	default	1.3989	n/a	n/a	0.0020

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	3.2709

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.4000 volt
Temperature: 0.0 centigrade

LEGEND:

n/a = not applicable

--	--

mylibrary_inversm2

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.400000/0.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 15:28:44 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	(!A)

TRUTH TABLE FOR Y

A	Y
0	1
1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0014

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.2660	0.9878	1.4317
A(LH)	Y(HL)	default	1.3989	0.2660	1.0300	1.3940

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.2660	0.0249
A	none	default	1.3989	Y(HL)	0.2660	0.0154

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	4.1638

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.4000 volt
Temperature: 0.0 centigrade

LEGEND:

n/a = not applicable

--	--

DFF

[Index Page](#)

Company Name Here (set company_name parm)

op_cond_all/1.400000/0.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 16:12:15 2020

FLOP GROUP

Attribute	Expression
Registers	IQ1 IQN1
Clocked On	CK
Next State	(!D)

OUTPUT FUNCTIONS

Output Pin	Function
Q	IQN1

FUNCTIONAL SCHEMATIC

Schematic Not Available

CONSTRAINTS

Constraint Pin	Related Pin	Constraint Pin Tin (ns)	Related Pin Tin (ns)	setup (ns)	hold (ns)
D(LH)	CK(LH)	1.4885	1.4885	0.0942	-0.0832
D(HL)	CK(LH)	1.4885	1.4885	0.2495	-0.2439

Constraint Pin	Related Pin	Constraint Pin Tin (ns)	Related Pin Tin (ns)	Minimum Pulse Width (ns)
CK(HLH)	CK(HL)	n/a	n/a	0.0590
CK(LHL)	CK(LH)	n/a	n/a	0.0458

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
CK	input	0.0010
D	input	0.0010

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
CK(LH)	Q(LH)	default	1.3989	0.2135	0.7859	1.4430
CK(LH)	Q(HL)	default	1.3989	0.2135	0.7762	1.3201

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
CK	none	default	1.3989	Q(LH)	0.2135	0.0879
CK	none	default	1.3989	Q(HL)	0.2135	0.0663
D(LH)	none	default	1.3989	n/a	n/a	0.0810
CK(LH)	none	default	1.3989	n/a	n/a	0.0552
CK(HL)	none	default	1.3989	n/a	n/a	0.0621
D(HL)	none	default	1.3989	n/a	n/a	0.0796

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	587.4128

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.4000 volt
Temperature: 0.0 centigrade

LEGEND:

n/a = not applicable

--	--

mylibrary_nor2sm

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.400000/0.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 15:28:44 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	((!A)&(!B))

TRUTH TABLE FOR Y

A	B	Y
0	0	1
1	?	0
?	1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0019
B	input	0.0019

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.2329	0.8591	1.4359
A(LH)	Y(HL)	default	1.3989	0.2329	0.9665	1.2523
B(HL)	Y(LH)	default	1.3989	0.2329	0.9857	1.4804
B(LH)	Y(HL)	default	1.3989	0.2329	0.9571	1.2475

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.2329	0.0281
B	none	default	1.3989	Y(LH)	0.2329	0.0256
A	none	default	1.3989	Y(HL)	0.2329	0.0202
B	none	default	1.3989	Y(HL)	0.2329	0.0179
B(HL)	none	default	1.3989	n/a	n/a	0.0013
A(LH)	none	default	1.3989	n/a	n/a	-0.0022
B(LH)	none	default	1.3989	n/a	n/a	-0.0005
A(HL)	none	default	1.3989	n/a	n/a	0.0024

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	8.4065

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.4000 volt
Temperature: 0.0 centigrade

LEGEND:

n/a = not applicable

--	--

mylibrary_inversm2

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.200000/25.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 14:54:14 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	(!A)

TRUTH TABLE FOR Y

A	Y
0	1
1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0014

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.1901	0.9911	1.4498
A(LH)	Y(HL)	default	1.3989	0.1901	0.9353	1.2155

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.1901	0.0112
A	none	default	1.3989	Y(HL)	0.1901	0.0063

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	3.0516

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.2000 volt
Temperature: 25.0 centigrade

LEGEND:

n/a = not applicable

--	--

DFF

[Index Page](#)

Company Name Here (set company_name parm)

op_cond_all/1.200000/25.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 16:16:51 2020

FLOP GROUP

Attribute	Expression
Registers	IQ1 IQN1
Clocked On	CK
Next State	(!D)

OUTPUT FUNCTIONS

Output Pin	Function
Q	IQN1

FUNCTIONAL SCHEMATIC

 Schematic Not Available

CONSTRAINTS

Constraint Pin	Related Pin	Constraint Pin Tin (ns)	Related Pin Tin (ns)	setup (ns)	hold (ns)
D(LH)	CK(LH)	1.4885	1.4885	0.1164	-0.1053
D(HL)	CK(LH)	1.4885	1.4885	0.2772	-0.2717

Constraint Pin	Related Pin	Constraint Pin Tin (ns)	Related Pin Tin (ns)	Minimum Pulse Width (ns)
CK(HLH)	CK(HL)	n/a	n/a	0.0793
CK(LHL)	CK(LH)	n/a	n/a	0.0621

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
CK	input	0.0010
D	input	0.0010

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
CK(LH)	Q(LH)	default	1.3989	0.1575	0.8574	1.4794
CK(LH)	Q(HL)	default	1.3989	0.1575	0.6830	1.1287

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
CK	none	default	1.3989	Q(LH)	0.1575	0.0476
CK	none	default	1.3989	Q(HL)	0.1575	0.0342
D(LH)	none	default	1.3989	n/a	n/a	0.0435
CK(LH)	none	default	1.3989	n/a	n/a	0.0259
CK(HL)	none	default	1.3989	n/a	n/a	0.0297
D(HL)	none	default	1.3989	n/a	n/a	0.0397

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	381.7133

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.2000 volt
Temperature: 25.0 centigrade

LEGEND:

n/a = not applicable

--	--

mylibrary_nor2sm

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.000000/50.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 15:18:33 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	((!A)&(!B))

TRUTH TABLE FOR Y

A	B	Y
0	0	1
1	?	0
?	1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available
PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0018
B	input	0.0019

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.1140	0.9180	1.4925
A(LH)	Y(HL)	default	1.3989	0.1140	0.8507	0.9956
B(HL)	Y(LH)	default	1.3989	0.1140	1.0360	1.5350
B(LH)	Y(HL)	default	1.3989	0.1140	0.8408	0.9873

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.1140	0.0052
B	none	default	1.3989	Y(LH)	0.1140	0.0046
A	none	default	1.3989	Y(HL)	0.1140	0.0029
B	none	default	1.3989	Y(HL)	0.1140	0.0022
B(HL)	none	default	1.3989	n/a	n/a	0.0007
A(LH)	none	default	1.3989	n/a	n/a	-0.0010
B(LH)	none	default	1.3989	n/a	n/a	-0.0002
A(HL)	none	default	1.3989	n/a	n/a	0.0012

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	5.8195

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.0000 volt
Temperature: 50.0 centigrade

LEGEND:

n/a = not applicable

--	--

mylibrary_Nand2sm

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.000000/50.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 15:18:33 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	((!A) (!B))

TRUTH TABLE FOR Y

A	B	Y
0	?	1
?	0	1
1	1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0015
B	input	0.0015

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.1375	1.0454	1.4716
A(LH)	Y(HL)	default	1.3989	0.1375	0.9157	1.2349
B(HL)	Y(LH)	default	1.3989	0.1375	1.0418	1.4666
B(LH)	Y(HL)	default	1.3989	0.1375	1.0223	1.2936

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.1375	0.0048
B	none	default	1.3989	Y(LH)	0.1375	0.0042
A	none	default	1.3989	Y(HL)	0.1375	0.0017
B	none	default	1.3989	Y(HL)	0.1375	0.0019
B(HL)	none	default	1.3989	n/a	n/a	0.0009
A(LH)	none	default	1.3989	n/a	n/a	-0.0008
B(LH)	none	default	1.3989	n/a	n/a	-0.0006
A(HL)	none	default	1.3989	n/a	n/a	0.0008

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	0.9841

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.0000 volt
Temperature: 50.0 centigrade

LEGEND:

n/a = not applicable

--	--

mylibrary_inversm2

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.000000/50.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 15:18:33 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	(!A)

TRUTH TABLE FOR Y

A	Y
0	1
1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0014

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.1355	1.0155	1.4667
A(LH)	Y(HL)	default	1.3989	0.1355	0.9161	1.1064

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.1355	0.0043
A	none	default	1.3989	Y(HL)	0.1355	0.0018

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	2.9081

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.0000 volt
Temperature: 50.0 centigrade

LEGEND:

n/a = not applicable

--	--

DFF

[Index Page](#)

Company Name Here (set company_name parm)

op_cond_all/1.000000/50.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 16:22:28 2020

FLOP GROUP

Attribute	Expression
Registers	IQ1 IQN1
Clocked On	CK
Next State	(!D)

OUTPUT FUNCTIONS

Output Pin	Function
Q	IQN1

FUNCTIONAL SCHEMATIC

Schematic Not Available

CONSTRAINTS

Constraint Pin	Related Pin	Constraint Pin Tin (ns)	Related Pin Tin (ns)	setup (ns)	hold (ns)
D(LH)	CK(LH)	1.4885	1.4885	1.7408	-1.7297
D(HL)	CK(LH)	1.4885	1.4885	0.3714	-0.3714

Constraint Pin	Related Pin	Constraint Pin Tin (ns)	Related Pin Tin (ns)	Minimum Pulse Width (ns)
CK(HLH)	CK(HL)	n/a	n/a	1.3259
CK(LHL)	CK(LH)	n/a	n/a	1.1286

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
CK	input	0.0010
D	input	0.0010

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
CK(LH)	Q(LH)	default	1.3989	0.0765	2.3380	1.5629
CK(LH)	Q(HL)	default	1.3989	0.0765	0.4866	0.6752

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
CK	none	default	1.3989	Q(LH)	0.0765	0.1052
CK	none	default	1.3989	Q(HL)	0.0765	0.0155
D(LH)	none	default	1.3989	n/a	n/a	0.1079
CK(LH)	none	default	1.3989	n/a	n/a	0.0094
CK(HL)	none	default	1.3989	n/a	n/a	0.0111
D(HL)	none	default	1.3989	n/a	n/a	0.0172

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	311.0731

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.0000 volt
Temperature: 50.0 centigrade

LEGEND:

n/a = not applicable

--	--

mylibrary_nor2sm

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.200000/25.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 14:54:14 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	((!A)&(!B))

TRUTH TABLE FOR Y

A	B	Y
0	0	1
1	?	0
?	1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0019
B	input	0.0019

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.1627	0.8757	1.4593
A(LH)	Y(HL)	default	1.3989	0.1627	0.8699	1.0923
B(HL)	Y(LH)	default	1.3989	0.1627	1.0036	1.5061
B(LH)	Y(HL)	default	1.3989	0.1627	0.8601	1.0878

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.1627	0.0130
B	none	default	1.3989	Y(LH)	0.1627	0.0117
A	none	default	1.3989	Y(HL)	0.1627	0.0087
B	none	default	1.3989	Y(HL)	0.1627	0.0074
B(HL)	none	default	1.3989	n/a	n/a	0.0010
A(LH)	none	default	1.3989	n/a	n/a	-0.0015
B(LH)	none	default	1.3989	n/a	n/a	-0.0003
A(HL)	none	default	1.3989	n/a	n/a	0.0018

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	6.1175

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.2000 volt
Temperature: 25.0 centigrade

LEGEND:

n/a = not applicable

--	--

mylibrary_Nand2sm

Company Name Here (set company_name parm)

[Index Page](#)

op_cond_all/1.200000/25.0

SiliconSmart Software Version: P-2019.06-SP2-1

Sat May 9 14:54:14 2020

OUTPUT FUNCTIONS

Output Pin	Function
Y	$((!A) (!B))$

TRUTH TABLE FOR Y

A	B	Y
0	?	1
?	0	1
1	1	0

FUNCTIONAL SCHEMATIC

 Schematic Not Available

PIN CAPACITANCE (pf)

Pin	Type	Capacitance (pf)
A	input	0.0015
B	input	0.0016

DELAY AND OUTPUT TRANSITION TIME

Input Pin	Output	When Condition	Tin (ns)	Out Load (pf)	Delay (ns)	Tout (ns)
A(HL)	Y(LH)	default	1.3989	0.1919	1.0165	1.4481
A(LH)	Y(HL)	default	1.3989	0.1919	0.8966	1.3098
B(HL)	Y(LH)	default	1.3989	0.1919	1.0104	1.4482
B(LH)	Y(HL)	default	1.3989	0.1919	1.0166	1.3741

DYNAMIC ENERGY

Input Pin	Related Supply Pin	When Condition	Tin (ns)	Output	Out Load (pf)	Energy (pJ)
A	none	default	1.3989	Y(LH)	0.1919	0.0119
B	none	default	1.3989	Y(LH)	0.1919	0.0104
A	none	default	1.3989	Y(HL)	0.1919	0.0063
B	none	default	1.3989	Y(HL)	0.1919	0.0061
B(HL)	none	default	1.3989	n/a	n/a	0.0013
A(LH)	none	default	1.3989	n/a	n/a	-0.0011
B(LH)	none	default	1.3989	n/a	n/a	-0.0008
A(HL)	none	default	1.3989	n/a	n/a	0.0012

LEAKAGE POWER

When Condition	Related Supply Pin	Power (nW)
default	vdd	1.2901

SETUP AND CONDITIONS

PVT: op_cond_all
Voltage: 1.2000 volt
Temperature: 25.0 centigrade

LEGEND:

n/a = not applicable